

19 RÉPUBLIQUE FRANÇAISE
 INSTITUT NATIONAL
 DE LA PROPRIÉTÉ INDUSTRIELLE
 PARIS

11 N° de publication :
 (à n'utiliser que pour les
 commandes de reproduction)

2 740 598

21 N° d'enregistrement national : 96 12695

51 Int Cl⁶ : G 09 G 3/20

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 18.10.96.

30 Priorité : 31.10.95 JP 28297395; 31.10.95 JP 28297295.

43 Date de la mise à disposition du public de la demande : 30.04.97 Bulletin 97/18.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : FUJITSU LIMITED — JP.

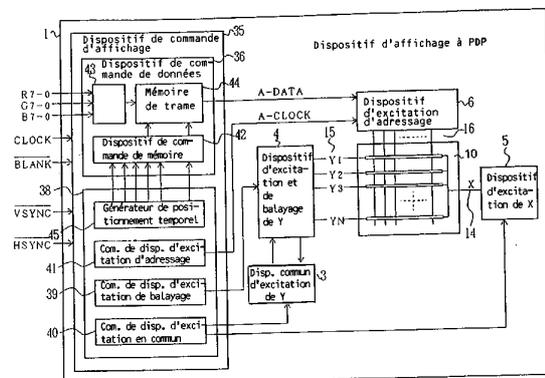
72 Inventeur(s) : TAJIMA MASAYA, UEDA TOSHIO, KURIYAMA HIROHITO, ISHIDA KATSUHIRO et YAMAMOTO AKIRA.

73 Titulaire(s) :

74 Mandataire : CABINET BEAU DE LOMENIE.

54 DISPOSITIF D'AFFICHAGE ET PROCEDE D'EXCITATION DE CELUI-CI.

57 L'invention concerne un dispositif d'affichage, et son procédé d'excitation, lequel dispositif affiche une image d'échelle de gris à plusieurs niveaux dans une trame formée de plusieurs sous-trames, qui sont obtenues par division temporelle en fonction de la valeur de pondération de l'échelle de gris se rapportant à chaque sous-trame. Le dispositif comprend un circuit (50) de sélection de sous-trames qui reçoit un signal de synchronisation verticale et qui sélectionne le nombre des sous-trames pouvant être affichées pendant la trame unique, en fonction de la séquence du signal de synchronisation verticale, et produit un signal de sélection de sous-trames correspondant au nombre des sous-trames, et un circuit de commande d'affichage (35), recevant le signal de sélection de sous-trames et un signal de donnée d'affichage d'entrée et commandant l'affichage de l'image d'échelle de gris à plusieurs niveaux en fonction du nombre sélectionné des sous-trames.



FR 2 740 598 - A1



La présente invention concerne un moyen de commande d'affichage, qui s'accorde avec le multibalayage, permettant de commander un dispositif d'affichage qui réalise l'affichage d'une échelle de gris à niveaux multiples en faisant appel à un procédé de multiplexage par division temporelle à l'intérieur de
5 la trame, ou "intratrame", par exemple un dispositif d'affichage qui emploie un panneau d'affichage à plasma ou un panneau d'affichage à cristal liquide, ainsi qu'un procédé d'excitation de celui-ci.

Récemment, il a été mis au point et produit un dispositif d'affichage employant un panneau d'affichage à plasma (ci-après appelé PDP) ou un panneau
10 d'affichage à cristal liquide (ci-après appelé LCD), qui satisfait la demande existant pour un dispositif d'affichage à grand écran et de taille réduite.

Un tel panneau d'affichage possède deux états de fonctionnement stables, à savoir l'état éclairé et l'état éteint, ou bien l'état clair et l'état sombre. Par conséquent, il est prévu l'affichage d'une échelle de gris à niveaux multiples à
15 l'aide d'un procédé de multiplexage temporel intratrame visant à fournir une présentation multicolore à l'aide de signaux RGB (rouge, vert, bleu). Ce procédé de multiplexage temporel intratrame est un procédé dans lequel, lorsqu'une unique trame synchronisée à l'aide d'un signal de synchronisation verticale possède un cycle de 1/60 s, l'opération d'éclairage se répète en conformité avec la luminosité
20 pendant une période d'une trame de 1/60 s (environ 16,7 ms), et la différence de luminosité est exprimée.

Bien que le procédé de multiplexage temporel intratrame soit une technique connue, on va brièvement l'expliquer en prenant comme exemple un dispositif d'affichage PDP, afin de décrire l'invention.

25 La figure 35 est un schéma simplifié montrant la disposition d'un dispositif d'affichage PDP du type à trois électrodes. La figure 36 est une vue en section droite détaillée de l'une des cellules de décharge 10 du PDP. Comme on peut le voir sur les figures 35 et 36, une électrode X 14, qui est commune à toutes les cellules, et une électrode Y 15, qui est excitée de façon indépendante par
30 balayage, sont placées parallèlement sur un substrat de verre 13, et une électrode d'adressage 16, qui est perpendiculaire aux électrodes X 14 et Y 15 et que l'on peut exciter indépendamment, est prévue sur l'autre substrat de verre 12. Une paroi 17 est formée de manière à enfermer une région de cellule 10, laquelle est définie par l'électrode X 14, l'électrode Y 15 et l'électrode d'adressage 16 qui leur est
35 perpendiculaire, un espace de décharge 20 étant ainsi défini. L'électrode X 14 et l'électrode Y 15 sont revêtues d'une couche diélectrique 18 et d'une couche

protectrice 21 la surmontant. Un luminophore 19 correspondant au rouge, bleu ou vert (RGB) est formé dans la région de la plaque de verre 12 qui est entourée par la paroi 17. Comme on peut le voir sur la figure 35, trois cellules RGB 10 se rapportant au rouge, au vert, ou au bleu constituent un élément d'image, ou pixel, pour l'affichage. Un circuit d'excitation 3, employé en commun par les électrodes Y, assure le balayage des électrodes Y 15 via des circuits respectifs 41-4n d'excitation d'électrode Y. Le numéro de référence 5 désigne un circuit d'excitation se rapportant à l'électrode X 14, et le numéro de référence 6 désigne un circuit d'excitation se rapportant aux électrodes d'adressage 16.

10 La figure 37 est un diagramme de formes d'onde utilisé pour expliquer les opérations d'excitation des différentes électrodes du dispositif à PDP ci-dessus décrit. Comme on peut le voir sur la figure 37, une trame qui est synchronisée avec un signal de synchronisation verticale Vsync est divisée par exemple en six sous-trames, SF1 à SF6. Chaque sous-trame SF comporte une période de repositionnement S1, servant à l'écriture et à l'effacement de données ; une période d'adressage S2, servant à éclairer une cellule 10 voulue en vue de l'affichage ; et une période S3 de décharge entretenue, qui donne la luminosité pour la cellule éclairée.

On va maintenant expliquer l'opération d'excitation se rapportant par exemple à la sous-trame SF6. Tout d'abord, pendant la période de repositionnement S1, une impulsion d'écriture WP est appliquée à l'électrode 14 de façon que soit appliquée une tension élevée, qui est nécessaire pour la décharge du plasma, entre l'électrode X 14 et les électrodes Y 15, et pour induire une décharge de plasma dans toutes les cellules. Immédiatement après cela, une impulsion d'effacement est appliquée à toutes les électrodes Y 15 et à l'électrode X 14, et, temporairement, la décharge de plasma de toutes les cellules est effacée. De ce fait, une charge électrique de paroi est plus ou moins présente à la fois dans les cellules où une donnée a été écrite et dans les cellules où aucune donnée n'a été écrite. Par conséquent, bien qu'une décharge ait été induite du fait de l'application d'une impulsion d'adressage pendant la période d'adressage S2 suivante, aucune décharge n'a lieu au moment de l'application d'une impulsion de décharge entretenue (impulsion entretenue) pendant la période de décharge entretenue S3.

A la suite de cela, pendant la période d'adressage S2, tandis qu'une impulsion d'adresse ADP est appliquée aux électrodes d'adresse 16-1 à 16-m, qui correspond à la cellule à éclairer, une impulsion de balayage SCP est appliquée à l'électrode Y 15, de façon que celle-ci soit excitée par balayage. De ce fait, une décharge de plasma se produit dans la région de cellule à éclairer parmi toutes les

cellules présentes dans l'écran. Pendant la période de décharge entretenue S3 suivante, l'impulsion de décharge entretenue est appliquée à l'électrode X 14 et à toutes les électrodes Y 15, et, par conséquent, une luminosité donnée est fournie aux cellules éclairées pendant la période d'adressage S2.

5 Puisque, théoriquement, le dispositif PDP et le dispositif LSC ne possèdent que deux états, à savoir qu'une décharge est exécutée ou n'est pas exécutée entre deux panneaux, alors, pour réaliser un affichage d'échelle de gris à niveaux multiples, les six sous-trames SF1 à SF6, ayant des périodes différentes de décharge entretenue S3 constituent une trame, comme représenté sur la figure 37.
10 Ainsi, une trame est constituée des six sous-trames SF1 à SF6, lesquelles peuvent exprimer des luminosités correspondant à des poids 1, 2, 4, 8, 16 et 32, selon le procédé de pondération. Avec cette structure, comme représenté sur la figure 38, on peut exprimer des niveaux d'échelle de gris compris entre 0 et 63. En d'autres termes, l'éclairage n'a lieu qu'à la sous-trame SF1 pour le niveau 1 d'échelle de
15 gris, l'éclairage a lieu aux sous-trames SF1 et SF3 pour le niveau 5 d'échelle de gris, et l'éclairage a lieu pour toutes les sous-trames SF1 à SF6 pour le niveau d'échelle de gris 63.

 Une trame consiste en six sous-trames SF, puisque, en raison du fait que le balayage effectué pendant la période d'adressage S2 demande un temps
20 considérable, par exemple 2 ms, alors, en considérant la période de repositionnement S1 et la période de décharge entretenue S3 nécessaires pour chaque sous-trame SF, six sous-trames sont une limite pour la trame unique ci-dessus décrite de 16,7 ms. Lorsque, par exemple la période d'adressage S2 est plus courte, alors, toutefois, des échelles de gris à plusieurs niveaux peuvent être produites par sept
25 sous-trames ou huit sous-trames. Par conséquent, l'emploi de six sous-trames n'est qu'un exemple.

 Si une pluralité de sous-trames pondérées comme décrit ci-dessus sont éclairées dans l'ordre de leurs poids selon un mode de division temporel, il apparaîtra ce que l'on appelle le scintillement et les contours en fausses couleurs
30 sur un affichage dans le cas où des gradations séquentielles sont affichées et, par conséquent, la qualité d'image se détériore. Un tel exemple est présenté sur les figures 39 et 40. Sur la figure 39, est représenté un exemple dans lequel un niveau 31 d'échelle de gris et un niveau 32 d'échelle de gris, selon la figure 38, sont affichés en alternance à chaque trame. Pour la gradation 31, les sous-trames SF1 à
35 SF5 (poids 1, 2, 4, 8 et 16) sont éclairées, tandis que, pour la gradation 32, la sous-trame SF6 (poids 32) est éclairée. Même si l'éclairage est effectué correctement

dans la trame, le long de l'axe des temps, l'éclairage associé au niveau 63 d'échelle de gris et l'état associé au niveau 0 d'échelle de gris se répètent virtuellement en alternance. A partir de ce phénomène, des éléments d'une basse fréquence de 30 Hz sont produits à la fréquence de trame de 60 Hz, et le scintillement survient. Sur la figure 40, est présenté un exemple dans lequel des niveaux 15 et 16 d'échelle de gris sont alternativement répétés de la même manière. Ceci provoque également un scintillement.

Pour empêcher l'apparition d'un phénomène de scintillement, il a été proposé un procédé dans lequel des sous-trames SF16 et SF32, qui ont toutes deux un niveau élevé de luminance, sont placées au voisinage du centre d'une trame, suivant l'axe des temps. Toutefois, aussi longtemps qu'on utilise une sous-trame ayant une luminance très élevée, l'ensemble de sous-trames n'est pas régulier, et il apparaît un phénomène dit de contours en fausses couleurs. Lorsque, par exemple, la partie couleur peau d'une personne se déplace, il est produit un contour en fausse couleur rouge vineux ou vert au niveau de la partie couleur peau, et la qualité de l'image mobile se détériore.

Pour résoudre le problème que présente un semblable contour en fausses couleurs, la demanderesse a proposé, par exemple, dans la demande de brevet japonais n° Hei 6-264 244 et dans la demande de brevet, correspondante, des Etats-Unis d'Amérique n° 368 002, un procédé par lequel une sous-trame possédant une luminance élevée est divisée et l'ensemble optimal des sous-trames obtenues est produit pour chaque niveau d'échelle de gris. La demanderesse a appelé ce procédé le procédé de dédoublement des sous-trames (ou des sous-trames dédoublées).

Comme précédemment décrit, le nombre de sous-trames est déterminé dans l'hypothèse où il y a une fréquence de 60 Hz, qui est une fréquence normalisée pour un signal de synchronisation verticale selon la norme NTSC (National Television Standard Committee), et pour le VGA (Video Graphic Array). En conformité avec le nombre de sous-trames déterminé, les types et les ordres des sous-trames d'une trame sont déterminés.

Récemment, on a employé un dispositif d'affichage plat, non seulement pour afficher des images, mais aussi pour afficher des informations par connexion avec un ordinateur, ou autres. Dans ce dernier cas, en conformité avec la capacité de l'ordinateur connecté, il faut que le dispositif d'affichage puisse réaliser un affichage à multibalayage avec une fréquence de synchronisation verticale de 60 Hz, ou plus, par exemple 70 Hz ou 120 Hz. Dans un tel cas, puisque la durée

d'une trame est abrégée, si l'on emploie le procédé ci-dessus décrit de multiplexage temporel intratrame, toutes les sous-trames, pour lesquelles la valeur de comptage a été déterminée sur la base d'une fréquence supposée de 60 Hz, ne peuvent pas être excitées.

5 Lorsque toutes les sous-trames attendues ne peuvent pas être excitées, les luminances relatives aux niveaux d'échelle de gris attendus ne peuvent pas être réalisées. De plus, si la séquence d'excitation des sous-trames s'interrompt, la séquence de décharges du PDP s'arrête en conséquence, et la destruction d'un
10 panneau du fait d'opérations inutiles de charge et de décharge des charges électriques va être induite.

De plus, pour effectuer un affichage par division temporelle dans une trame en utilisant le procédé de dédoublement de sous-trames, plusieurs signaux de bits représentant un niveau d'échelle de gris dans un système binaire peuvent être convertis en une combinaison appropriée de plusieurs sous-trames ayant des
15 poids appropriés. Pour cette conversion, on utilise ordinairement une étape de recherche qui emploie une mémoire à semiconducteur. Toutefois, avec le procédé ci-dessus décrit de dédoublement de sous-trames, on a préparé par avance plusieurs types de tables de conversion et on les fait commuter, pixel par pixel, afin d'accroître la qualité de l'image. En outre, puisqu'une trame peut être constituée de
20 6 sous-trames, ou de 7 ou 8 sous-trames, en conformité avec les performances du PDP devant être utilisé, il faut préparer des tables de conversion pour chaque trame.

Il est donc demandé une énorme capacité de mémorisation pour les tables de conversion.

25 Suite à une discussion relative à des tables de conversion permettant d'appliquer le procédé du dédoublement des sous-trames, la demanderesse a découvert un procédé particulier qui réduit de façon considérable la capacité de mémorisation demandée pour les tables de recherche, qui sont des tables de conversion, et qui constituent donc l'invention.

30 C'est donc un but de l'invention de produire un dispositif d'affichage qui peut s'adapter de manière souple à une fréquence élevée de synchronisation verticale du fait du multibalayage ci-dessus décrit.

Un autre but de l'invention est de produire un dispositif d'affichage qui peut modifier le nombre de sous-trames en conformité avec des signaux de syn-
35 chronisation verticale ayant des fréquences différentes.

Un but supplémentaire de l'invention est de produire un dispositif d'affichage qui peut modifier une conversion d'échelle de gris à pseudo-niveaux multiples, une conversion de sous-trames dédoublées, et une opération d'excitation de sous-trames en conformité avec le nombre déterminé de sous-trames qui correspondent à des signaux de synchronisation verticale ayant des fréquences différentes.

Un autre but de l'invention est de produire un dispositif d'affichage à panneau plat qui peut réduire la capacité de mémorisation nécessaire aux tables de conversion employées avec le procédé des sous-trames dédoublées, afin de réaliser une qualité d'image élevée.

Un autre but de l'invention est de produire un dispositif d'affichage qui peut augmenter le nombre des tables de conversion qui peuvent être stockées dans une mémoire sous la forme de tables de recherche, par réduction de la capacité de chaque table de conversion, et qui peut donc réaliser une qualité d'image élevée.

Un autre but de l'invention est de produire un dispositif d'affichage à PDP plus compact ayant une qualité d'image élevée, qui peut réduire la capacité nécessaire aux mémoires semiconductrices pour les tables de recherche.

Pour réaliser les buts ci-dessus énoncés, un dispositif d'affichage selon l'invention est un dispositif d'affichage, affichant une image d'échelle de gris à niveaux multiples via une trame ayant une pluralité de sous-trames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame, comprenant : un circuit de sélection de sous-trames, qui reçoit un signal de synchronisation verticale, afin de sélectionner le nombre des sous-trames qui peuvent être affichées pendant la durée de la trame unique en fonction de la fréquence du signal de synchronisation verticale, et de produire un signal de sélection de sous-trames correspondant au nombre des sous-trames ; et un circuit de commande d'affichage, fonctionnellement connecté au circuit de sélection de sous-trames, afin de recevoir le signal de sélection de sous-trames et un signal de données d'affichage d'entrée et de commander ledit affichage de l'image d'échelle de gris à niveaux multiples en fonction du nombre sélectionné des sous-trames.

De plus, pour réaliser les buts ci-dessus énoncés, un procédé selon l'invention est un procédé d'excitation d'un dispositif d'affichage, ledit dispositif d'affichage affichant une image d'échelle de gris à niveaux multiples via une trame possédant une pluralité de sous-trames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame,

comprenant les opérations suivantes : sélectionner le nombre des sous-frames qui peuvent être affichées pendant la durée de la trame unique en fonction de la fréquence d'un signal de synchronisation verticale devant être fourni au dispositif d'affichage, et produire un signal de sélection de sous-frames correspondant au nombre des sous-frames ; et fournir à un circuit de commande d'affichage le signal de sélection de sous-frames et commander ledit affichage de l'image d'échelle de gris à niveaux multiples en fonction du nombre sélectionné des sous-frames.

Selon la disposition ci-dessus décrite, le nombre optimal de sous-frames peut être déterminé en fonction de la fréquence d'un signal de synchronisation verticale appliqué à l'entrée d'un dispositif d'affichage à panneau, par exemple un PDP ou un LCD, la commande de l'affichage pouvant donc être ainsi effectuée.

Selon l'invention, le circuit de commande d'affichage est ainsi conçu qu'il peut effectuer divers réglages en conformité avec le nombre sélectionné de sous-frames. Par exemple, une valeur initiale choisie par le signal de sélection de sous-frames est appliquée à l'entrée d'un compteur de sous-trame qui délivre le numéro d'ordre de la sous-trame qui en train d'être affichée. De ce fait, la commande d'affichage peut être effectuée par simple changement de la valeur initiale. En outre, une section de conversion d'échelle de gris à pseudo-niveaux multiples servant à délivrer un signal d'échelle de gris à pseudo-niveaux multiples représentant une échelle de gris d'entrée à l'aide d'un nombre de bits plus petit que celui d'un signal de données d'affichage d'entrée fixe le nombre des bits de sortie du signal d'échelle de gris à pseudo-niveaux multiples en conformité avec le nombre sélectionné de sous-frames. En outre, lorsqu'un convertisseur de données d'affichage, servant à convertir un signal d'échelle de gris en un signal de données d'affichage ayant une combinaison de sous-frames prédéterminées, est prévu pour augmenter la qualité d'image, les tables de conversion sont modifiées en conformité avec le nombre sélectionné de sous-frames. C'est pourquoi, lorsque le nombre de sous-frames devant être excitées est déterminé, un signal de donnée d'affichage ayant un nombre de bits équivalent au nombre déterminé de sous-frames doit être délivré.

Lorsque le nombre de sous-frames est fixé de manière variable, la fixation d'un nombre variable d'impulsion entretenues pour chaque sous-trame pendant une période d'entretien est également nécessaire. Dans un tel cas, le nombre d'impulsions entretenues est déterminé de façon à correspondre à des

valeurs de pondération adaptées aux luminances de sous-frames devant être délivrées par un convertisseur de données d'affichage.

Pour réaliser les buts ci-dessus énoncés, un dispositif d'affichage selon l'invention est un dispositif d'affichage, affichant une image d'échelle de gris à
5 niveaux multiples via une trame possédant une pluralité de sous-frames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-frame, comprenant : une section de tables de conversion, qui reçoit une partie de signaux de bits d'un signal d'échelle de gris à niveaux multiples possédant une pluralité de bits qui correspondent à un niveau d'échelle de gris
10 différent au titre de signal d'adresse et qui délivre un signal de conversion de sous-frames dédoublées dans lequel un groupe prédéterminé des sous-frames ont été converties à partir des signaux d'adresse d'entrée via une table de conversion qui y est stockée ; un synthétiseur, fonctionnellement connecté à la section de tables de conversion, afin de synthétiser les signaux de bits restants du signal d'échelle de
15 gris à niveaux multiples et du signal de conversion de sous-frames dédoublées en fonction de l'échelle de gris associée de manière à produire un signal de plusieurs sous-frames se rapportant à une seule trame ; et un circuit de commande d'affichage, fonctionnellement connecté au synthétiseur, afin d'afficher l'image d'échelle de gris à niveaux multiples dans une partie d'affichage en fonction du signal à
20 plusieurs sous-frames synthétisé.

De plus, pour réaliser les buts ci-dessus énoncés de l'invention, un autre aspect de l'invention est un dispositif d'affichage, qui affiche une image d'échelle de gris à niveaux multiples via une trame possédant une pluralité de sous-frames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-frame, comprenant : une section de
25 tables de conversion, qui reçoit une partie de plusieurs signaux de bits d'un signal d'échelle de gris à niveaux multiples comportant plusieurs bits qui correspondent à un niveau d'échelle de gris différent au titre de signal d'adresse et qui délivre un signal de conversion de sous-frames dédoublées dans lequel un groupe prédéterminé des sous-frames a été converti à partir des signaux d'adresse d'entrée via
30 une table de conversion qui y est stockée, ledit signal de conversion de sous-frames dédoublées comportant une pluralité de sous-frames qui ont la même valeur de pondération d'échelle de gris ; un synthétiseur, fonctionnellement connecté à la section de tables de conversion, afin de décaler le signal d'échelle de
35 gris à niveaux multiples suivant des bits prédéterminés dans le cas où le nombre de bits du signal de conversion de sous-frames dédoublées est plus grand que le

nombre de bits du signal d'adresse pour la section de tables de conversion, et afin de synthétiser les signaux de bits restants décalés du signal d'échelle de gris à niveaux multiples et le signal de conversion de sous-trames dédoublées en fonction de l'échelle de gris associée de manière à produire un signal de plusieurs sous-trames se rapportant à une seule trame ; un circuit de limitation, fonctionnellement connecté à la section de tables de conversion au niveau de son étage antérieur, afin de limiter le signal d'échelle de gris à niveaux multiples non supérieur à un deuxième niveau d'échelle de gris dans le cas où un premier niveau d'échelle de gris selon le signal d'échelle de gris à niveaux multiples est plus grand que le deuxième niveau d'échelle de gris selon le signal de sous-trames synthétisé ; et un circuit de commande d'affichage, fonctionnellement connecté au synthétiseur, afin d'afficher l'image d'échelle de gris à niveaux multiples dans une partie d'affichage en fonction du signal de plusieurs sous-trames synthétisé.

De plus, pour réaliser les buts ci-dessus énoncés, un aspect supplémentaire de l'invention est un procédé d'excitation d'un dispositif d'affichage, le dispositif d'affichage affichant une image d'échelle de gris à niveaux multiples via une trame comportant une pluralité de sous-trames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame, le procédé comprenant les opérations suivantes : recevoir une partie de signaux de bits d'un signal d'échelle de gris à niveaux multiples qui possède une pluralité de bits correspondant à un niveau d'échelle de gris différent en tant que signal d'adresse et délivrer un signal de conversion de sous-trames dédoublées dans lequel un groupe prédéterminé des sous-trames ont été converties à partir des signaux d'adresse d'entrée via une table de conversion qui y est stockée ; synthétiser les signaux de bits restants du signal d'échelle de gris à niveaux multiples et du signal de conversion de sous-trames dédoublées en fonction de l'échelle de gris associée de manière à produire un signal de plusieurs sous-trames se rapportant à une seule trame ; et afficher l'image d'échelle de gris à niveaux multiples dans une partie d'affichage en fonction du signal de plusieurs sous-trames synthétisé.

Le dispositif d'affichage qui possède la disposition ci-dessus décrite peut réduire la mémoire nécessaire pour une section de tables de conversion de sous-trames dédoublées. De plus, puisque la mémoire nécessaire pour une seule table de conversion peut être réduite, plusieurs tables de conversion peuvent être stockées dans la mémoire de façon que la qualité d'image puisse être améliorée. En outre, du fait de la réduction de la capacité de mémorisation, il est possible de construire un dispositif d'affichage de manière plus compacte.

La description suivante, conçue à titre d'illustration de l'invention, vise à permettre une meilleure compréhension de ses caractéristiques et avantages ; elle s'appuie sur les dessins annexés, parmi lesquels :

5 la figure 1 est un schéma qui montre la structure générale d'un dispositif d'affichage à panneau plat selon un mode de réalisation de l'invention ;

la figure 2 est un schéma de circuit qui montre une partie d'une section de commande d'excitation de panneau d'affichage ;

10 la figure 3 est une table placée dans un circuit de sélection de sous-trames ;

la figure 4 est un diagramme temporel relatif au circuit représenté sur la figure 2 ;

la figure 5 est un schéma permettant d'expliquer un procédé de diffusion d'erreur ;

15 la figure 6 est un schéma fonctionnel qui montre une section de prétraitement de données d'affichage ;

la figure 7 est un schéma qui montre la structure générale d'une section de conversion d'échelle de gris à pseudo-niveaux multiples ;

la figure 8 est un schéma de circuit détaillé qui montre la section de conversion d'échelle de gris à pseudo-niveaux multiples ;

20 les figures 9A à 9C représentent une table de vérité se rapportant au circuit de conversion d'échelle de gris à pseudo-niveaux multiples ;

la figure 10 est un schéma fonctionnel qui montre une section de prétraitement de données d'affichage ;

25 la figure 11 est un exemple de table de conversion pour huit sous-trames ;

la figure 12 est un exemple de table de conversion pour sept sous-trames ;

la figure 13 est un exemple de table de conversion pour six sous-trames ;

30 la figure 14 est un schéma qui montre la structure générale d'un dispositif d'affichage à panneau plat ;

la figure 15 est un exemple de table utilisée pour convertir un signal de sortie d'échelle de gris à niveaux multiples à 6 bits en sept sous-trames ;

35 la figure 16 est un schéma simplifié montrant la conversion de sous-trames dédoublées selon le mode de réalisation de l'invention ;

la figure 17 est un schéma qui montre la structure interne d'une section de conversion de sous-trames dédoublées ;

la figure 18 est un graphe présentant le principe de fonctionnement d'un circuit de limitation ;

5 la figure 19 est un diagramme servant à expliquer le circuit de limitation ;

la figure 20 est un diagramme servant à expliquer le fonctionnement d'un circuit de limitation ;

10 la figure 21 est un schéma qui représente un exemple particulier du circuit de limitation ;

la figure 22 est un schéma servant à expliquer le fonctionnement du circuit de limitation ;

15 la figure 23 est une table qui montre la relation existant entre le signal de sortie d'un circuit de décalage et le signal de sortie d'un circuit de multiplexage, ainsi que le nombre de décalages ;

la figure 24 est un schéma qui montre des exemples particuliers du circuit de décalage et du circuit de multiplexage ;

20 la figure 25 est un schéma qui montre un circuit de production de signal de commande se trouvant dans l'exemple de circuit représenté sur la figure 24 ;

la figure 26 est un schéma servant à expliquer le principe de fonctionnement d'une section de conversion de matrice de données ;

la figure 27 est un autre exemple de table servant à convertir un signal de sortie d'échelle de gris à niveaux multiples à 6 bits en sept sous-trames ;

25 les figures 28A à 28C représentent un schéma qui montre un exemple dans lequel des tables de conversion se rapportant à une pluralité de modes sont employées ;

la figure 29 est une table qui montre une relation de bits pour la conversion de sous-trames dédoublées ;

30 la figure 30 est un exemple de table (2) permettant de convertir un signal de sortie d'échelle de gris à niveaux multiples à 6 bits en huit sous-trames ;

la figure 31 est un exemple de tableau (1) permettant de convertir un signal de sortie d'échelle de gris à niveaux multiples à 7 bits en huit sous-trames ;

35 la figure 32 est un exemple de table (1) permettant de convertir un signal de sortie d'échelle de gris à niveaux multiples à 7 bits en huit sous-trames ;

la figure 33 est un exemple de table (1) permettant de convertir un signal de sortie d'échelle de gris à niveaux multiples à 5 bits en six sous-trames ;

la figure 34 est un exemple de tableau (1) permettant de convertir un signal de sortie d'échelle de gris à niveaux multiples à 5 bits en six sous-trames ;

5 la figure 35 est un schéma simplifié qui montre la structure générale d'un PDP classique ;

la figure 36 est une vue en section droite d'une cellule de décharge d'un PDP classique ;

10 la figure 37 est un schéma montrant le fonctionnement des électrodes particulières d'un dispositif à PDP ;

la figure 38 est un schéma montrant un exemple de structures de sous-trames d'échelle de gris à 64 niveaux ;

la figure 39 est un schéma explicatif d'un exemple classique ;

la figure 40 est un schéma explicatif d'un autre exemple classique ; et

15 la figure 41 est un schéma permettant d'expliquer un procédé de sous-trames dédoublées.

Structure générale du dispositif d'affichage

20 La figure 1 est un schéma qui montre la structure générale d'un dispositif d'affichage à panneau plat selon un mode de réalisation de l'invention. Les explications qu'on va donner concernant un dispositif d'affichage à PDP ; toutefois l'invention peut non seulement être appliquée à un dispositif d'affichage à PDP, mais aussi à un dispositif d'affichage à panneau plat ordinaire, comme un dispositif à LCD.

25 Sur la figure 1, le numéro de référence 1 désigne une section panneau d'affichage ; 3 désigne un dispositif commun d'excitation de Y qui assure l'excitation en commun des électrodes Y 15 ; 4 désigne un dispositif d'excitation de balayage Y qui effectue le balayage et l'excitation des électrodes Y 15 ; 5 désigne un dispositif commun d'excitation X qui assure l'excitation de l'électrode X 14 ; et
30 6 désigne un dispositif d'excitation d'adressage servant à exciter l'électrode d'adressage 16. Ces éléments sont les mêmes que ceux décrits sur la figure 35.

35 Une section 35 circuit de commande d'affichage est destinée à commander l'affichage sur un panneau d'affichage 10 et une section d'excitation, et elle possède une section 36 de commande de données d'affichage et une section 38 de commande d'excitation de panneau d'affichage. Ces deux sections de commande 36 et 38 sont étroitement liées entre elles. La section 36 de commande

de données d'affichage comporte une section 43 de prétraitement de données d'affichage, qui reçoit, de la part d'un système, des signaux de données d'affichage R7 à R0 (pour le rouge), G7 à G0 (pour le vert) et B7 à B0 (pour le bleu) spécifiant des échelles de gris pour les trois couleurs primaires, et qui effectue un

5 prétraitement, lequel sera décrit ultérieurement ; une mémoire de trame 44, dans laquelle sont stockées des données d'affichage traitées ; et une section 42 circuit de commande de mémoire de trame, qui délivre une adresse d'écriture et une adresse de lecture à la mémoire de trame 44. Les données d'affichage stockées dans la

10 mémoire de trame 44 sont délivrées, au titre de données d'adressage A-DATA, au dispositif d'excitation d'adressage, et une région de cellule voulue s'éclaire par excitation de balayage de l'électrode Y correspondante, de la manière précédemment décrite.

Un signal de synchronisation verticale VSYNC, un signal de synchronisation horizontale HSYNC, un signal de suppression BLANK et un signal

15 d'horloge de point CLOCK sont fournis à la section 38 de commande d'excitation de panneau d'affichage, laquelle comporte : une section 45 générateur de positionnement temporel de PDP, qui utilise les signaux ci-dessus pour produire divers signaux de positionnement temporel ; une section 41 de commande de dispositif d'excitation d'adressage ; une section 39 de commande de dispositif d'excitation de

20 balayage ; et une section 40 de commande de dispositif d'excitation en commun.

Compteur de sous-frames

La figure 2 est un schéma de circuit détaillé qui montre une partie de la section 38 de commande d'excitation de panneau d'affichage. La section 45

25 générateur de positionnement temporel de PDP et la section 40 de commande de dispositif d'excitation sont spécifiées dans un bloc 381 de la partie supérieure, et, dans le reste du diagramme, en dehors du bloc 381, est représenté le reste de la section 45 du générateur de positionnement temporel de PDP.

Dans ce mode de réalisation, un signal de synchronisation verticale

30 devant être appliqué en entrée est employé pour déterminer le nombre de sous-frames destinées à former une trame. Dès que le nombre des sous-frames a été déterminée, une valeur correspondante est appliquée à l'entrée d'un compteur de sous-frames. De ce fait, on peut ajuster le nombre d'impulsions de décharge entretenues ayant lieu dans la période de décharge entretenue S3 que l'on peut voir

35 sur la figure 37.

Tout d'abord, le numéro de référence 50 désigne un moyen de sélection de sous-frames. Un signal de synchronisation verticale Vsync et un signal d'horloge CLK sont appliqués à l'entrée du moyen 50 de sélection de sous-frames. Une minuterie 501 s'efface sur la descente du signal de synchronisation verticale Vsync, le signal d'horloge CLK est compté, et, de nouveau, sur la descente du signal de synchronisation verticale Vsync, la valeur de comptage de la minuterie 501 est verrouillée par une bascule 502. Le signal de sortie de la bascule 502 est donc une fréquence du signal de synchronisation verticale Vsync, par exemple. Ainsi, un signal de sélection de sous-frames conforme à cette fréquence fF est délivré par un décodeur 503.

Le nombre de sous-frames correspondant à la fréquence du signal de synchronisation verticale est déterminé par avance, comme représenté sur la figure 3, par exemple. Le nombre de sous-frames est fixé par exemple à sept au voisinage de 60 Hz, qui est la norme commune établie par le système NTSC. Ceci signifie que sept sous-frames sont contenues dans une période de trame de 16,7 ms. Ainsi, lorsque le niveau du signal de synchronisation verticale devant être délivré augmente, le nombre de sous-frames augmente de façon correspondante. Lorsque la corrélation représentée sur la figure 3 a été établie, le décodeur 503 est formé en conformité avec cette corrélation. En d'autres termes, lorsque la fréquence détectée fF est détectée, comme représenté sur la figure 3, un signal de sélection de sous-frames correspondant SEL est délivré. Avec ce signal de sélection de sous-frames SEL, divers processus de sélection sont effectués ultérieurement.

L'idée de base de l'invention est de modifier le nombre des sous-frames selon les besoins, en fonction de la fréquence du signal de synchronisation verticale fourni. Par conséquent, lorsque la fréquence du signal de synchronisation verticale est détectée et que le nombre de sous-frames est déterminé de la manière ci-dessus décrite, une valeur initiale maintenue par le compteur de sous-frames doit être fixée à une valeur correspondant au nombre déterminé de sous-frames. Le compteur de sous-frames est un circuit employé pour identifier la position d'une sous-trame en cours d'excitation qui est comprise à l'intérieur d'une période de trame. En particulier, lorsque le procédé de multiplexage par division temporelle intratrame permettant de multiplexer une pluralité de sous-frames ayant des poids différents est employé comme dispositif d'affichage, un poids, correspondant à la luminance, est différent pour les sous-frames, selon leurs positions. Plus spécialement, le nombre d'impulsions entretenues qui sont prévues pour l'électrode

X et les électrodes Y pendant la période d'entretien diffère pour chaque sous-trame. Le signal de sortie du compteur de sous-trames est utilisé par exemple pour commander le nombre des impulsions entretenues.

Sur la figure 2, par conséquent, une mémoire morte (ROM 51) de
5 fixation de valeur de comptage de sous-trames (SF) qui a reçu un signal SEL de sélection de sous-trames est destiné à fournir une valeur initiale au compteur de sous-trames 52. La valeur fixée de comptage de sous-trames est représentée sur la figure 3, par exemple. Pour une fréquence de 60 Hz, le nombre de sous-trames est sept et la valeur fixée de comptage de sous-trames est son "inverse", soit 1,
10 laquelle valeur est chargée dans le compteur de sous-trames 52. Lorsque la valeur de comptage augmente de sept, un signal de report CA est délivré. L'augmentation de la valeur de comptage se répète lors de la période de trame suivante.

Sur la figure 2, le numéro de référence 53 désigne une ROM de
15 fixation de valeur de comptage d'onde entretenue, à laquelle sont transmis, au titre de signal d'entrée d'adresse, une valeur de comptage venant du compteur de sous-trames 52, le signal de sélection de sous-trames SEL et le signal de luminance BC, et, par laquelle est délivré le nombre d'impulsions entretenues nécessaires pour la période d'entretien. Ce signal de sortie est comparé avec le contenu d'un compteur ascendant 54 par un circuit de comparaison 55. Lorsqu'ils sont appariés, un signal
20 d'appariement SE est délivré.

Le numéro de référence 57 désigne un commutateur avec lequel le
nombre d'électrodes Y peut être fixé. Le nombre d'électrodes Y est comparé avec le signal de sortie d'un compteur Y 56 servant à compter le balayage des électrodes Y, à l'aide d'un circuit comparateur 58. Lorsque les deux valeurs sont appariées, un
25 signal d'appariement YE est délivré.

Dans la section de commande d'excitation 381, est prévue une ROM de
formes d'onde 383, par laquelle les formes d'onde employées pour exciter l'électrode X et les électrodes Y sont délivrées au titre de signaux d'excitation. Une
30 adresse est délivrée par un circuit 382 de commande de la ROM de formes d'onde afin de commander la ROM de formes d'onde 383. Ensuite, l'électrode X et les électrodes Y sont excitées par des signaux d'excitation de formes d'onde et des signaux désignant les électrodes à exciter pendant la période de repositionnement, la période d'adressage et la période d'entretien.

Comme représenté sur la figure 37, la période de sous-trame relative
35 au dispositif d'affichage à PDP possède une période de repositionnement S1 durant laquelle une impulsion d'écriture et une impulsion d'effacement sont appliquées à

l'électrode X et à toutes les électrodes Y ; une période d'adressage S2 durant laquelle des données d'affichage sont transmises par l'électrode d'adressage, et la sous-trame s'éclaire tandis que les électrodes Y sont balayées ; une période d'entretien S3 durant laquelle les impulsions entretenues, équivalentes à des valeurs de pondération correspondant aux luminances des sous-trames sont appliquées à répétition aux électrodes X et Y. Par conséquent, le circuit 382 de commande de la ROM de formes d'onde délivre un signal d'adressage ADD, de sorte que, pendant la période de repositionnement S1, une impulsion d'écriture et une impulsion d'effacement sont délivrées par la ROM de formes d'onde 383 ; pendant la période d'adressage S2, des impulsions de balayage dont le nombre équivaut à la valeur de comptage des électrodes Y sont délivrées de façon répétées par la ROM de formes d'onde 383 ; et, pendant la période d'entretien S3, les impulsions entretenues, correspondant aux valeurs de pondération, sont délivrées de manière répétée par la ROM de formes d'onde 383.

On va maintenant expliquer le fonctionnement particulier du circuit de la figure 2 en se reportant au diagramme temporel de la figure 4. Tout d'abord, un signal d'horloge VC indiquant le début d'une trame est produit à partir du signal de synchronisation verticale Vsync. Dès l'application du signal d'horloge VC, au titre d'impulsion de charge, au compteur de sous-trames 52, une valeur de fixation de sous-trame représentée dans la table de la figure 3 est chargée de la ROM de fixation de valeur de comptage de sous-trames 51 dans le compteur de sous-trames 52. Le compteur de sous-trames 52 délivre après cela une valeur de comptage correspondant au nombre sélectionné de sous-trames. Sur la figure 4, est représenté un exemple relatif à sept sous-trames, pour une fréquence de 60 Hz.

La première partie de la période de sous-trame est la période de repositionnement S1. Le circuit 382 de commande de la ROM de formes d'onde est activé par le signal d'horloge VC et commande la ROM de formes d'onde 383 de façon que soient délivrées une impulsion d'écriture et une impulsion d'effacement pendant la période de repositionnement S1. Au cours de la période d'adressage AD (S2) suivante, le compteur Y 56 est repositionné. Jusqu'à ce qu'une valeur de comptage ait été augmentée et soit devenue égale au nombre d'électrodes Y fixé par le commutateur 57, le circuit 382 de commande de la ROM de formes d'onde commande la ROM de formes d'onde 383 de façon qu'une impulsion de balayage soit délivrée à répétition par celle-ci. Plus spécialement, une série de signaux d'adressage sont délivrés de façon continue à la ROM de formes d'onde 383, jusqu'à ce que le signal d'appariement YE ait été reçu. Lorsque le signal d'appa-

riement YE a été reçu de la part du circuit de comparaison 58, le processus se déplace à la période d'entretien SUS (S3) suivante.

Pendant la période d'entretien S3, en réponse à un signal de repos, le compteur ascendant 54 commence à augmenter sa valeur de façon incrémentielle.

5 La ROM de fixation de valeur de comptage d'ondes entretenues 53 délivre un signal SFW de comptage d'ondes entretenues, qui est introduit par le signal de sélection de sous-trames SEL et des signaux d'adresse pour le nombre de sous-trames SFN et le signal de luminance BC. Comme cela sera décrit ultérieurement, le nombre de sous-trames et les positions des sous-trames sont employées pour
10 fixer la valeur de comptage des ondes entretenues particulières (le nombre d'impulsions) dans la ROM. Lorsque le nombre des sous-trames augmente, de nombreuses sous-trames ayant des valeurs de pondération supérieures peuvent être positionnées. Lorsque le nombre des sous-trames est petit, les sous-trames ayant des valeurs de pondération plus petites sont positionnées. Par conséquent, le
15 nombre d'ondes entretenues est déterminé par la sélection du nombre de sous-trames.

Pendant la période d'entretien SUS (S3), puisque la même impulsion entretenue est appliquée de façon répétée, le circuit 382 de commande de la ROM de formes d'onde commande la ROM de formes d'onde 383 de façon à faire
20 délivrer de manière continue une onde entretenue par la ROM de formes d'onde 383 jusqu'à ce que le signal d'appariement SE soit délivré par le circuit de comparaison 55. En d'autres termes, une série de signaux d'adressage est délivré à la ROM de formes d'onde 383.

Lorsque les périodes de sous-trame ci-dessus décrites ont été répétées
25 un nombre de fois équivalent au nombre de sous-trames, un signal de report CA est délivré par le compteur de sous-trames 52, et le fonctionnement s'arrête jusqu'au début de la période de trame suivante.

Section de traitement de pseudo-échelle de gris

30 Les données d'affichage fournies par le système au dispositif d'affichage sont ordinairement des signaux d'échelle de gris à 8 bits se rapportant au rouge, au vert et au bleu, puisque 8 bits suffisent pour représenter 256 niveaux d'échelle de gris, de sorte que des couleurs dites naturelles peuvent être produites. Si la fréquence d'un signal de synchronisation verticale fourni augmente, le
35 nombre de sous-trames à exciter pendant une trame devra être plus petit que huit. Puisqu'une pluralité de sous-trames sont éclairées suivant un mode de division

temporelle, le temps est matériellement insuffisant. Par conséquent, on effectue un processus de conversion d'échelle de gris à pseudo-niveaux multiples pour un signal de données d'affichage à 8 bits de façon à obtenir un signal de données d'affichage ayant un petit nombre de bits, et, ainsi, faire démarrer une pseudo-représentation à 256 niveaux d'échelle de gris. La conversion d'échelle de gris à pseudo-niveaux multiples peut être appelée également une conversion d'échelle de gris à niveaux multiples.

Puisque le processus de conversion d'échelle de gris à pseudo-niveaux multiples est également effectué dans une machine de copie, une machine de télécopie ou une imprimante et est une méthode bien connue, on omettra d'en fournir une explication détaillée. Une méthode de diffusion d'erreur et une méthode de rapprochement de points dispersés ("dither") sont des procédés bien connus de conversion d'échelle de gris à pseudo-niveaux multiples. Le procédé de diffusion d'erreur est cité par exemple dans "An Adaptive Algorithm for Spatial Greyscale, Floyd et Steiberg, p. 75-77".

Selon cette méthode de diffusion d'erreur, lorsqu'une donnée d'affichage à 8 bits doit être convertie en donnée d'affichage à 5 bits, les niveaux d'échelle de gris des trois bits des poids inférieurs sont perdus. Par conséquent, avec l'algorithme de la méthode de diffusion d'erreur, on répartit l'erreur qui équivaut aux trois bits des poids inférieurs entre des pixels adjacents, c'est-à-dire qu'on la diffuse sur les pixels adjacents, et, lorsqu'un nombre prédéterminé d'erreurs, ou un nombre supérieur, se sont accumulées, on augmente d'un degré le niveau d'échelle de gris du pixel. Comme représenté sur le schéma explicatif de la figure 5, lorsque, par exemple, la position courante du pixel est F, on répartit l'erreur relative au pixel F entre les pixels suivants A', B', C' et D', selon un rapport prédéterminé. D'autre part, les erreurs associées aux pixels précédents A, B, C et D sont ajoutées au pixel F, selon un rapport prédéterminé, comme représenté par l'expression suivante :

$$F = \frac{7}{16} A + \frac{1}{16} B + \frac{5}{16} C + \frac{3}{16} D + E$$

Comme décrit ci-dessus, une fois que le nombre de sous-frames a été sélectionné, il faut déterminer le nombre de bits devant être délivrés par la section de conversion d'échelle de gris à pseudo-niveaux multiples en conformité avec le nombre sélectionné de sous-frames. Par conséquent, lorsque le nombre de sous-

trames est sélectionné en conformité avec la fréquence du signal de synchronisation verticale, comme dans l'invention, le circuit de traitement de la section de conversion d'échelle de gris à pseudo-niveaux multiples doit être modifié.

La figure 6 est un schéma fonctionnel simplifié qui montre la section
5 43 de prétraitement de données d'affichage se trouvant dans la section 36 de commande de données d'affichage. La section 431 de conversion d'échelle de gris à pseudo-niveaux multiples convertit la donnée d'affichage à 8 bits Din en une donnée d'affichage DT dont le nombre de bits correspond à celui des sous-trames. Une section 432 de conversion de matrice de données convertit la donnée d'affi-
10 chage DT, fournie pixel par pixel, en une donnée d'adressage QX au moins pour chaque ligne qui correspond à la sous-trame relativement à la matrice. La donnée d'adresse QX est ensuite écrite dans la mémoire de trame. La section 42 de circuit de commande de mémoire de trame reçoit une adresse d'écriture WA et une adresse de lecture RA et transmet la donnée d'adresse A-DATA au dispositif
15 d'excitation d'adressage, dans l'ordre optimal des sous-trames.

On va maintenant décrire la disposition de la section 441 de conversion d'échelle de gris à pseudo-niveaux multiples, tout en se reportant aux figures 7, 8 et 9A à 9C. La figure 7 est un schéma qui montre la structure générale de la section
20 431 de conversion d'échelle de gris à pseudo-niveaux multiples, laquelle section comprend : un circuit 433 de diffusion d'erreur, qui reçoit la donnée d'affichage Din et délivre la donnée d'affichage DT obtenue par conversion d'échelle de gris à pseudo-niveaux multiples ; un circuit décodeur 434, qui produit des signaux de commande décodés ENA et ENB en réponse au signal de sélection de sous-trames SEL et qui transmet les signaux de commande au circuit 433 de diffusion d'erreur ;
25 et une section 435 générateur de positionnement temporel. Le circuit 433 de diffusion d'erreur comporte un circuit 436 d'opération arithmétique de diffusion d'erreur et un circuit 437 d'addition d'erreur, comme représenté sur la figure 8.

Les figures 9A à 9C sont des tables de vérité pour les signaux de commande ENA et ENB délivrés par le circuit décodeur 434 (figures 9A et 9B) et
30 une table de vérité se rapportant à une section 440 d'extraction d'erreur appartenant au circuit 437 d'addition d'erreur que l'on peut voir sur la figure 8 (figure 9C).

On va maintenant expliquer, en se reportant principalement au schéma fonctionnel de la figure 8, le fonctionnement de la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples 431 en faisant appel au procédé de diffusion d'erreur. Tout d'abord, dans un signal d'affichage à 8 bits d'entrée Din, les
35 bits inférieurs Din 6-0, qui ont une certaine probabilité d'être une erreur, sont

fournis à la section 440 d'extraction d'erreur et à un groupe 441 de circuits ET via une bascule retardatrice 439. Le bit le plus significatif Din 7 est transmis directement au circuit d'addition 443. En fonction du signal de sélection de sous-trames SEL, la section 440 d'extraction d'erreur transmet la donnée d'affichage Din 6-0 à un circuit d'addition 446 du circuit 436 d'opération arithmétique de diffusion d'erreur, selon la théorie présentée dans la table 3 de la figure 9C.

On va maintenant expliquer le cas relatif de la conversion d'échelle de gris à pseudo-niveaux multiples d'une donnée d'affichage d'entrée à 8 bits en une donnée d'affichage de 5 bits. Si le nombre de sous-trames est égal à 5 bits, le signal de sélection de sous-trames SEL est (H, L, L), où H et L désignent respectivement des niveaux haut et bas. Ainsi, comme indiqué dans la table 3 de la figure 9C, les trois bits inférieurs D2, D1 et D0 sont envoyés, comme donnée d'erreur Y, au circuit 436 d'opération arithmétique de diffusion d'erreur. En d'autres termes, ceci correspond au cas où, comme cela est représenté sur la figure 5, le pixel F fournit une erreur à son propre pixel. Dans la section 436 circuit d'opération arithmétique de diffusion d'erreur, les erreurs des autres pixels, soit A, B, C et D, sont également transmises au circuit d'addition 436 par des circuits basculeurs retardateurs 447, 448 et 451, un circuit retardateur de rangée 452, et des circuits ET 449 et 450. La valeur de sortie F du circuit d'addition 446 est calculée de façon à donner l'expression suivante :

$$Z = Y + Z + C1 \quad (1)$$

$$F = \frac{7}{16} A + \frac{1}{16} B + \frac{5}{16} C + \frac{3}{16} D + E$$

D'autre part, dans le circuit d'addition d'erreur 437, en fonction du signal de commande ENA venant du décodeur 434, un signal de données d'affichage formé de bits supérieurs, qui ne sont pas considérés comme une erreur, passe dans le groupe de circuits ET 441 et est transmis à la borne Y du circuit d'addition 443. Si le signal d'affichage possède 5 bits, comme dans la table 1 de la figure 9A, les bits supérieurs Din 6, 5, 4 et 3 passent dans le groupe de circuits ET 441 pour un signal de commande ENA de niveau H (niveau haut), tandis que les bits inférieurs sont masqués pour un signal ENA de niveau L (niveau bas).

Un signal de report est ajouté, comme valeur X du circuit d'addition 443, au signal de bits par le circuit ET 442. Plus spécialement, lorsque la valeur accumulée des erreurs E du pixel considéré (F) et des erreurs des pixels adjacents

A, B, C et D dépasse une valeur prédéterminée, le circuit d'addition 446 délivre un signal de report de niveau H. Cette valeur de signal de report peut être ajoutée au bit le moins significatif du signal de 5 bits afin de corriger la luminance. Comme on peut le voir dans la table 2 de la figure 9B, par conséquent, le décodeur 434
5 produit un signal de commande ENB de façon qu'un signal de report puisse être renvoyé sur le bit le moins significatif X3. Ensuite, la valeur du signal de report qui accompagne l'accumulation des erreurs est ajoutée à la donnée d'affichage des bits supérieurs fournie au circuit d'addition 443, et le signal résultant est transmis, au titre d'un signal Z, via la bascule retardatrice 445. Dans cet exemple, seuls les
10 5 bits supérieurs du signal de sortie DT font fonction de donnée d'affichage valable.

Comme on peut le voir sur les figures 9A à 9C, en fonction du nombre de bits délivrés par la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples, le même signal de sélection de sous-frames SEL est employé
15 pour produire le signal de commande (voir les figures 9A à 9C), ce qui permet au circuit arithmétique interne de la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples de la figure 8 d'effectuer les opérations arithmétiques nécessaires. Par conséquent, même lorsque le nombre de sous-frames (SF) varie en fonction de la fréquence du signal de synchronisation verticale, la section de con-
20 version d'échelle de gris à pseudo-niveaux multiples peut également effectuer les opérations arithmétiques, lorsque cela est nécessaire.

Le circuit d'opération arithmétique de diffusion d'erreur 436 est réalisé par utilisation d'un circuit ordinaire pouvant effectuer des opérations arithmétiques de diffusion d'erreur largement connues, et on ne donnera pas d'explications
25 détaillées sur le fonctionnement du circuit 436.

Section de conversion de données d'affichage

La commande faisant intervenir l'utilisation du procédé de multi-plexage par division temporelle intratrame est exécutée de manière à produire un
30 affichage d'échelle de gris à niveaux multiples. Comme représenté sur la figure 39, si, par exemple, on utilise cinq sous-frames pour afficher en alternance les niveaux d'échelle de gris 31 et 32, en apparence, l'état pour lequel toutes les sous-frames sont éclairées et l'état pour lequel toutes les sous-frames ne sont pas éclairées se répètent en alternance, et ceci provoque un scintillement. De plus, comme on peut
35 le voir sur la figure 40, lorsqu'on emploie cinq sous-frames afin d'afficher en

alternance des niveaux 15 et 16 de l'échelle de gris d'affichage, de la même manière, alors le même phénomène se produit.

Pour résoudre le problème du scintillement, les inventeurs de la présente demande ont proposé un procédé de commande d'affichage, appelé le
5 procédé des sous-trames dédoublées, ou du dédoublement des sous-trames, par exemple dans la demande de brevet japonais n° Hei 6-264244 et dans la demande de brevet des EUA n° 368 002, qui lui correspond. Selon le procédé de dédoublement des sous-trames, la donnée d'affichage obtenue après la conversion d'échelle de gris à pseudo-niveaux multiples est encore divisée, et elle est
10 convertie en un groupe de données de sous-trames qui présentent une pluralité de sous-trames ayant les mêmes valeurs de pondération, par exemple. Ainsi, on réarrange dans un ordre optimal les sous-trames séparées se trouvant dans un groupe, afin d'empêcher l'apparition du scintillement et de contours en fausses couleurs.

15 Sur les figures 11, 12 et 13, sont présentés des exemples particuliers de tables de conversion. Par exemple, sur la figure 12, est représentée une table de conversion se rapportant à sept sous-trames. Dans cet exemple, des niveaux d'échelle de gris 0 à 43 sont convertis en groupes de sept sous-trames ayant des valeurs de pondération de (1, 2, 4, 4, 8, 8, 16). L'ordre d'affichage des sous-trames est fixé à (4, 8, 2, 16, 1, 8, 4) et la luminance se disperse le long de l'axe du temps.
20 En d'autres termes, une sous-trame possédant une luminance élevée est placée au centre, et plusieurs sous-trames ayant la même luminance sont positionnées séparément. De ce fait, lorsque, par exemple, les sous-trames des niveaux d'échelle de gris 15 et 16 sont affichées en alternance, les sous-trames à éclairer et les sous-trames à ne pas éclairer sont dispersées, comme représenté sur la figure 41, de sorte
25 que le phénomène qui provoque le scintillement, ainsi que cela est représenté sur les figures 39 et 30, peut être empêché.

Une fois que le nombre de sous-trames à afficher a été déterminé, la table de conversion optimale relative au nombre sélectionné de sous-trames est
30 elle aussi sélectionnée à l'avance. Par exemple, la table de conversion de la figure 11 est sélectionnée pour 8 sous-trames ; la table de conversion de la figure 12 est sélectionnée pour 7 sous-trames ; et la table de conversion de la figure 13 est sélectionnée pour 6 sous-trames. Par conséquent, lorsqu'on a sélectionné le nombre des sous-trames et qu'on a désigné une table de conversion, le
35 nombre de bits des données d'affichage délivrées par la section de conversion d'échelle de gris à pseudo-niveaux multiples est également désigné en même

temps. Les tables de conversion des figures 11, 12 et 13 sont de simples exemples, et il est évident que l'invention n'est pas limitée à ces tables de conversion.

La figure 10 est un schéma fonctionnel qui montre la section 43 de prétraitement de données d'affichage, laquelle section possède une section 446 de conversion de données d'affichage, servant à effectuer la conversion de dédoublement des sous-trames. L'opération de conversion, qui vise à appliquer en entrée un signal de données d'affichage à 8 bits Din à la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples et à délivrer le signal de données d'affichages DT obtenu par la conversion, a été expliquée précédemment. En conformité avec la table de conversion présentée sur la figure 11, 12 ou 13, la section 446 de conversion de données d'affichage convertit la donnée d'affichage DT en une donnée d'affichage Q, qui correspond à une sous-trame, et elle délivre la donnée d'affichage Q. La section 446 de conversion de données d'affichage servant à effectuer la conversion de dédoublement de sous-trames est théoriquement constituée par une mémoire, par exemple une table de recherche. Ainsi, la donnée d'affichage DT fait fonction d'adresse d'entrée pour la mémoire.

Comme cela est apparu clairement dans les explications précédentes, lorsqu'on modifie le nombre de sous-trames en fonction de la fréquence du signal de synchronisation verticale, les données de la table de conversion de la section 446 de conversion de données d'affichage doivent varier en conséquence. De plus, le nombre de bits d'un signal de sortie de la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples doit également changer en fonction du nombre de bits relatif à l'adresse d'entrée DT de la table de conversion.

Dans le mode de réalisation représenté sur la figure 10, le signal de sélection de sous-trames SEL est fourni comme signal d'adresse d'entrée supplémentaire à la section 446 de conversion de données d'affichage. La section 446 de conversion de données d'affichage mémorise donc des données relatives aux tables de conversion des figures 11, 12 et 13 dans la mémoire en une quantité au moins équivalente au nombre des sous-trames à modifier. En fonction du signal SEL de sélection de sous-trames, les données relatives à une table de conversion à employer sont modifiées.

Selon l'exemple présenté sur la figure 12, le nombre de bits de la donnée d'affichage DT de la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples est 6, car le niveau de l'échelle de gris est 64. Un signal de commande, ainsi que d'autres signaux, est produit par le circuit, comme précédemment expliqué en liaison avec les figures 7, 8 et 9A à 9C, de façon que la donnée

d'affichage de sortie DT possède 6 bits. Lorsque la section 446 de conversion de données d'affichage est produite, le nombre des sous-frames ne s'apparie pas toujours avec le nombre de bits de la donnée d'affichage de sortie de la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples. Plus spécialement, 5 comme représenté dans les tables de conversion des figures 11, 12 et 13, le nombre de bits du signal de donnée d'affichage DT, qui est obtenu par conversion d'échelle de gris à pseudo-niveaux multiples et est appliqué à l'entrée de la section 446 de conversion de données d'affichage, est plus petit que le nombre de sous-frames. Par conséquent, il faut que le signal SEL de sélection de sous-frames soit corrigé 10 en fonction de la table de conversion qui a été sélectionnée à l'avance, et le signal résultant SEL 2 doit être transmis à la section 431 de conversion d'échelle de gris à pseudo-niveaux multiples. Dans ce cas, par exemple, seul le signal de sélection de sous-frames SEL venant du décodeur 503 de la figure 2 et le signal corrigé SEL 2 doivent être délivrés. De plus, au lieu de corriger le signal de sélection de sous-frames SEL, il suffirait de changer simplement la disposition du décodeur 434 de la 15 figure 7.

Puisque les valeurs de pondération des sous-frames sont également modifiées en conformité avec une table de conversion sélectionnée, il est également nécessaire de modifier le nombre d'ondes se trouvant dans la ROM de 20 fixation de comptage d'ondes d'entretien 53, comme expliqué en liaison avec la figure 2. Dans l'un et l'autre cas, lorsque le nombre de sous-frames est sélectionné en conformité avec la fréquence du signal de synchronisation verticale, la table de conversion de données d'affichage est choisie en fonction du nombre de sous-frames, le nombre de bits à délivrer par la section 431 de conversion d'échelle de 25 gris à pseudo-niveaux multiples est sélectionné, la valeur de comptage d'ondes entretenues est sélectionnée, et, de plus, la valeur initiale du compteur de sous-frames 52 est également sélectionnée. De ce fait, même lorsque la fréquence du signal de synchronisation verticale augmente plus pour le multibalayage, le dispositif d'affichage peut s'adapter avec souplesse à cette situation.

30 L'amélioration qui est liée à la réduction de la capacité nécessaire demandée à une table de recherche dans la section de conversion de dédoublement de sous-frames va maintenant être décrite au titre d'un deuxième mode de réalisation.

Disposition générale du dispositif d'affichage

La figure 14 est un schéma qui montre la disposition générale d'un dispositif d'affichage à panneau plat 100 selon le deuxième mode de réalisation de l'invention. Alors qu'un dispositif d'affichage à panneau plat est employé au titre
5 du dispositif d'affichage à PDP dans les explications suivantes, l'invention peut être non seulement appliquée à ce dispositif d'affichage à PDP, mais aussi à d'autres dispositifs d'affichage à panneau plat ordinaire, par exemple des dispositifs d'affichage à LCD.

Sur la figure 14, le numéro de référence 10 désigne une section
10 panneau d'affichage ; 3 et 4 désignent des dispositifs d'excitation Y servant à exciter les électrodes Y 15 ; 5 désigne un dispositif d'excitation X, servant à exciter une électrode X 14 ; et 6 désigne un dispositif d'excitation de données d'adressage servant à exciter une électrode d'adressage 16. La disposition est la même que celle de la figure 35.

15 Une section de conversion d'échelle de gris à pseudo-niveaux multiples 131, une section de conversion de dédoublement de sous-trames 132 et une section de conversion de matrice de données 133 correspondent à ce que l'on appelle une section de prétraitement de données d'affichage. La donnée d'affichage Din est un signal à 8 bits correspondant au rouge, au vert ou au bleu (RGB), et
20 RGB sont des données d'affichage se rapportant à 256 niveaux d'échelle de gris. La donnée d'affichage d'entrée Din est convertie par la section 131 de conversion d'échelle de gris à pseudo-niveaux multiples en un signal DT, qui présente une résolution plus basse que 256, mais qui peut représenter 256 niveaux d'échelle de gris. Puisque la conversion d'échelle de gris à pseudo-niveaux multiples est
25 employée pour les machines de copie et les imprimantes et qu'il s'agit d'une technique bien connue, on ne donnera pas ici d'explications détaillées. En réalité, la conversion a déjà été expliquée en relation avec les figures 5 et 8. Pour expliquer brièvement cette conversion, il s'agit d'un processus dans lequel, par exemple, dans un groupe à 8 bits de données d'affichage d'entrée, un signal de comptage d'échelle
30 de gris à 64 niveaux utilisant les 6 bits supérieurs est employé comme signal d'affichage, et un signal utilisant les deux bits inférieurs, afin d'indiquer une légère différence d'échelle de gris, est corrigé par un algorithme donné de façon à rendre compte des données d'échelle de gris pour les pixels proches.

La donnée d'affichage DT, un signal d'échelle de gris multiples obtenu
35 par la section de conversion d'échelle de gris à pseudo-niveaux multiples 131, est convertie par la section 132 de conversion de dédoublement de sous-trames en une

donnée Q formant une combinaison appropriée de sous-trames dans le but d'empêcher l'apparition du scintillement et de contours en fausses couleurs. Puisque l'ordre d'entrée de la donnée résultante Q correspond à l'ordre des pixels sur un écran d'affichage, une section 133 de conversion de matrice de données convertit la donnée reçue Q en une donnée qui correspond aux sous-trames pour chaque ligne (ligne d'électrode Y), et elle délivre la donnée résultante QX.

La donnée QX d'affichage ainsi obtenue est temporairement mémorisée dans une mémoire de trame 134 via un tampon 135 de commande d'entrée/sortie de mémoire de trame. La donnée d'adresse A-DATA est fournie à un dispositif 6 d'excitation de données d'adresse, en conformité avec un signal de commande venant d'un circuit de commande d'interface 136.

Le processus d'excitation est entièrement commandé par un circuit 138 de commande de dispositifs d'excitation. Dans ce mode de réalisation, dès réception d'un signal de commande de positionnement temporel venant du circuit de commande d'interface 136, le circuit 138 de commande d'excitation produit une séquence interne visant à exciter un panneau d'affichage ; lit selon les nécessités une forme d'onde d'excitation, dans une ROM de formes d'onde d'excitation 139, qui a été programmée à l'avance ; et active les dispositifs d'excitation 3 et 4, 5 et 6 via un circuit 140 d'excitation d'entretien X, un circuit 141 d'excitation de balayage Y, et un circuit 142 d'excitation d'adressage, respectivement.

Le circuit de commande d'interface 136 reçoit un signal de synchronisation horizontale Hsync, un signal de synchronisation verticale Vsync, et un signal d'horloge CLK. Le circuit de commande d'interface 136 commande donc tous les signaux de positionnement temporel assurant le fonctionnement du dispositif d'affichage 100. Par exemple, on commande la synchronisation de trames en utilisant le signal de synchronisation verticale Vsync ; et on commande le positionnement temporel assurant la correspondance entre une donnée d'affichage d'entrée (RGB) Din et un pixel de l'écran d'affichage, en utilisant le signal de synchronisation verticale Vsync, le signal de synchronisation horizontale Hsync et le signal d'horloge CLK. Une ROM d'initialisation 137 est prévue, dans laquelle le nombre fixé de sous-trames SF, la sélection relative à la table de conversion de dédoublement de sous-trames, etc., sont mémorisés avant le départ de l'usine. Les opérations du circuit de commande d'interface 136, et des autres éléments sont effectuées en conformité avec les valeurs initiales mémorisées dans la ROM 137.

Comme décrit ci-dessus, le circuit de commande d'interface 136 et le circuit de commande d'excitation 138 font fonction d'une section de commande

d'affichage afin d'afficher une image d'une échelle de gris à niveaux multiples sur la section panneau d'affichage 10.

Méthode de duplication de sous-trames

5 Sur la figure 15, est représenté un exemple de table de conversion selon le procédé de dédoublement de sous-trames. Alors que, ainsi qu'on l'a indiqué précédemment, le procédé de dédoublement de sous-trames est expliqué de manière détaillée dans les brevets déjà déposés par les inventeurs de la présente demande, on va brièvement décrire le procédé de dédoublement de sous-trames.

10 Pour empêcher l'apparition d'un scintillement et de contours en fausses couleurs, comme expliqué en relation avec les figures 39 et 40, on divise une sous-trame qui présente une valeur de pondération élevée et on réarrange une pluralité de sous-trames dans un ordre d'affichage optimal afin de former une combinaison optimale pour chaque niveau d'échelle de gris. Dans la table de conversion présentée à titre d'exemple sur la figure 15, sept trames sont employées, au contraire de 15 l'exemple de la figure 37. Comme on le voit sur la figure 15, l'ordre d'affichage des sous-trames pour cette table de conversion est 4, 8, 2, 16, 1, 8 et 4, relativement aux valeurs de pondération. Une combinaison optimale est fixée à l'avance pour chaque niveau d'échelle de gris, de 0 à 43. Dans les colonnes de la partie droite de 20 la figure 15, des cercles sont dessinés afin d'indiquer quelles sous-trames doivent être éclairées. Les sous-trames sont affichées dans l'ordre allant de la gauche vers la droite.

Comme précédemment indiqué, un signal de donnée d'affichage à 8 bits d'entrée Din, possédant 256 niveaux d'échelle de gris est converti en un 25 signal possédant 44 niveau d'échelle de gris par la section 131 de conversion d'échelle de gris à pseudo-niveaux multiples. La donnée d'affichage DT, obtenue après la conversion d'échelle de gris à niveaux multiples et possédant des niveaux d'échelle de gris de 0 à 43, est représentée par les signaux à 6 bits DT2 à DT7. En conformité avec la table de conversion de la figure 15, la section 132 de conver- 30 sion de dédoublement de sous-trames de la figure 14 convertit la donnée d'entrée DT2-7 en donnée de conversion Q qui représente une combinaison de sept sous-trames. Par conséquent, la donnée Q obtenue possède les sept bits Q1 à Q7.

La table de conversion de la figure 15 est employée et la donnée d'entrée d'affichage est convertie en une combinaison de sous-trames dont les 35 valeurs de pondération sont 1, 2, 4, 4, 8, 8 et 16 et dont l'ordre d'affichage est 4, 8, 2, 16, 1, 8 et 4. Lorsque le niveau d'échelle de gris 15 et le niveau d'échelle de gris

16 expliqués sur la figure 40 sont affichés en alternance, le résultat est tel que présenté sur la figure 41. Comme on peut le voir en comparant les figures 40 et 41, lorsque la conversion est réalisée par le procédé de dédoublement des sous-trames, il existe plusieurs sous-trames qui possèdent la même valeur de pondération d'échelle de gris. De plus, puisque les sous-trames devant être éteintes sont dispersées le long de l'axe du temps, le phénomène expliqué en relation avec la figure 40 se produit rarement. Dans le repère d'indexation de la donnée Q, un bit supérieur correspond à une valeur de pondération plus élevée d'une sous-trame. Par conséquent, la donnée de conversion Q correspondant aux sous-trames qui possèdent les valeurs de pondération 16, 8 (2), 8 (1), 4 (2), 4 (1), 2 et 1 sont respectivement Q7, Q6, Q5, Q4, Q3, Q2 et Q1.

Comme cela découle de la table de conversion associée à la méthode de dédoublement des sous-trames représentée sur la figure 15, les sous-trames ayant les valeurs de pondération 32, 16, 8 et 4 sont séparées en une seule sous-trame ayant la valeur de pondération 16, deux sous-trames ayant la valeur de pondération 8, et deux sous-trames ayant la valeur de pondération 4. En d'autres termes, malgré l'existence des sept sous-trames, il existe deux sous-trames qui ont les valeurs de pondération 4 et 8, et aucune sous-trame n'a les valeurs de pondération 64 et 32. La combinaison des sous-trames est déterminée sur la base de l'idée que, en tenant compte de la capacité d'excitation du panneau d'affichage, on peut déterminer le nombre de sous-trames affichées au cours d'une période de trame, et on peut obtenir la meilleure combinaison de sous-trames en conformité avec le nombre déterminé. Par conséquent, si sept sous-trames seulement peuvent être excitées en une seule période de trame, le nombre de sous-trames est déterminé comme valant 7, et la combinaison optimale de sept sous-trames est déterminée d'une manière qui empêche l'apparition du scintillement ou de contours en fausses couleurs.

Comme représenté sur la figure 15, on suppose que la combinaison de sous-trames présentant l'ordre des valeurs de pondération 4, 8, 2, 16, 1, 8 et 4 est appropriée. Alors, seuls des niveaux d'échelle de gris de 0 à 43 peuvent être représentés, et la conversion d'échelle de gris à pseudo-niveaux multiples est effectuée pour afficher 256 niveaux d'échelle de gris, tandis qu'il est possible de n'afficher que 44 niveaux d'échelle de gris. Ainsi, en fonction de l'aptitude que présente un panneau d'affichage, on peut augmenter le nombre de sous-trames afin d'augmenter le nombre de niveaux d'échelle de gris. En outre, lorsqu'on ne peut placer que

six sous-trames dans une seule trame, on réduit le nombre de niveaux d'échelle de gris afin qu'il leur corresponde.

Amélioration de la section de conversion de dédoublement de sous-trames

5 Lorsque la table de conversion de la figure 15 doit être réalisée par simple utilisation d'une table de recherche, par exemple une mémoire semiconductrice, des données DT2 à DT7 sont fournies comme adresse d'entrée à la mémoire, et des données Q1 à Q7 sont délivrées selon 44 tables de conversion différentes. Au cours de ce processus, il faut préparer plusieurs tables de conversion et, comme
10 leur nombre augmente, la capacité de mémorisation voulue devient énorme.

Toutefois, la demanderesse, ayant analysé la table de conversion de la figure 15, a découvert que les bits les moins significatifs DT2 et DT3 du côté entrée ne font pas l'objet de la conversion de dédoublement de sous-trames et sont identiques aux bits les moins significatifs Q1 et Q2 du côté sortie. En d'autres
15 termes, lorsqu'on introduit un "1" dans les positions des colonnes avec des "0" pour les données Q du côté sortie, et qu'on introduit un "0" dans les positions des colonnes sans les "0", on peut voir que les signaux de données des deux côtés sont tous deux les mêmes signaux à 2 bits.

Ainsi, dans ce mode de réalisation, les bits (DT2 et DT3 dans
20 l'exemple de la figure 15), qui ne sont pas employés comme cibles pour la conversion de dédoublement de sous-trames, ne sont pas considérés comme des éléments d'entrée de la table de conversion. Seuls les bits (DT4 à DT7 dans l'exemple de la figure 15) employés comme cibles pour la conversion de sous-trames dédoublées sont utilisés comme éléments d'entrée dans la table de conversion. Les données de
25 sortie Q7, Q6, Q5, Q4 et Q3 obtenues par la conversion sont synchronisées avec les bits d'entrée DT2 et DT3 qui ne sont pas employés pour la conversion de sous-trames dédoublées.

Ce processus est tel que représenté sur le schéma simplifié de la figure 16 se rapportant à la conversion de sous-trames dédoublées selon le mode
30 de réalisation de l'invention. Une donnée d'affichage à 8 bits d'entrée Din est corrigée par la section 131 de conversion d'échelle de gris à pseudo-niveaux multiples de sorte que les données DT0 à DT7 sont produites. Les données DT2 à DT7 sont les données de signal à 6 bits représentant les niveaux d'échelle de gris allant de 0 à 43. Comme décrit ci-dessus, les signaux d'entrée DT4, DT5, DT6 et
35 DT7 sont considérés comme cibles pour la conversion de sous-trames dédoublées, et les signaux de données obtenus après conversion, soit Q3, Q4, Q5, Q6 et Q7,

sont transmis comme signaux de sortie de la table de recherche. Les signaux d'entrée DT2 et DT3, qui ne sont pas employés dans la conversion, sont décalés dans la direction inférieure et sont délivrés comme signaux de sortie Q1 et Q2. Enfin, les données d'affichage Q1 à Q7, qui indiquent l'état éclairé et l'état éteint de sept sous-trames sont fournies à la section 133 de conversion de matrice de données.

Dans l'exemple décrit ci-dessus, l'économie de signal d'entrée porte sur deux bits, et on réduit l'aire de la mémoire au quart de sa taille initiale. Il est nécessaire qu'un bit destiné à être une cible dans la conversion de sous-trames dédoublées soit déterminé en conformité avec les types de tables de conversion. Toutefois, puisqu'au moins le bit de moindre poids parmi les bits valables représente l'unité minimale d'un niveau d'échelle de gris, il ne doit pas faire l'objet de la conversion à dédoublement de sous-trames. Puisque la valeur pondérée du bit ayant le deuxième poids inférieur (DT3) dans l'exemple précédent est 2, on peut diviser la valeur pondérée "2" et la dédoubler sur deux valeurs pondérées de "1". Puisque la présence d'une sous-trame ayant une valeur de pondération forte provoque un scintillement et des contours en fausses couleurs, théoriquement, on ne soumet pas les bits d'entrée inférieurs à la conversion à dédoublement de sous-trames, et on considère les bits supérieurs comme des cibles pour la conversion. De plus, seuls des bits arbitraires, discontinus, parmi les bits supérieurs peuvent être employés pour la conversion à dédoublement de sous-trames.

On va maintenant expliquer la structure interne de la section 132 de conversion de dédoublement de sous-trames. Sur la figure 17 est présenté un exemple de la disposition possible de la section 132 de conversion de dédoublement de sous-trames selon le mode de réalisation de l'invention. Dans cet exemple, la donnée d'entrée DT est fournie via un circuit de limitation 1321 à une mémoire vive (RAM) 1322 constituée d'une table de recherche (LUT), qui est une section de tables de conversion. Dans les signaux de sortie RMA7 à RMA0 du circuit de limitation 1321, les six bits supérieurs sont valables, et les quatre bits supérieurs RMA7 à RMA4 font l'objet de la conversion et sont appliqués à l'entrée de la RAM 1322. Les bits inférieurs RMA3 à RMA0, qui ne sont pas soumis à la conversion, sont appliqués à l'entrée d'un circuit de décalage 1323.

Les quatre bits supérieurs valables parmi RMD7 à RMD0 qui sont délivrés par la RAM 1322 sous la forme des données Q7, Q6, Q5 et Q4 sont destinés à servir de signaux de commande d'éclairage/extinction des sous-trames. Les bits inférieurs RMA4 à RMA0, qui ne sont pas soumis à la conversion, sont déca-

lés d'un bit vers le haut par le circuit de décalage 1323 de sorte qu'on obtient des signaux de sortie décalés S3 à S0. Les quatre bits inférieurs RMD3 à RMD0 sont ensuite synthétisés avec les signaux de sortie décalés S3 à S0 par un circuit de multiplexage 1324. Plus spécialement, les signaux de sortie décalés valables S3 à S0 sont de préférence délivrés au titre des données Q3 à Q0.

Le circuit de décalage 1323 est prévu parce qu'il est nécessaire d'apparier l'ordre d'affichage des niveaux d'échelle de gris, comme cela est décrit en liaison avec la figure 16. Puisque la valeur de décalage diffère relativement aux tables de conversion de dédoublement de sous-frames, la valeur de décalage est fixée par une valeur d'un signal d'instruction de décalage DSFT fourni par la ROM d'initialisation (IROM) 137. Plus spécialement, si le nombre de bits du signal de sortie converti RMD est plus grand que le nombre de bits d'adresse RMA appliqués à l'entrée de la mémoire 1322 de la section de tables de conversion, l'adresse RMA est décalée d'une valeur qui équivaut à la différence entre le nombre de bits. Dans la table de conversion de la figure 15, la valeur de décalage est 1.

Comme décrit ci-dessus, le circuit de décalage 1323 et le circuit de multiplexage 1324 sont employés pour synthétiser le signal d'échelle de gris à niveaux multiples qui n'est pas soumis à la conversion et le signal de sortie converti RMD3-0 qui n'est pas soumis à la conversion en conformité avec leurs niveaux d'échelle de gris. Le circuit de décalage 1323 et le circuit de multiplexage 1324 font fonction de section de synthèse.

On va expliquer la raison qu'il y a de prévoir le circuit de limitation 1321, en relation avec les figures 18, 19 et 20. Le principe de fonctionnement du circuit de limitation 1321 est que la valeur du signal RMA à délivrer est fixée à une valeur limite lorsque le niveau d'échelle de gris du signal d'entrée DT est supérieur à un niveau prédéterminé, comme représenté sur la figure 18.

Comme décrit ci-dessus, selon la théorie de l'invention, pour réduire la capacité de mémorisation demandée par l'étape de conversion, on divise le signal en la partie bits supérieurs pour laquelle une conversion est nécessaire, et la partie bits inférieurs pour laquelle la conversion n'est pas nécessaire. La partie bits supérieurs est convertie à l'aide de la table de conversion et le résultat est synthétisé avec la partie bits inférieurs non convertie, tandis que les niveaux d'échelle de gris sont appariés. Avec ce procédé, un inconvénient peut toutefois survenir, comme représenté sur la figure 19.

Sur la figure 19, est montré le cas où les niveaux d'échelle de gris 42, 43, 44 et 45 sont convertis par utilisation directe de tables de conversion. Les

signaux DT7 à DT2 placés sur la gauche sont les données d'avant la conversion et les données Q7 à Q1 placées sur la droite sont les données d'après la conversion. Avec le procédé de dédoublement de sous-trames représenté sur la figure 15, seuls les niveaux d'échelle de gris 0 à 43 sont des cibles pour la conversion. A la réception du niveau d'échelle de gris 44 comme signal d'entrée DT, le signal d'entrée DT devient 101100), comme indiqué sur la figure 19. Lorsque les bits inférieurs DT3 et DT2 du signal d'entrée DT sont synthétisés, sans avoir été modifiés, avec une partie à bits convertis, le signal de sortie Q obtenu est (111100) et la somme des niveaux d'échelle de gris après pondération est 40.

10 Plus spécialement, le problème ci-dessus décrit se produit lorsque le nombre de niveaux d'échelle de gris (les niveaux d'échelle de gris 0 à 43 dans l'exemple ci-dessus), qui peut être représenté par le résultat obtenu dans la conversion de dédoublement de sous-trames, est plus petit que le nombre de niveaux d'échelle de gris (résolution) (de 0 à 63 niveaux d'échelle de gris du fait des 6 bits de l'exemple ci-dessus), qui peut être représenté par la donnée d'entrée DT. De plus, la valeur limite peut être modifiée en conformité avec les indications des tables de conversion de dédoublement de sous-trames.

Pour éviter cet inconvénient, selon l'invention, lorsque le niveau d'échelle de gris dépasse 43, on fixe uniformément le niveau à la valeur limite 43. Ainsi, comme cela est représenté dans la table occupant la position médiane du diagramme de la figure 20, les signaux de sortie RMA7 à RMA2 convertis par le circuit de limitation 1321 sont fixés au niveau 43 de l'échelle de gris en ce qui concerne les niveaux 44 à 63 de l'échelle de gris, qui dépassent 43. Lorsque la conversion de dédoublement de sous-trames est effectuée, comme présenté dans la table située sur la droite de la figure 20, tous les niveaux d'échelle de gris situés au-delà de 43 sont transformés en le niveau d'échelle de gris 43. Lorsque tous les bits ont été convertis, comme dans la technique antérieure, une opération de limitation doit être effectuée pour les tables de conversion ; toutefois, selon l'invention, puisqu'une partie seulement des bits sont considérés comme constituant une cible de conversion, le circuit de limitation ci-dessus décrit est nécessaire.

La figure 21 est un schéma de circuit particulier qui illustre le circuit de limitation 1321. Un circuit 1325 compare la donnée d'entrée DT avec une valeur limite DLMT fixée par la ROM d'initialisation 137. Plus spécialement, le circuit 1325 est un circuit d'addition qui additionne la donnée d'entrée DT à la valeur inversée de la valeur limite DLMT. Comme représenté sur le schéma de la figure 22, lorsque la donnée d'entrée DT est supérieure à la valeur limite DLMT, la

valeur de report CRY vaut 1, tandis que, lorsque la donnée d'entrée DT est inférieure ou égale à la valeur limite DLMT, la valeur de report CRY vaut 0. Un circuit de sélection 1326 emploie la valeur de report comme signal de sélection S, et il sélectionne ou bien la donnée d'entrée DT ou bien la valeur limite DLMT. Le
5 circuit de sélection 1326 est constitué spécifiquement par un circuit ET, un circuit OU et un inverseur, comme indiqué dans le fragment de circuit désigné par la flèche.

Dans la RAM 1322, qui est la table de recherche relative à la section table de conversion, les quatre bits supérieurs, parmi les huit bits venant du circuit
10 de limitation 1321, sont appliqués en entrée en tant que signaux d'échelle de gris à niveaux multiples pour la conversion, c'est-à-dire les signaux d'adresse d'entrée RMA7 à RMA4. De plus, dans les exemples où on emploie six ou huit sous-frames, qui seront décrits ci-après, les quatre bits supérieurs sont considérés comme des cibles pour la conversion. Les données DDSF relatives à la table de
15 conversion de dédoublement de sous-frames à 8 bits, venant de la ROM d'initialisation 137, sont appliquées à l'entrée de la ROM 1322, et les signaux RMD7 à RMD0 à 8 bits qui sont obtenus après la conversion sont délivrés par la RAM 1322. Les données relatives à une pluralité de types de tables de conversion de dédoublement de sous-frames sont stockées à l'avance dans la ROM
20 d'initialisation 137, de sorte qu'une table de conversion optimale peut être écrite dans la RAM 1322, au titre des données DDSF, en conformité avec le nombre de sous-frames à utiliser.

Les signaux d'entrée d'adresse RMA3 à RMA0 du signal de sortie à 8 bits venant du circuit de limitation 1321 sont transmis au circuit de décalage
25 1323. Les signaux d'entrée d'adresse sont décalés vers le côté inférieur en fonction des données de décalage DSFT (trois bits) venant de la ROM d'initialisation 137 indiquant la valeur de décalage. Par conséquent, les signaux RMA3 à RMA0 sont respectivement convertis en S3 à S0.

Les données S3 à S0 obtenues par décalage et les données RMD3 à
30 RMD0 obtenues après conversion sont synthétisées ensemble par le circuit de multiplexage 1324. On va maintenant expliquer cette relation en se reportant à la figure 23. La figure 23 est une table qui montre la relation entre les signaux de sortie du circuit de décalage 1323 et du circuit de multiplexage 1324 et une valeur de décalage des données de décalage DSFT. Lorsque la valeur de décalage est 1,
35 "0" et les signaux RMA3 à RMA1 sont délivrés au titre des signaux de sortie de décalage S3 à S0. Lorsque la valeur de décalage est 2, "0", "0", et les signaux

RMA3 et RMA2 sont délivrés au titre des signaux de sortie de décalage S3 à S0. Le circuit de multiplexage 1324 synthétise les données de sortie RMD obtenues par conversion de ces signaux de décalage en des parties de bits correspondant à 0 (niveau L, c'est-à-dire niveau bas).

5 Les figures 24 et 25 sont des schémas particuliers qui montrent une section de synthèse réalisant les fonctions du circuit de décalage 1323 et du circuit de multiplexage 1324. Sur la figure 24, est représenté un circuit de synthèse qui réalise simultanément les fonctions du circuit de décalage 1323 et du circuit de multiplexage 1324. Les bits inférieurs RMA3 à RMA0 délivrés par le circuit de limitation 1321, et les bits inférieurs RMD3 à RMD0 délivrés par la RAM 1322
10 sont reçus ensemble comme données d'entrée. De plus, des signaux de commande de décalage SFT0 à SFT4 ainsi que des signaux de commande de synthèse CONT1 et CONT2 venant du circuit générateur de signaux de commande de la figure 25 sont employés comme signaux de commande. Sur la figure 24, la référence A
15 désigne un circuit ET et la référence O désigne un circuit OU.

Le circuit générateur de signaux de commande de la figure 25 produit, comme signaux de commande, les signaux de commande de décalage SFT0 à SFT4 et les signaux de commande de synthèse CONT1 et CONT2 sur la base des signaux de données de décalage à 3 bits DSFT0 à DSFT2 fournis par la ROM
20 d'initialisation 137. Les signaux de commande de décalage SFT0 à SFT4 sont des signaux acquis par simple décodage des signaux de données de décalage à 3 bits DSFT0 à DSFT2, et correspondent à la valeur de décalage. Les signaux de commande de synthèse CONT1 et CONT2 sont des signaux qui ont une valeur 1 lorsque les signaux de données de décalage ont des valeurs 010, 011, etc., comme
25 représenté sur la figure 25, et ils sont produits par un circuit logique qui est introduit par la condition de multiplexage.

Dès réception des signaux de commande de décalage ainsi produits SFT0 à SFT4 et des signaux de synthèse CONT1 et CONT2, dans le circuit de la figure 24, les données des bits inférieurs RMA3 à RMA0 du circuit de limitation
30 1321 sont décalées en conformité avec la valeur de décalage, et les données résultantes sont synthétisées avec les signaux de sortie des bits inférieurs RMD3 à RMD0 venant de la RAM 1322, comme représenté du côté droit de la figure 24. Les résultats obtenus sont les mêmes que ceux de la table de la figure 23.

Lorsque, par exemple, la valeur de décalage de la table de conversion
35 de la figure 15 est 1, le signal de commande de décalage SFT1 vaut 1 et les autres signaux, SFT0, SFT2, SFT3 et SFT4 sont 0. Ainsi, le signal RMD3 est délivré sous

la forme Q3 ; le signal RMA3 est délivré sous la forme Q2 ; le signal RMA2 est délivré sous la forme Q1 ; et le signal RMA1 est délivré sous la forme Q0.

De la manière ci-dessus décrite, les données Q7 à Q0, qui correspondent aux sous-frames obtenues après la conversion réalisée par la section conversion de dédoublement de sous-frames 132, sont délivrées à la section 133 de conversion de matrice de données. En réponse à un signal d'instruction venant de la ROM d'initialisation 137, la section de conversion de données 133 adapte les signaux de sortie valables, Q7 à Q1 dans l'exemple précédent, et rejette le signal de sortie Q0.

Puisque la section 133 de conversion de matrice de données n'est pas directement liée à l'invention, on ne lui consacrera que de brèves explications. La figure 26 est un schéma destiné à expliquer le principe de fonctionnement de la section 133 de conversion de matrice de données. Les données d'affichage d'entrée sont fournies dans l'ordre indiqué par les pixels à afficher sur un écran, comme indiqué suivant le temps t. La conversion de dédoublement de sous-frames est effectuée sur des signaux RGB pour chacun des pixels DOT1, ... DOTn, ... et DOTnm, de façon à produire les signaux de sortie Q7 à Q1. Toutefois, sur un panneau d'affichage réel, le dispositif 6 d'excitation de données d'adressage excite une électrode d'adressage pour chaque ligne sur un écran en fonction des données d'adressage.

La section 133 de conversion de matrice de données mémorise donc dans la mémoire de trame 134 des données QX, pour chaque sous-frame, qui sont au moins recueillies pour chaque ligne de balayage. A partir de la mémoire de trame 134, la donnée d'adressage A-DATA relative à chaque ligne est délivrée dans l'ordre permettant d'afficher des sous-frames représentées sur la figure 15 (l'ordre Q3, Q5, Q2, Q7, Q1, Q6 et Q4).

Autre mode de réalisation

Sur la figure 27, est présenté un autre exemple d'une table de conversion de pondération qui est employée pour une combinaison de sept sous-frames. Alors que la table de conversion de pondération associée à sept sous-frames est également présentée sur la figure 15, la table de conversion de la figure 27 présente une conversion différente de celle de la table de la figure 15, même si on utilise le même nombre de sous-frames. Plus spécialement, avec la table relative au cas présenté sur la figure 15, lorsque le niveau de luminance est 4 ou 8, les sous-frames sont éclairées aussi tôt que possible dans une période de trame.

Inversement, dans le cas présenté sur la figure 27, lorsque le niveau de luminance est 4 ou 8, les sous-frames s'éclairent le plus tard possible dans la période de trame. Puisque les sous-frames devant s'éclairer sont dispersées dans l'un et l'autre cas, il est possible de résoudre les problèmes du scintillement et des contours en fausses couleurs. On utilise sélectivement ces tables de conversion différentes en fonction de la position d'un pixel, et on peut améliorer la qualité d'image.

Il est donc préférable que des tables de conversion selon plusieurs modes soient préparées comme ci-dessus indiqué, et comme cela est présenté en liaison avec les figures 28A à 28C, et que le mode d'une table de conversion à utiliser soit changé en fonction de la position du pixel. Sur la figure 28A, est présenté un exemple dans lequel des modes A et B sont placés suivant une configuration en zig-zag. Sur la figure 28B, est présenté un exemple dans lequel les modes A et B sont disposés suivant une configuration en zig-zag utilisant des unités de quatre pixels chacune. Sur la figure 28C, est présenté un exemple dans lequel une table de conversion correspondant à quatre modes, A, B, C et D, est employée, chaque mode étant décalé d'un pixel à chaque ligne.

On va maintenant décrire, en revenant à la figure 17, une section 132 de conversion de dédoublement de sous-frames qui utilise des tables de conversion suivant une pluralité de modes. Pour employer des tables de conversion qui présentent une pluralité de modes, il faut stocker dans la RAM 1322 des tables de conversion en nombre équivalent à celui des modes. Un signal de mode MODE est appliqué en entrée, comme adresse d'entrée supérieure, à la ROM d'initialisation 137 et à la RAM 1322. Lorsque le nombre de modes est 2, le signal de mode MODE possède un seul bit. Lorsque le nombre de modes est 4, le signal de mode MODE possède deux bits.

Tout d'abord, une pluralité de tables de conversion destinées à être employées sont extraites de la ROM d'initialisation 137 et sont stockées dans la RAM 1322. Pendant l'affichage, le circuit 136 de commande d'interface présenté sur la figure 14 identifie la position courante du pixel en se reportant au signal de synchronisation verticale Vsync, au signal de synchronisation horizontale Hsync et au signal d'horloge CLK, et il transmet à la RAM 1322 le signal de mode MODE indiquant de quel mode relève la table de conversion qui doit être utilisée. De cette manière, la sélection du mode s'effectue par unité d'un pixel.

Pour le mode de réalisation ci-dessus présenté, on a expliqué la conversion d'un signal de sortie d'échelle de gris à niveaux multiples à 6 bits en sept sous-frames. La disposition de circuit de la section de conversion de dédouble-

ment de sous-trames présentée sur la figure 17 peut être employé pour convertir un signal de sortie d'échelle de gris à niveaux multiples qui possède un nombre de bits autre que six en des nombres différents de sous-trames. En d'autres termes, chaque table de conversion est stockée dans la ROM d'initialisation 137, et une table de conversion optimale est sélectionnée en fonction de l'aptitude d'un panneau d'affichage plat à être employé. On va maintenant décrire cette large utilisation de tables de conversion.

La figure 29 est une table qui montre la relation entre les bits relatifs à la conversion à dédoublement de sous-trames. Dans la table, sont introduites l'adresse d'entrée RMA de la RAM 1322, le signal de sortie RMD de la RAM 1322, la valeur de décalage, le nombre de sous-trames (SF), et finalement, les signaux de sortie valables de la conversion à dédoublement de sous-trames pour chaque cas des signaux de sortie d'échelle de gris à niveaux multiples allant de 4 à 7 bits.

Les tables de conversion des figures 15 et 27 sont employées pour convertir un signal de sortie d'échelle de gris à niveaux multiples à 6 bits en sept sous-trames. Ainsi, comme représenté dans la table de la figure 29, les quatre bits supérieurs sont employés au titre de l'adresse d'entrée de la RAM 1322. Le signal de sortie de RAM à cinq bits converti est synthétisé avec le signal à 2 bits obtenu par un décalage d'une unité, et le signal de sortie à 7 bits de la conversion à dédoublement de sous-trames qui correspond aux sept sous-trames est donc acquis.

Sur les figures 11 et 30, sont présentés des exemples de conversion de signal de sortie d'échelle de gris à niveaux multiples à 6 bits en huit sous-trames. La table de conversion propose deux modes, comme cela est expliqué, en liaison avec les figures 15 et 27. Comme représenté sur la figure 29, les quatre bits supérieurs sont utilisés au titre de l'adresse d'entrée de la RAM 1322. Le signal de sortie à 6 bits de la RAM qui est obtenu après conversion est synthétisé avec un signal à 2 bits obtenu par un décalage de deux, et, par conséquent, le signal de sortie à 8 bits résultant de la conversion à dédoublement de sous-trames qui correspond à huit sous-trames est obtenu.

Les figures 33 et 34 sont des exemples de la conversion d'un signal de sortie à 5 bits d'échelle de gris à niveaux multiples en six sous-trames. La table de conversion fournit deux modes, comme cela est expliqué en relation avec les figures 15 et 27. Comme on peut le voir sur la table de la figure 29, les quatre bits supérieurs sont utilisés au titre de l'adresse d'entrée de la RAM 1322. Le signal de

sortie à 5 bits de la RAM obtenu après conversion est synthétisé avec un signal à 1 bit obtenu par un décalage d'une unité, et, par conséquent, un signal de sortie de conversion de dédoublement de sous-frames à 6 bits, qui correspond à six sous-frames, est obtenu.

5 En théorie, seuls les trois bits supérieurs du signal de sortie d'échelle de gris à niveaux multiples à 5 bits peuvent être employés comme adresse d'entrée de la RAM 1322, les deux bits inférieurs étant considérés comme autres que des cibles pour la conversion. Dans ce cas, la disposition de circuit présentée sur la figure 17 pour la section 32 de conversion à dédoublement de sous-frames doit
10 être changée d'un degré. Toutefois, puisque la capacité demandée à la RAM ne doit pas différer beaucoup entre l'acquisition d'un signal de sortie à 4 bits se rapportant à un signal d'entrée à 3 bits et l'acquisition d'un signal de sortie à 5 bits se rapportant à un signal d'entrée à 4 bits, pour obtenir un large usage, on considère les quatre bits supérieurs comme une cible de conversion, ainsi que cela a été
15 indiqué ci-dessus.

Comme cela résulte clairement des exemples précédents, lorsqu'un signal d'échelle de gris à niveaux multiples est un signal à M bits (M est un entier valant 2 ou plus), un nombre N , arbitraire, de bits (N est un entier valant 1 ou plus et $M > N$) du signal d'échelle de gris à niveaux multiples sont employés comme
20 signal d'adresse de mémoire dans des tables de conversion, le signal de sortie de la conversion à dédoublement de sous-frames est de P bits (P est égal ou supérieur à N), un signal d'échelle de gris à niveaux multiples comportant les $M-N$ bits restants est décalé d'une distance qui équivaut à $P-N$ bits, et le signal résultant est synthétisé avec le signal de sortie de la conversion à dédoublement de sous-frames.
25

Comme décrit ci-dessus, selon l'invention, même lorsque la donnée d'affichage est fournie par un signal de synchronisation verticale ayant une fréquence supérieure, lequel est accompagné avec le multibalayage d'un système, on peut sélectionner un nombre optimal de sous-frames en fonction de la fréquence
30 du signal, et on peut changer selon ce qui est nécessaire une partie voulue de commande d'affichage. La donnée d'affichage ayant un signal de synchronisation verticale d'une fréquence différente, ou d'une fréquence supérieure, peut être affichée sur un écran sans détérioration de la qualité des images.

De plus, selon l'invention, on peut réaliser des économies en ce qui
35 concerne la capacité de mémorisation demandée pour le stockage de données de

tables de conversion employées pour la conversion à dédoublement de sous-frames.

5 Par conséquent, des données se rapportant à une pluralité de tables de conversion peuvent être stockées en mémoire sans qu'il y ait augmentation de la capacité de mémorisation, et on peut encore améliorer la qualité des images.

De plus, en économisant sur la capacité de mémorisation demandée, on n'abandonne pas la caractéristique du dispositif d'affichage à panneau plat, à savoir la diminution de la taille, et, dans le même temps, on peut améliorer la qualité des images.

10 Bien entendu, l'homme de l'art sera en mesure d'imaginer, à partir des dispositifs et des procédés dont la description vient d'être donnée à titre simplement illustratif et nullement limitatif, diverses variantes et modifications ne sortant pas du cadre de l'invention.

REVENDEICATIONS

1. Dispositif d'affichage, affichant une image d'échelle de gris à niveaux multiples via une trame possédant une pluralité de sous-trames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame, caractérisé en ce qu'il comprend :

une section (50) de sélection de sous-trames, recevant un signal de synchronisation verticale, afin de sélectionner le nombre des sous-trames qui peuvent être affichées pendant la période d'une seule trame en fonction de la fréquence du signal de synchronisation verticale, et afin de produire un signal de sélection de sous-trames correspondant au nombre des sous-trames ; et

un circuit de commande d'affichage (35), fonctionnellement connecté au circuit de sélection de sous-trames, afin de recevoir le signal de sélection de sous-trames et un signal de données d'affichage d'entrée et de commander ledit affichage de l'image d'échelle de gris à niveaux multiples en fonction du nombre sélectionné de sous-trames.

2. Dispositif d'affichage selon la revendication 1, caractérisé en ce que :

ledit circuit de commande d'affichage (35) comporte un compteur de sous-trames (52) servant à délivrer le numéro de la sous-trame en cours d'affichage,

une valeur initiale correspondant au numéro sélectionné de la sous-trame est chargée dans le compteur de sous-trames, et

le circuit de commande d'affichage commande l'affichage de l'image d'échelle de gris à niveaux multiples en fonction du numéro d'ordre de la sous-trame en cours d'affichage.

3. Dispositif d'affichage selon la revendication 1, caractérisé en ce que :

ledit circuit de commande d'affichage (35) comporte un circuit (431) de conversion d'échelle de gris à pseudo-niveaux multiples, qui reçoit le signal de donnée d'affichage d'entrée ayant un nombre prédéterminé de bits et représentant son échelle de gris, afin de convertir la donnée d'affichage d'entrée en un signal de donnée d'échelle de gris à pseudo-niveaux multiples ayant un nombre de bits inférieur au nombre de bits du signal de donnée d'affichage d'entrée et exprimant virtuellement l'échelle de gris d'entrée, et

le nombre de bits du signal de donnée d'échelle de gris à pseudo-niveaux multiples est sélectivement fixé en fonction du numéro sélectionné de la sous-trame dans le circuit de conversion d'échelle de gris à pseudo-niveaux multiples.

5 4. Dispositif d'affichage selon la revendication 1, caractérisé en ce que :

 ladite sous-trame comporte

 une période d'adressage (S2) servant à éclairer une région de cellule correspondant à un pixel devant être éclairé en fonction du signal de donnée d'affichage d'entrée, et

10 une période d'entretien (S3) au cours de laquelle des impulsions d'entretien sont fournies à la région de cellule éclairée en un nombre répété de fois correspondant à la valeur de pondération de la luminance relative à la sous-trame, et

15 le circuit de commande d'affichage (35) possède un circuit de fixation de nombre de répétitions d'entretien servant à déterminer le nombre de répétitions d'impulsions d'entretien en fonction du numéro de sous-trame sélectionné et à délivrer le nombre de répétitions des impulsions d'entretien, ledit circuit de commande d'affichage produisant les impulsions d'entretien en fonction du nombre

20 de répétitions des impulsions d'entretien.

 5. Dispositif d'affichage selon la revendication 1, caractérisé en ce que ledit circuit de commande d'affichage (35) comporte un circuit (432) de conversion de données d'affichage, qui reçoit le signal de donnée d'affichage d'entrée et possède une pluralité de tables de conversion comportant une relation entre la

25 luminance du signal de donnée d'affichage d'entrée et les données d'un groupe de sous-trames, afin de convertir le signal de donnée d'affichage d'entrée en un signal de donnée d'affichage ayant les données du groupe du nombre sélectionné des sous-trames via la table de conversion, les tables de conversion étant sélectivement utilisées en fonction du nombre sélectionné des sous-trames.

30 6. Dispositif d'affichage selon la revendication 1, caractérisé en ce que :

 ladite sous-trame comporte

 une période d'adressage (S2) servant à éclairer une région de cellule correspondant à un pixel devant être éclairé en fonction du signal de donnée

35 d'affichage d'entrée, et

une période d'entretien (S3) au cours de laquelle les impulsions d'entretien sont fournies à la région de cellules éclairée en un nombre répété de fois qui correspond à la valeur de pondération de la luminance relative à la sous-trame ; et

- 5 ledit circuit de commande d'affichage (35) comprend
 un circuit (431) de conversion d'échelle de gris à pseudo-niveaux multiples, qui reçoit le signal de donnée d'affichage d'entrée ayant un nombre prédéterminé de bits et représentant son échelle de gris, afin de convertir la donnée d'affichage d'entrée en un signal de donnée d'échelle de gris à pseudo-niveaux multiples ayant un nombre de bits de sortie inférieur au nombre de bits du signal de donnée d'affichage d'entrée et exprimant virtuellement l'échelle de gris d'entrée, le nombre de bits de sortie du signal de donnée d'échelle de gris à pseudo-niveaux multiples étant sélectivement fixé en fonction du nombre sélectionné des sous-trames,
- 10 un circuit (432) de conversion de données d'affichage, fonctionnellement connecté au circuit de conversion d'échelle de gris à pseudo-niveaux multiples, recevant le signal de donnée d'échelle de gris à pseudo-niveaux multiples et ayant une pluralité de tables de conversion comportant une relation entre la luminance du signal de donnée d'échelle de gris à pseudo-niveaux multiples et les données d'un groupe de sous-trames, afin de convertir le signal de donnée d'échelle de gris à pseudo-niveaux multiples en un signal de donnée d'affichage ayant des données du groupe du nombre sélectionné des sous-trames via la table de conversion, les tables de conversion étant sélectivement utilisées en fonction du nombre sélectionné des sous-trames,
- 15 un circuit de fixation de nombre de répétitions d'entretien servant à déterminer le nombre de répétitions d'impulsions d'entretien en fonction du nombre sélectionné des sous-trames et à délivrer le nombre de répétitions des impulsions d'entretien, et
- 20 un dispositif de commande d'excitation de panneau d'affichage fonctionnellement connecté au circuit de fixation de nombre de répétitions d'entretien et produisant les impulsions d'entretien en fonction du nombre de répétitions des impulsions d'entretien.

- 35 7. Dispositif d'affichage selon la revendication 6, caractérisé en ce que, dans le circuit de conversion d'échelle de gris à pseudo-niveaux multiples, le nombre de bits de sortie est sélectivement fixé en fonction du nombre sélectionné des sous-trames et de la table de conversion sélectionnée, dans le cas où le nombre

de bits du signal de donnée d'affichage converti par le circuit de conversion de donnée d'affichage est plus grand que le nombre de bits du signal de donnée d'échelle de gris à pseudo-niveaux multiples d'entrée.

8. Procédé d'excitation d'un dispositif d'affichage, ledit dispositif
5 d'affichage affichant une image d'échelle de gris à pseudo-niveaux multiples via une trame possédant une pluralité de sous-frames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame, caractérisé en ce qu'il comprend les opérations suivantes :

sélectionner le nombre des sous-frames qui peuvent être affichées
10 pendant la période relative à une seule trame en fonction de la fréquence d'un signal de synchronisation verticale devant être fourni au dispositif d'affichage, et produire un signal de sélection de sous-frames correspondant au nombre des sous-frames ; et

fournir à un circuit de commande d'affichage le signal de sélection de
15 sous-frames et commander ledit affichage de ladite image d'échelle de gris à niveaux multiples en fonction du nombre sélectionné des sous-frames.

9. Dispositif d'affichage, affichant une image d'échelle de gris à
niveaux multiples via une trame possédant une pluralité de sous-frames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris
20 pour chaque sous-trame, caractérisé en ce qu'il comprend :

une section de tables de conversion (1322), recevant une partie de
signaux de bits d'un signal d'échelle de gris à niveaux multiples ayant une pluralité de bits correspondant à des niveaux d'échelle de gris différents comme signal d'adressage, et délivrant un signal de conversion de dédoublement de sous-frames
25 ayant un groupe prédéterminé des sous-frames qui est converti à partir des signaux d'adressage d'entrée via une table de conversion qui y est stockée ;

un synthétiseur (1323, 1324), fonctionnellement connecté à la section
de tables de conversion, afin de synthétiser les signaux de bits restants du signal d'échelle de gris à niveaux multiples et le signal de conversion de dédoublement de
30 sous-frames en fonction de son échelle de gris afin de produire le signal de plusieurs sous-frames pour une trame unique ; et

un circuit de commande d'affichage (35), fonctionnellement connecté
au synthétiseur, afin d'afficher l'image d'échelle de gris à niveaux multiples dans une partie d'affichage en fonction du signal de plusieurs sous-frames synthétisé.

35 10. Dispositif d'affichage selon la revendication 9, caractérisé en ce que ledit signal de conversion de dédoublement de sous-frames comporte une

pluralité de sous-trames (SF) qui ont la même valeur de pondération d'échelle de gris.

5 11. Dispositif d'affichage selon la revendication 9 ou 10, caractérisé en ce que ledit synthétiseur (1323, 1324) décale les signaux des bits restants du signal d'échelle de gris à niveaux multiples suivant des bits prédéterminés dans le cas où le nombre de bits du signal de conversion de dédoublement de sous-trames est plus grand que le nombre de bits du signal d'adressage relativement à la section de tables de conversion.

10 12. Dispositif d'affichage selon la revendication 9 ou 10, caractérisé en ce qu'il comprend en outre un circuit de limitation (1321), fonctionnellement connecté à la section de tables de conversion au niveau de son étage antérieur, afin de limiter le signal d'échelle de gris à niveaux multiples pas plus haut qu'un deuxième niveau d'échelle de gris dans le cas où un premier niveau d'échelle de gris selon le signal d'échelle de gris à niveaux multiples est plus grand que le deuxième niveau d'échelle de gris selon le signal de sous-trames synthétisé.

15 13. Dispositif d'affichage selon la revendication 9 ou 10, caractérisé en ce que :

20 ladite section de tables de conversion (1322) comporte plusieurs tables de conversion se rapportant à plusieurs modes et reçoit un signal de mode (MODE) désignant le mode au titre d'un signal d'adressage supplémentaire en plus du signal d'adressage, et

le circuit de commande d'affichage (35) fournit le signal de mode à la section de tables de conversion en fonction de la position du pixel devant être affiché.

25 14. Dispositif d'affichage selon la revendication 9, 10, 11, 12 ou 13, caractérisé en ce qu'il comprend en outre une mémoire initiale (137) servant à stocker les données des tables de conversion, les données d'au moins une des tables de conversion étant écrites dans une mémoire de la section de tables de conversion.

30 15. Dispositif d'affichage selon la revendication 11, caractérisé en ce qu'il comprend en outre :

une mémoire initiale (137) servant à stocker des données des tables de conversion, les données d'au moins une des tables de conversion étant écrites dans une mémoire de la section de tables de conversion,

35 où la mémoire initiale fournit au synthétiseur un signal de donnée de décalage indiquant le nombre de bits de décalage en fonction de la table de conversion écrite dans la section de tables de conversion.

16. Dispositif d'affichage selon la revendication 12, caractérisé en ce qu'il comprend en outre :

une mémoire initiale (137) servant à stocker les données des tables de conversion, les données d'au moins une des tables de conversion étant écrites dans
5 une mémoire de la section de tables de conversion,

où la mémoire initiale fournit au circuit de limitation un signal de valeur de limitation indiquant le deuxième niveau d'échelle de gris en fonction de la table de conversion écrite dans la section de tables de conversion.

17. Dispositif d'affichage, affichant une image d'échelle de gris à
10 niveaux multiples via une trame ayant une pluralité de sous-trames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame, caractérisé en ce qu'il comprend :

une section (1322) de tables de conversion, recevant une partie de signaux de plusieurs bits d'un signal d'échelle de gris à niveaux multiples
15 possédant une pluralité de bits qui correspondent à des niveaux d'échelle de gris différents comme signal d'adressage et délivrant un signal de conversion de dédoublement de sous-trames ayant un groupe prédéterminé des sous-trames converti à partir des signaux d'adressage d'entrée via une table de conversion qui y est mémorisée, ledit signal de conversion de dédoublement de sous-trames com-
20 portant une pluralité de sous-trames qui ont la même valeur de pondération d'échelle de gris ;

un synthétiseur (1323, 1324), fonctionnellement connecté à la section de tables de conversion, afin de décaler un signal d'échelle de gris à niveaux multiples suivant des bits prédéterminés dans le cas où le nombre de bits du signal de
25 conversion de dédoublement de sous-trames est plus grand que le nombre de bits du signal d'adressage pour la section de tables de conversion, et afin de synthétiser les signaux de bits restants décalés du signal d'échelle de gris à niveaux multiples et du signal de conversion de dédoublement de sous-trames en fonction de son échelle de gris de façon à produire un signal de plusieurs sous-trames pour une
30 trame unique ;

un circuit de limitation (1321), fonctionnellement connecté à la section de tables de conversion au niveau de son étage antérieur, afin de limiter le signal d'échelle de gris à niveaux multiples de façon qu'il ne soit pas supérieur à un
deuxième niveau d'échelle de gris dans le cas où un premier niveau d'échelle de
35 gris selon le signal d'échelle de gris à niveaux multiples est plus grand que le deuxième niveau d'échelle de gris selon le signal de sous-trames synthétisé ; et

un circuit de commande d'affichage (35), fonctionnellement connecté au synthétiseur, afin d'afficher l'image d'échelle de gris à niveaux multiples dans une partie d'affichage en fonction du signal à plusieurs sous-trames synthétisé.

5 18. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de 5 bits, les quatre bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont le signal d'adressage, le signal de conversion de dédoublement de sous-trames est constitué de 5 bits, et le bit le moins significatif du signal d'échelle de gris à
10 niveaux multiples est décalé de 1 bit et est synthétisé avec le signal de conversion de dédoublement de sous-trames.

19. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de 5 bits, les quatre bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont le signal d'adressage, le signal de conversion de dédoublement de sous-trames est
15 constitué de 6 bits, et le bit le moins significatif du signal d'échelle de gris à niveaux multiples est décalé de 2 bits et est synthétisé avec le signal de conversion de dédoublement de sous-trames.

20. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de 5 bits, les quatre bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont le signal d'adressage, le signal de conversion de dédoublement de sous-trames est
20 constitué de 7 bits, et le bit le moins significatif du signal d'échelle de gris à niveaux multiples est décalé de 3 bits et est synthétisé avec le signal de conversion de dédoublement de sous-trames.

25 21. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de 6 bits, les quatre bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont le signal d'adressage, le signal de conversion de dédoublement de sous-trames est constitué de 5 bits, et les 2 bits les moins significatifs du signal d'échelle de gris à
30 niveaux multiples sont décalés de 1 bit et sont synthétisés avec le signal de conversion de dédoublement de sous-trames.

22. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de 6 bits, les quatre bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont
35 le signal d'adressage, le signal de conversion de dédoublement de sous-trames est constitué de 6 bits, et les 2 bits les moins significatifs du signal d'échelle de gris à

niveaux multiples sont décalés de 2 bits et sont synthétisés avec le signal de conversion de dédoublement de sous-trames.

23. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de 7 bits, les quatre bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont le signal d'adressage, le signal de conversion de dédoublement de sous-trames est constitué de 5 bits, et les 3 bits les moins significatifs du signal d'échelle de gris à niveaux multiples sont décalés de 1 bit et sont synthétisés avec le signal de conversion de dédoublement de sous-trames.

24. Dispositif d'affichage selon la revendication 17, caractérisé en ce que ledit signal d'échelle de gris à niveaux multiples est constitué de M bits (M est un entier qui est supérieur ou égal à 2), les N bits les plus significatifs (N est un entier qui est supérieur ou égal à 1, et $M > N$) du signal d'échelle de gris à niveaux multiples constituent le signal d'adressage, le signal de conversion de dédoublement de sous-trames est constitué de P bits (P est un entier qui est supérieur ou égal à N), et le ou les M-N bits les plus significatifs du signal d'échelle de gris à niveaux multiples sont décalés suivant le ou les P-N bits et sont synthétisés avec le signal de conversion de dédoublement de sous-trames.

25. Procédé d'excitation d'un dispositif d'affichage, le dispositif d'affichage affichant une image d'échelle de gris à niveaux multiples via une trame ayant une pluralité de sous-trames qui sont divisées dans le temps en fonction de la valeur de pondération de l'échelle de gris pour chaque sous-trame, caractérisé en ce qu'il comprend les opérations suivantes :

recevoir une partie de signaux de bits d'un signal d'échelle de gris à niveaux multiples ayant une pluralité de bits qui correspondent à des niveaux d'échelle de gris différents comme signal d'adressage, et délivrer un signal de conversion de dédoublement de sous-trames ayant un groupe prédéterminé des sous-trames qui est converti à partir des signaux d'adressage d'entrée via une table de conversion qui y est stockée ;

synthétiser les signaux des bits restants du signal d'échelle de gris à niveaux multiples et du signal de conversion de dédoublement de sous-trames en fonction de son échelle de gris de façon à produire un signal de plusieurs sous-trames pour une trame unique ; et

afficher l'image d'échelle de gris à niveaux multiples dans une partie d'affichage en fonction du signal de plusieurs sous-trames synthétisé.

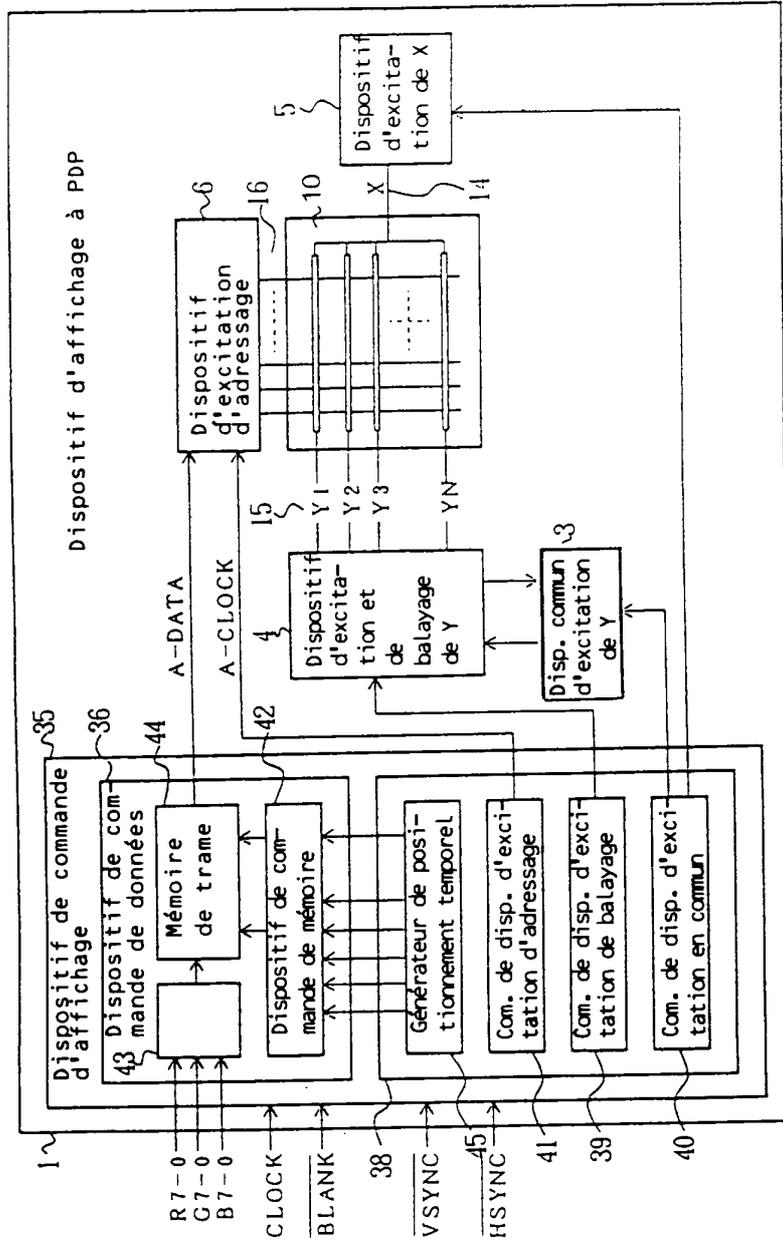


FIG. 1

FIG. 2

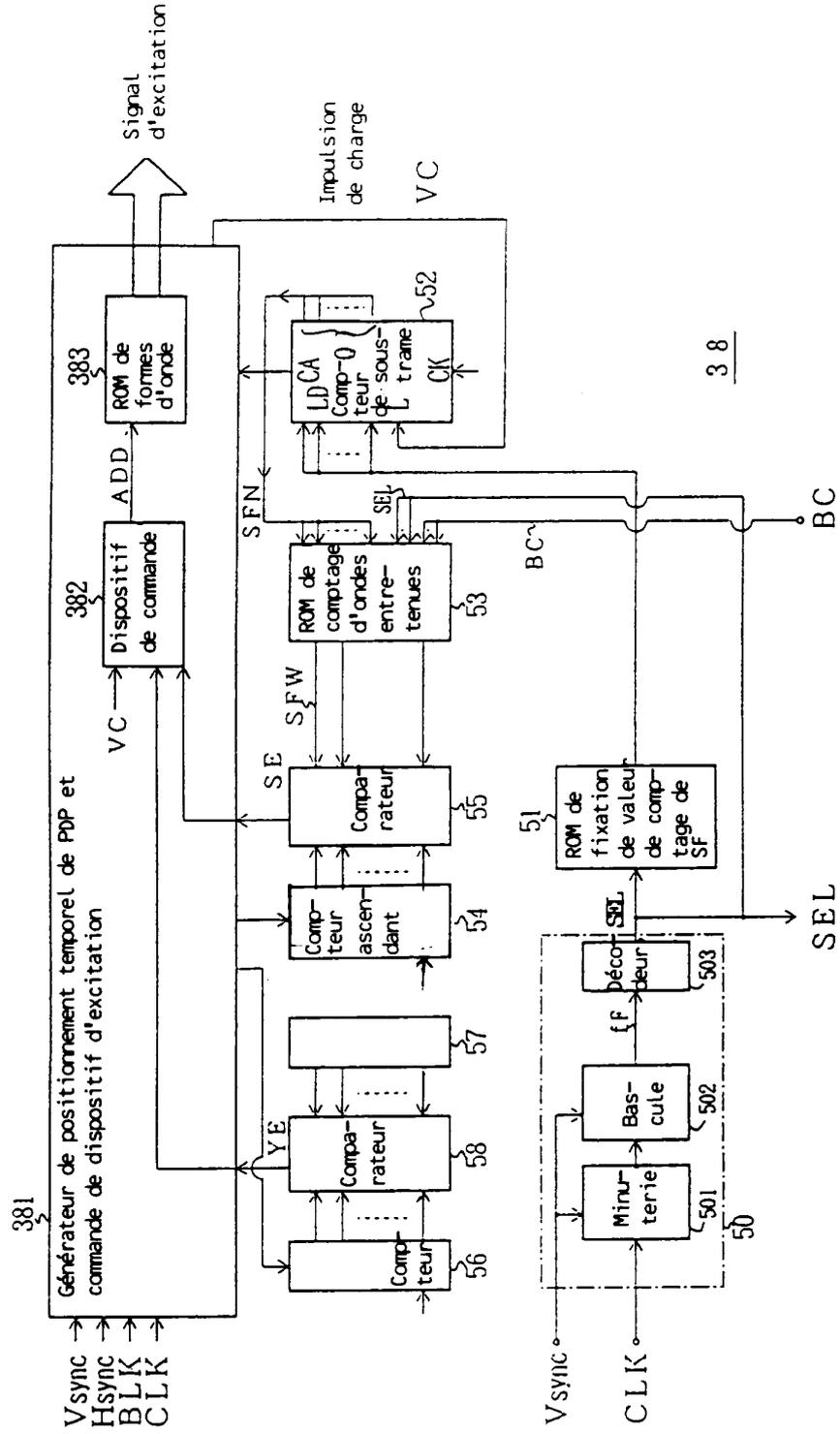


FIG. 3

Fréquence [Hz]	Sous-trame (=k)	SEL	SF Valeur de comptage fixée
$0 < fF \leq 55$	8	7	0
$55 < fF \leq 65$	7	6	1
$65 < fF \leq 75$	6	5	2
$75 < fF \leq 85$	5	4	3
$85 < fF \leq 105$	4	3	4
$105 < fF \leq 140$	3	2	5
$140 < fF \leq 210$	2	1	6
$210 < fF \leq 420$	1	0	7

FIG. 4

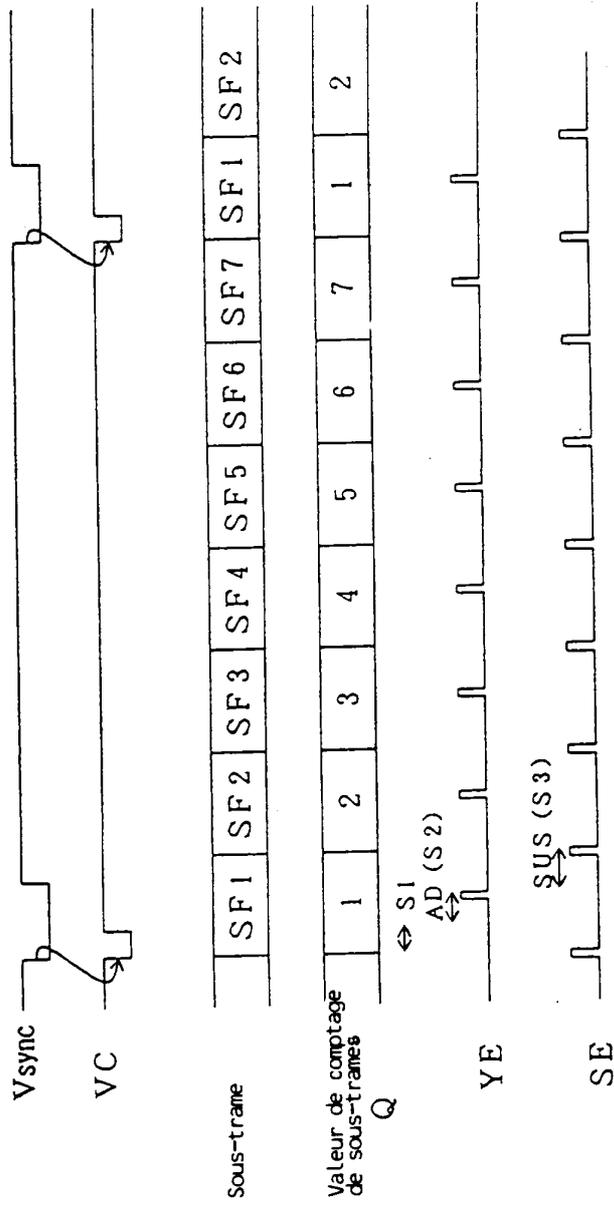


FIG. 5

5/37

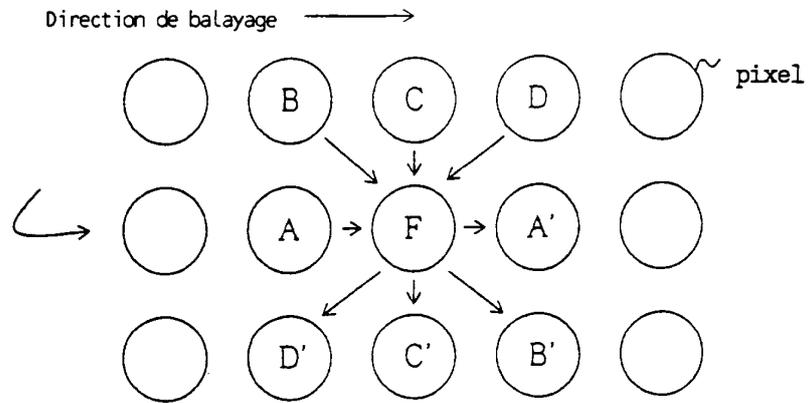


FIG. 6

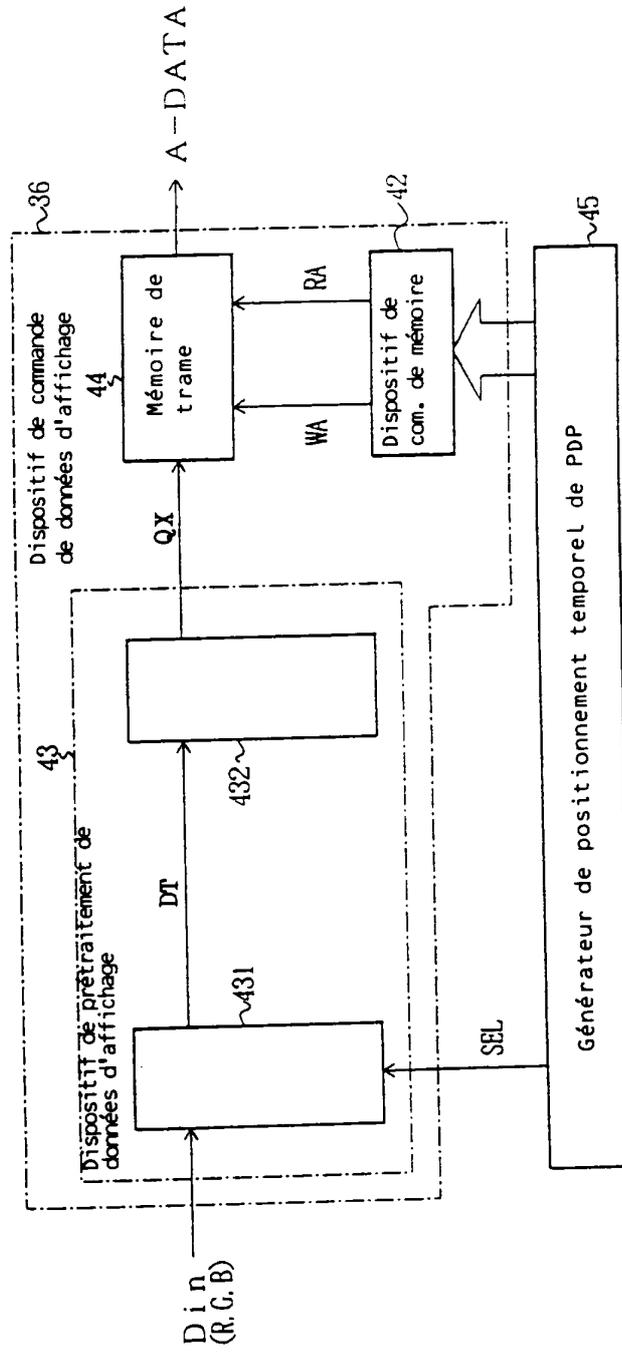


FIG. 7

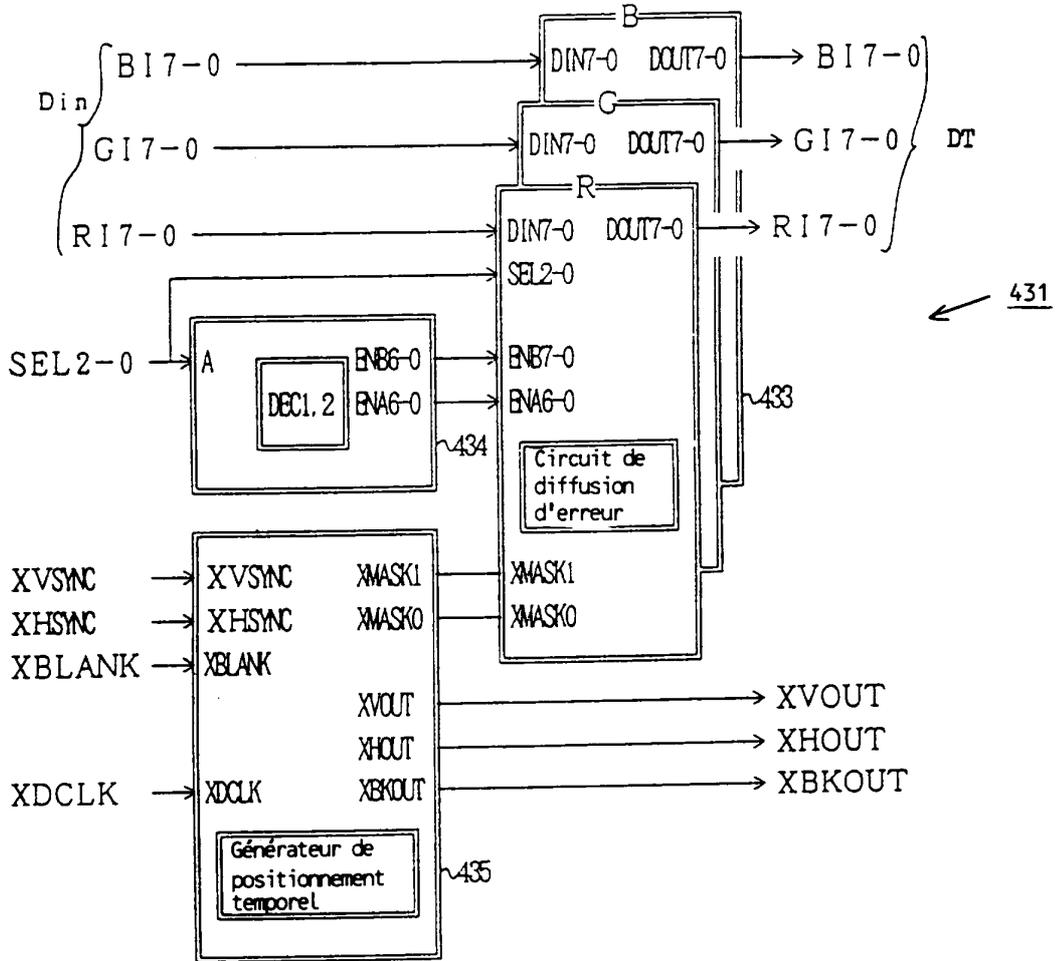
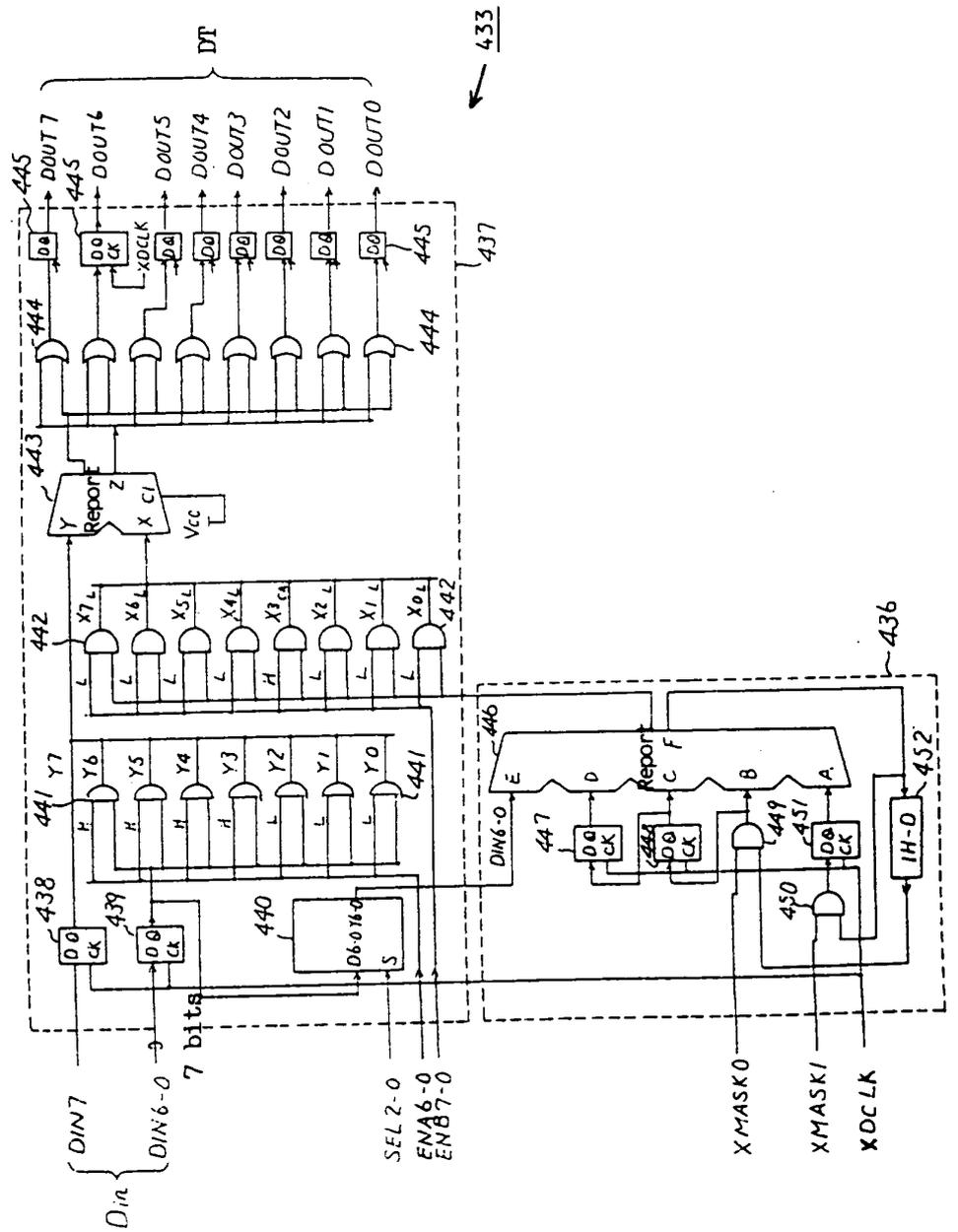


FIG. 8



b Table 1 DEC1

Fig. 9A

SEL			ENA					SF		
2	1	0	6	5	4	3	2	1	0	
L	L	L	L	L	L	L	L	L	L	1
L	L	H	H	L	L	L	L	L	L	2
L	H	L	H	H	L	L	L	L	L	3
L	H	H	H	H	L	L	L	L	L	4
H	L	L	H	H	H	H	L	L	L	5
H	L	H	H	H	H	H	H	L	L	6
H	H	L	H	H	H	H	H	H	L	7
H	H	H	H	H	H	H	H	H	H	8

Table 2 DEC2

Fig. 9B

SEL			ENB					SF			
2	1	0	7	6	5	4	3	2	1	0	
L	L	L	H	L	L	L	L	L	L	L	1
L	L	H	L	H	L	L	L	L	L	L	2
L	H	L	L	L	L	L	L	L	L	L	3
L	H	H	L	L	L	H	L	L	L	L	4
H	L	L	L	L	L	L	H	L	L	L	5
H	L	H	L	L	L	L	L	H	L	L	6
H	H	L	L	L	L	L	L	L	H	L	7
H	H	H	L	L	L	L	L	L	L	H	8

Table 3 pour 440

Fig. 9C

SEL			Y						
2	1	0	6	5	4	3	2	1	0
L	L	L	06	05	04	03	02	01	00
L	L	H	05	04	03	02	01	00	L
L	H	L	04	03	02	01	00	L	L
L	H	H	03	02	01	00	L	L	L
H	L	L	02	01	00	L	L	L	L
H	L	H	01	00	L	L	L	L	L
H	H	L	00	L	L	L	L	L	L
H	H	H	L	L	L	L	L	L	L

FIG. 10

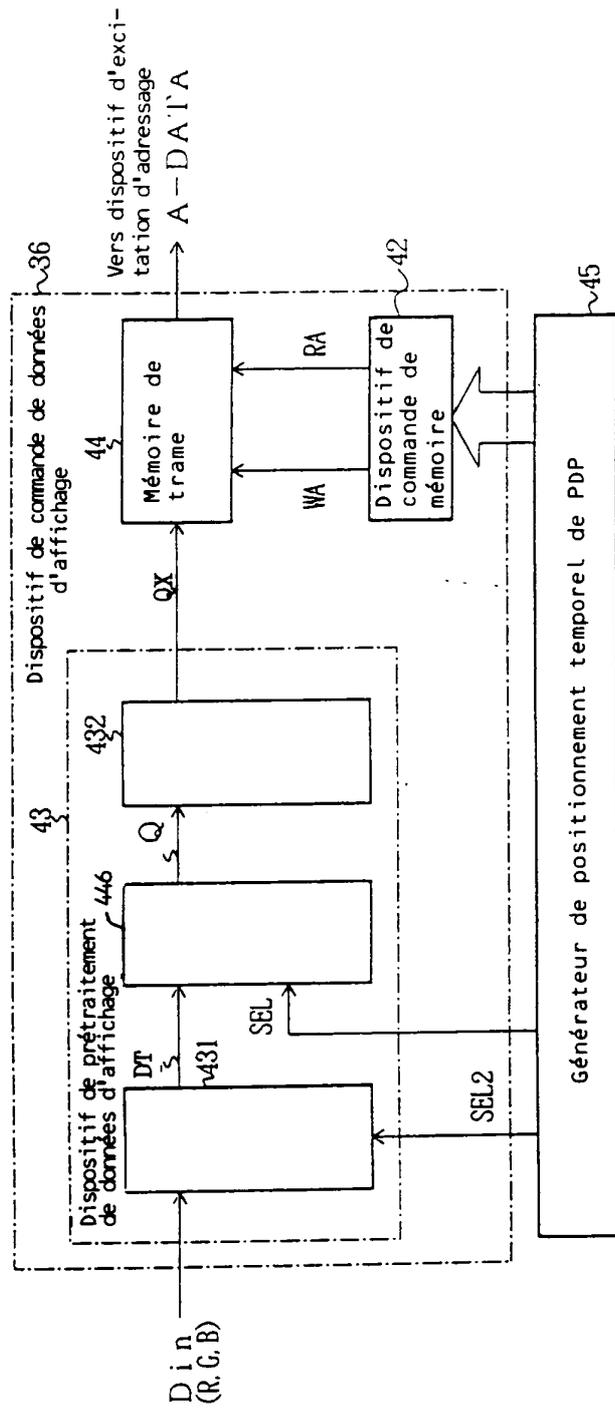


FIG. 11

Niveau	Ordre des sous-trames								Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2	8 (3)	4	1	16 (2)	8 (2)		8 (1)	16 (1)	2	8 (3)	4	1	16 (2)	8 (2)
0									32								
1									33								
2									34								
3									35								
4									36								
5									37								
6									38								
7									39								
8									40								
9									41								
10									42								
11									43								
12									44								
13									45								
14									46								
15									47								
16									48								
17									49								
18									50								
19									51								
20									52								
21									53								
22									54								
23									55								
24									56								
25									57								
26									58								
27									59								
28									60								
29									61								
30									62								
31									63								

(premier mode)

DT:6bits

Q: 8bits

Nombre de sous-trames : 8

○ indique l'état éclairé

FIG. 12

Niveau	Ordre des sous-trames						
	4 (1)	8 (1)	2	1/6	1	8 (2)	4 (2)
0							
1					○		
2			○				
3			○		○		
4	○						
5	○				○		
6	○		○				
7	○		○		○		
8	○						○
9	○				○		○
10	○		○				○
11	○		○				○
12		○					○
13		○			○		○
14		○	○				○
15		○	○		○		○
16		○				○	
17		○			○	○	
18		○	○			○	
19		○	○		○	○	
20	○	○				○	
21	○	○			○	○	

Niveau	Ordre des sous-trames						
	4 (1)	8 (1)	2	1/6	1	8 (2)	4 (2)
22	○	○	○			○	
23	○	○	○			○	○
24		○		○			
25		○		○	○		
26		○		○			
27		○		○	○		
28		○	○	○			○
29		○	○	○	○		○
30		○	○	○			○
31		○	○	○	○		○
32		○		○		○	
33		○			○	○	
34		○	○	○		○	
35		○	○	○	○	○	
36	○	○		○		○	
37	○	○		○	○	○	
38	○	○	○	○		○	
39	○	○	○	○	○	○	
40	○	○		○		○	○
41	○	○		○	○	○	○
42	○	○	○	○	○	○	○
43	○	○	○	○	○	○	○

(Premier mode)

DT :6bits

Q :7bits

Nombre de sous-trames : 7

○ indique l'état éclairé

FIG. 13

Niveau	Ordre des sous-trames					
	4 (1)	8 (1)	2	1	8 (2)	4 (2)
0						
1				○		
2			○			
3			○	○		
4	○					
5	○			○		
6	○		○			
7	○		○	○		
8	○					○
9	○			○		○
10	○		○			○
11	○		○	○		○
12		○				○
13		○		○		○
14		○	○			○
15		○	○	○		○
16		○			○	
17		○		○	○	
18		○	○		○	
19		○	○	○	○	
20	○	○			○	
21	○	○		○	○	
22	○	○	○		○	
23	○	○	○	○	○	
24	○	○			○	○
25	○	○		○	○	○
26	○	○	○		○	○
27	○	○	○	○	○	○

(premier mode)

DT :5bits

Q :6bits

Nombre de sous-trames : 6

○ indique l'état éclairé

FIG. 15

							Ordre des sous-trames						
							Niveau						
							4	8	2	16	1	8	4
							(1)	(1)				(2)	(2)
0	0	0	0	0	0	0							
0	0	0	0	0	1	1						0	
0	0	0	0	1	0	2			0				
0	0	0	0	1	1	3			0				
0	0	0	1	0	0	4	0						
0	0	0	1	0	1	5	0					0	
0	0	0	1	1	0	6	0		0				
0	0	0	1	1	1	7	0		0			0	
0	0	1	0	0	0	8	0						0
0	0	1	0	0	1	9	0					0	
0	0	1	0	1	0	10	0		0				0
0	0	1	0	1	1	11	0		0				0
0	0	1	1	0	0	12		0					0
0	0	1	1	0	1	13		0				0	
0	0	1	1	1	0	14		0	0				0
0	0	1	1	1	1	15		0	0			0	
0	1	0	0	0	0	16		0				0	
0	1	0	0	0	1	17		0				0	
0	1	0	0	1	0	18		0	0			0	
0	1	0	0	1	1	19		0	0			0	
0	1	0	1	0	0	20	0	0				0	
0	1	0	1	0	1	21	0	0				0	
0	1	0	1	1	0	22	0	0	0			0	
0	1	0	1	1	1	23	0	0	0			0	
0	1	1	0	0	0	24		0		0			
0	1	1	0	0	1	25		0		0		0	
0	1	1	0	1	0	26		0	0	0			
0	1	1	0	1	1	27		0	0	0	0		
0	1	1	1	0	0	28		0		0			0
0	1	1	1	0	1	29		0		0		0	
0	1	1	1	1	0	30		0	0	0			0
0	1	1	1	1	1	31		0	0	0	0		0
1	0	0	0	0	0	32		0		0		0	
1	0	0	0	0	1	33		0		0		0	
1	0	0	0	1	0	34		0	0	0		0	
1	0	0	0	1	1	35		0	0	0	0	0	
1	0	0	1	0	0	36	0	0		0		0	
1	0	0	1	0	1	37	0	0		0		0	
1	0	0	1	1	0	38	0	0	0	0		0	
1	0	0	1	1	1	39	0	0	0	0	0	0	
1	0	1	0	0	0	40	0	0		0		0	
1	0	1	0	0	1	41	0	0		0		0	
1	0	1	0	1	0	42	0	0	0	0		0	
1	0	1	0	1	1	43	0	0	0	0	0	0	
DT7	DT6	DT5	DT4	DT3	DT2		Q3	Q5	Q2	Q7	Q1	Q6	Q4

(les mêmes)

FIG. 16

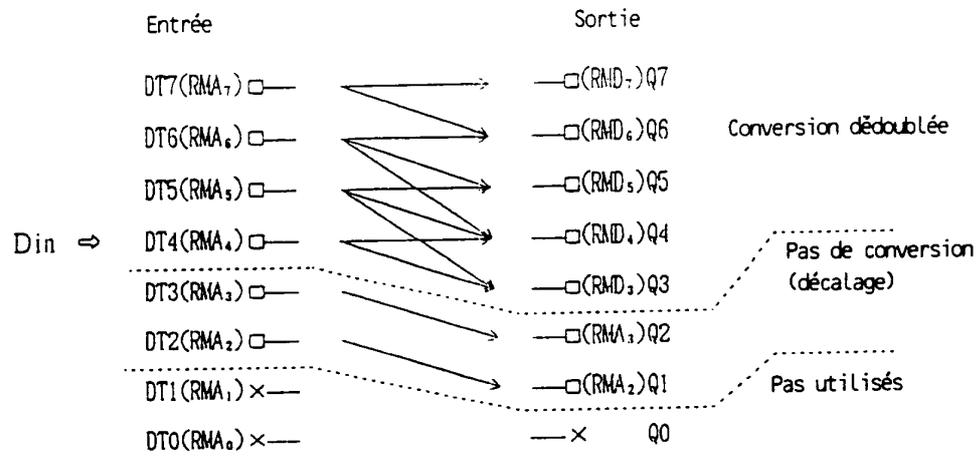


FIG. 17

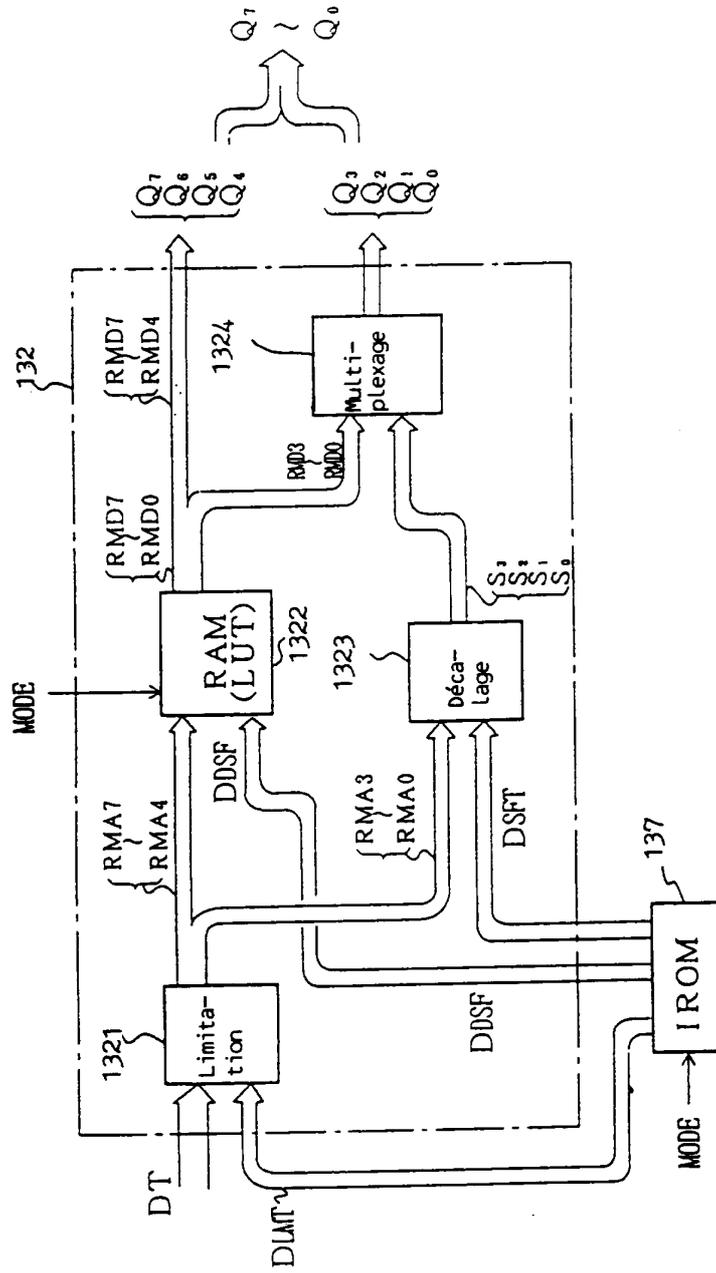


FIG. 18

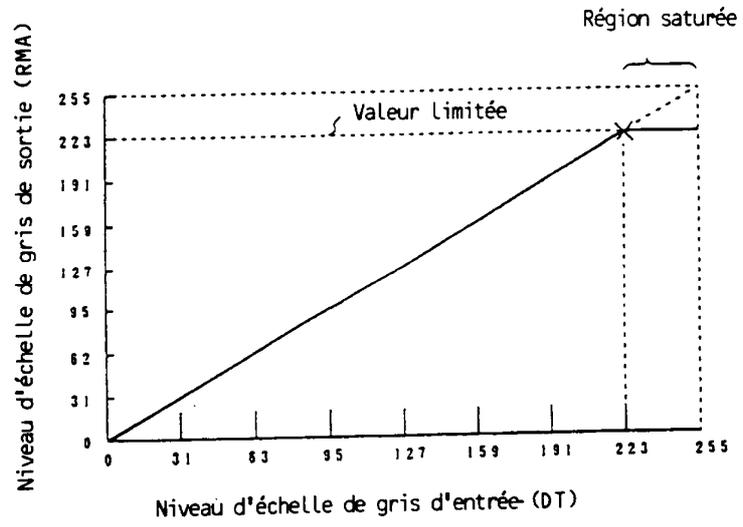


FIG. 19

Niveau	Soumis à la conversion				non soumis à la conversion				DT ₂	DT ₃	DT ₄	DT ₅	DT ₆	DT ₇	
	DT ₇	DT ₆	DT ₅	DT ₄	Q ₁ (16)	Q ₂ (8)	Q ₃ (4)	Q ₄ (2)							Q ₁ (1)
42	1	0	1	0	1	1	1	1	0	4	2				OK
43	1	0	1	0	1	1	1	1	1	4	3				OK
44	1	0	1	1	0	1	1	0	0	4	0				NC
45	1	0	1	1	0	1	1	0	1	4	1				NC

FIG. 20

Niveau	DT ₇	DT ₆	DT ₅	DT ₄	DT ₃	DT ₂	RNA ₇	RNA ₆	RNA ₅	RNA ₄	RNA ₃	RNA ₂	Q ₁ (16)	Q ₂ (8)	Q ₃ (8)	Q ₄ (4)	Q ₅ (4)	Q ₆ (2)	Q ₇ (1)	Après
42	1	0	1	0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	0	42
43	1	0	1	0	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	43
44	1	0	1	1	0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	43
45	1	0	1	1	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	43
46																				43

Conversion par circuit de limitation

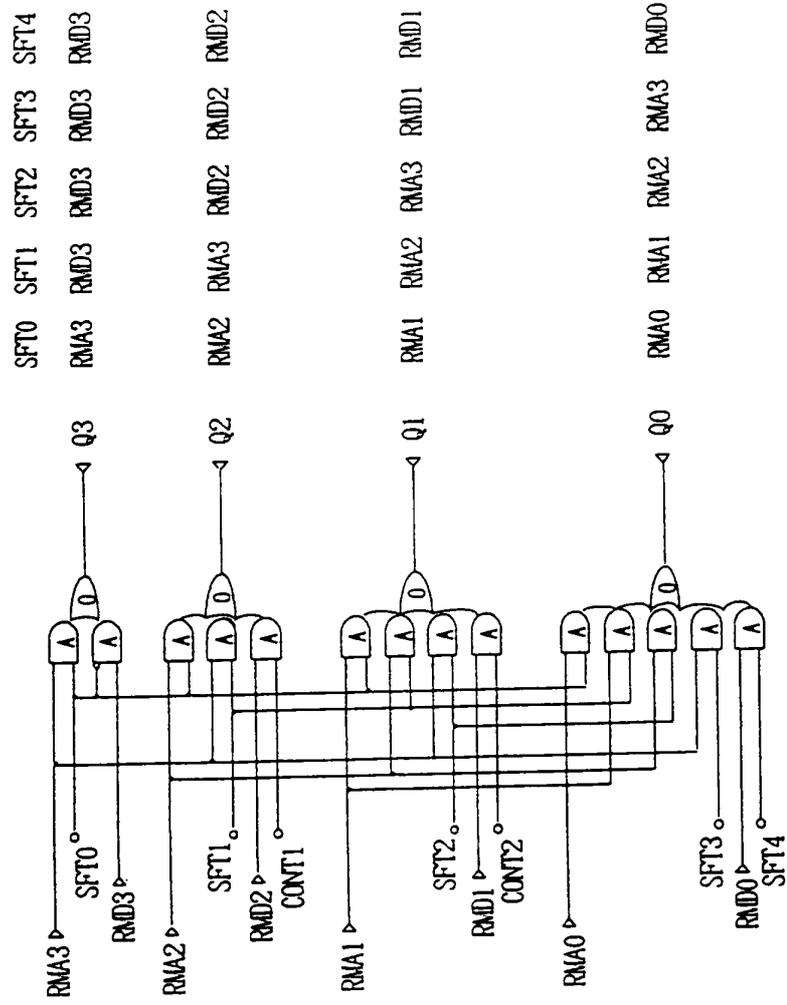
Conversion de dédoublement de sous-frames

FIG. 23

D _{ent}	Signal d'entrée de décalage				Signal de sortie de multiplexage			
	S3	S2	S1	S0	Q3	Q2	Q1	Q0
0	RMA3	RMA2	RMA1	RMA0	RMA3	RMA2	RMA1	RMA0
1	0	RMA3	RMA2	RMA1	RMD3	RMA3	RMA2	RMA1
2	0	0	RMA3	RMA2	RMD3	RMD2	RMA3	RMA2
3	0	0	0	RMA3	RMD3	RMD2	RMD1	RMA3
4	0	0	0	0	RMD3	RMD2	RMD1	RMD0

(0 désigne le signal de niveau bas L)

FIG. 24



(1323, 1324)

FIG. 25

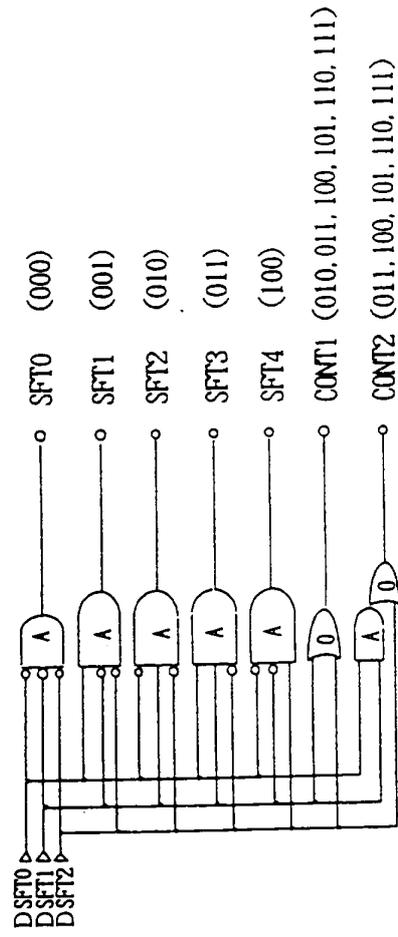


FIG. 26

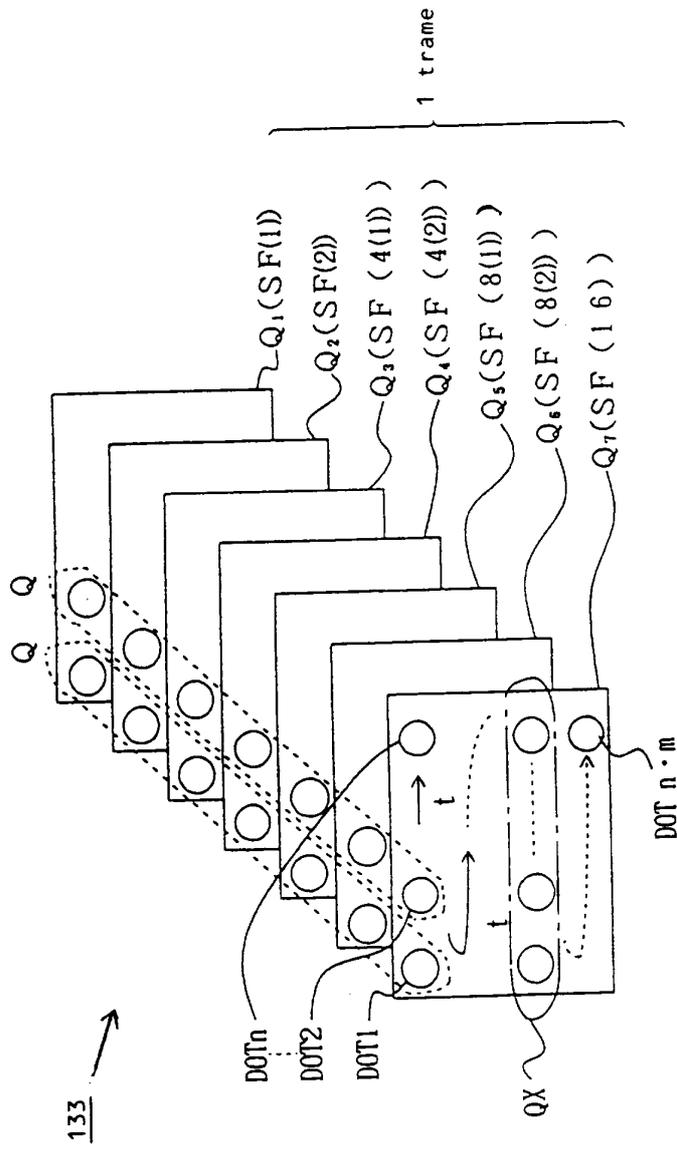


FIG. 27

Niveau	Ordre des sous-trames						
	4 (1)	8 (1)	2	16	1	8 (2)	4 (2)
0							
1					○		
2			○				
3			○		○		
4							○
5					○		○
6			○				○
7			○		○		○
8	○						○
9	○				○		○
10	○		○				○
11	○		○		○		○
12	○					○	
13	○				○	○	
14	○		○			○	
15	○				○		
16		○				○	
17		○			○	○	
18		○	○			○	
19		○	○		○	○	
20		○				○	○
21		○			○	○	○

Niveau	Ordre des sous-trames						
	4 (1)	8 (1)	2	16	1	8 (2)	4 (2)
22		○	○				○
23		○	○			○	○
24				○			○
25				○		○	○
26				○		○	○
27				○		○	○
28	○	○			○		
29	○	○			○	○	
30	○	○	○				
31	○	○	○		○		
32		○			○		○
33		○			○	○	○
34		○	○		○	○	○
35		○	○		○	○	○
36		○			○		○
37		○			○	○	○
38		○	○		○		○
39		○	○		○	○	○
40	○	○			○	○	○
41	○	○			○	○	○
42	○	○	○		○	○	○
43	○	○	○	○	○	○	○

(Deuxième mode)

Fig. 28A

A	B	A	B	A
B	A	B	A	B
A	B	A	B	A
B	A	B	A	B
A	B	A	B	A

Fig. 28B

A	A	B	B	A
A	A	B	B	A
B	B	A	A	B
B	B	A	A	B
A	A	B	B	A

Fig. 28C

A	B	C	D	A
B	C	D	A	B
C	D	A	B	C
D	A	B	C	D
A	B	C	D	A

FIG. 29

Signal de niveau d'échelle de gris	Adresse	Signal de sortie	SPT	SF	Signal de sortie converti
4 bits (DT ₇₋₄)	4 bits (RMA ₇₋₄)	5 bits (RMD ₇₋₃)	4	5	RMD ₇₋₃
		6 bits (RMD ₇₋₂)	4	6	RMD ₇₋₂
		7 bits (RMD ₇₋₁)	4	7	RMD ₇₋₁
		8 bits (RMD ₇₋₀)	4	8	RMD ₇₋₀
5 bits (DT ₇₋₃)	4 bits (RMA ₇₋₄)	5 bits (RMD ₇₋₃)	1	6	RMD ₇₋₃ · RMA ₃
		6 bits (RMD ₇₋₂)	2	7	RMD ₇₋₂ · RMA ₃
		7 bits (RMD ₇₋₁)	3	8	RMD ₇₋₁ · RMA ₃
6 bits (DT ₇₋₂)	4 bits (RMA ₇₋₄)	5 bits (RMD ₇₋₃)	1	7	RMD ₇₋₃ · RMA _{3.2}
		6 bits (RMD ₇₋₂)	2	8	RMD ₇₋₂ · RMA _{3.2}
7 bits (DT ₇₋₁)	4 bits (RMA ₇₋₄)	5 bits (RMD ₇₋₃)	1	8	RMD ₇₋₃ · RMA ₃₋₁

FIG. 30

Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2	8 (3)	4	1	16 (2)	8 (2)
0								
1							○	
2			○					
3			○				○	
4					○			
5					○	○		
6			○		○			
7			○		○	○		
8					○		○	
9					○		○	
10			○	○				
11			○	○			○	
12				○	○			
13				○	○	○		
14			○	○	○			
15			○	○	○	○		
16				○				○
17				○		○		○
18			○	○				○
19			○	○		○		○
20				○	○			○
21				○	○	○		○
22			○	○	○			○
23			○	○	○	○		○
24	○			○				○
25	○			○		○		○
26	○		○					○
27	○		○	○		○		○
28	○			○	○			○
29	○			○	○	○		○
30	○		○	○	○			○
31	○		○	○	○	○		○

Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2	8 (3)	4	1	16 (2)	8 (2)
32	○			○				○
33	○			○			○	○
34	○			○				○
35	○		○	○			○	○
36	○			○	○			○
37	○			○	○	○		○
38	○			○	○	○	○	○
39	○			○	○	○	○	○
40		○		○				○
41		○		○			○	○
42		○	○	○				○
43		○	○	○			○	○
44		○		○	○			○
45		○		○	○	○		○
46		○	○	○	○			○
47		○	○	○	○	○		○
48		○		○			○	○
49		○		○			○	○
50		○	○	○				○
51		○	○	○				○
52		○		○	○			○
53		○		○	○	○		○
54		○	○	○	○			○
55		○	○	○	○	○		○
56	○	○		○				○
57	○	○		○			○	○
58	○	○	○	○				○
59	○	○	○	○			○	○
60	○	○		○	○			○
61	○	○		○	○			○
62	○	○	○	○	○			○
63	○	○	○	○	○	○		○

(Deuxième mode)

FIG. 31

Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2 (3)	16 (3)	4	1	16 (2)	8 (2)
0								
1							○	
2			○					
3			○				○	
4					○			
5					○	○		
6			○	○				
7			○	○	○			
8	○							
9	○					○		
10	○		○					
11	○		○			○		
12	○				○			
13	○				○	○		
14	○		○	○				
15	○		○	○	○			
16				○				
17				○		○		
18			○	○				
19			○	○		○		
20				○	○			
21				○	○	○		
22			○	○	○			
23			○	○	○	○		
24	○			○				
25	○			○		○		
26	○		○	○				
27	○		○	○		○		
28	○			○	○			
29	○			○	○	○		
30	○		○	○	○			
31	○		○	○	○	○		
32	○			○				○
33	○			○		○		○
34	○		○	○				○
35	○		○	○		○		○

Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2	16 (3)	4	1	16 (2)	8 (2)
36	○			○	○			○
37	○			○	○	○		○
38	○		○	○	○	○		○
39	○		○	○	○	○		○
40		○		○				○
41		○		○		○		○
42		○	○	○				○
43		○	○	○		○		○
44		○		○	○			○
45		○		○	○	○		○
46		○	○	○	○			○
47		○	○	○	○	○		○
48		○		○				○
49		○		○		○	○	
50		○	○	○				○
51		○	○	○		○	○	
52		○		○	○	○		○
53		○		○	○	○	○	
54		○	○	○	○	○		○
55		○	○	○	○	○	○	
56	○	○		○				○
57	○	○	○	○		○		○
58	○	○	○	○				○
59	○	○	○	○		○	○	
60	○	○		○	○			○
61	○	○		○	○	○		○
62	○	○	○	○	○			○
63	○	○	○	○	○	○		○
64	○	○		○				○
65	○	○		○		○		○
66	○	○	○	○	○			○
67	○	○	○	○		○	○	
68	○	○		○	○			○
69	○	○		○	○	○		○
70	○	○	○	○	○	○		○
71	○	○	○	○	○	○	○	○

(Premier mode)

FIG. 32

Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2 (3)	16 (3)	4	1	16 (2)	8 (2)
0								
1							o	
2			o					
3			o				o	
4					o			
5					o	o		
6			o		o			
7			o		o	o		
8	o						o	o
9	o						o	o
10	o		o					o
11	o		o				o	o
12	o				o			o
13	o				o	o		o
14	o		o		o			o
15	o		o		o	o		o
16				o				
17				o			o	
18			o	o				
19			o	o		o		
20				o	o		o	
21				o	o	o		
22			o	o	o			
23			o	o	o	o		
24				o				o
25				o		o		o
26			o	o				o
27			o	o		o		o
28				o	o		o	o
29				o	o	o		o
30			o	o	o			o
31			o	o	o	o		o
32	o			o				o
33	o			o		o		o
34	o		o	o				o
35	o		o	o		o		o

Niveau	Ordre des sous-trames							
	8 (1)	16 (1)	2 (3)	16 (3)	4	1	16 (2)	8 (2)
36	o			o	o			o
37	o			o	o	o		o
38	o		o	o	o			o
39	o		o	o	o	o		o
40	o			o				o
41	o			o		o		o
42	o		o	o			o	o
43	o		o	o			o	o
44	o			o	o			o
45	o			o	o	o		o
46	o		o	o	o			o
47	o		o	o	o	o		o
48		o		o				o
49		o		o		o		o
50		o	o	o				o
51		o	o	o		o		o
52		o		o	o			o
53		o		o	o	o		o
54		o	o	o	o			o
55		o	o	o	o	o		o
56	o	o		o			o	o
57	o	o		o			o	o
58	o	o	o	o			o	o
59	o	o	o	o			o	o
60	o	o		o	o			o
61	o	o		o	o	o		o
62	o	o	o	o	o	o		o
63	o	o	o	o	o	o	o	o
64	o	o		o				o
65	o	o		o			o	o
66	o	o		o			o	o
67	o	o	o	o			o	o
68	o	o		o	o			o
69	o	o		o	o	o		o
70	o	o	o	o	o	o		o
71	o	o	o	o	o	o	o	o

(Deuxième mode)

FIG. 33

					Niveau	Ordre des sous-trames							
						4 (1)	8 (1)	2	1	8 (2)	4 (2)		
0	0	0	0	0	0								
0	0	0	0	1	1				0				
0	0	0	1	0	2			0					
0	0	0	1	1	3			0	0				
0	0	1	0	0	4	0							
0	0	1	0	1	5	0			0				
0	0	1	1	0	6	0		0					
0	0	1	1	1	7	0		0	0				
0	1	0	0	0	8	0						0	
0	1	0	0	1	9	0			0			0	0
0	1	0	1	0	10	0		0				0	0
0	1	0	1	1	11	0		0	0			0	0
0	1	1	0	0	12		0					0	0
0	1	1	0	1	13		0		0			0	0
0	1	1	1	0	14		0	0				0	0
0	1	1	1	1	15		0	0	0			0	0
1	0	0	0	0	16		0					0	
1	0	0	0	1	17		0		0			0	
1	0	0	1	0	18		0	0				0	
1	0	0	1	1	19		0	0	0			0	
1	0	1	0	0	20	0	0					0	
1	0	1	0	1	21	0	0		0			0	
1	0	1	1	0	22	0	0	0				0	
1	0	1	1	1	23	0	0	0	0			0	
1	1	0	0	0	24	0	0					0	0
1	1	0	0	1	25	0	0	0				0	0
1	1	0	1	0	26	0	0	0				0	0
1	1	0	1	1	27	0	0	0	0			0	0
D17	D16	D15	D14	D13		Q4	Q6	Q3	Q2	Q7	Q5		

FIG. 34

Niveau	Ordre des sous-trames					
	4 (1)	8 (1)	2	1	8 (2)	4 (2)
0						
1				○		
2			○			
3			○	○		
4						○
5				○		○
6			○			○
7			○	○		○
8	○					○
9	○			○		○
10	○		○			○
11	○		○	○		○
12	○				○	
13	○			○	○	
14	○		○		○	
15	○		○	○	○	
16		○			○	
17		○		○	○	
18		○	○		○	
19		○	○	○	○	
20		○			○	○
21		○		○	○	○
22		○	○		○	○
23		○	○	○	○	○
24	○	○			○	○
25	○	○		○	○	○
26	○	○	○		○	○
27	○	○	○	○	○	○

(Deuxième mode)

FIG. 35

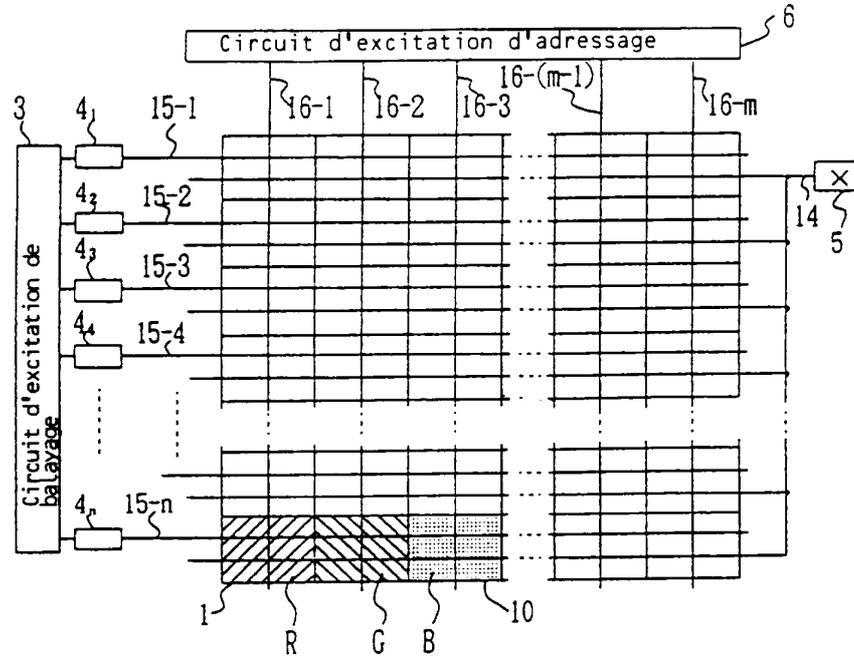


FIG. 36

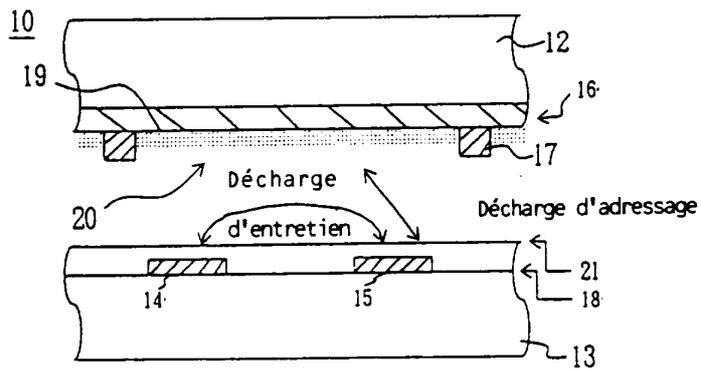


FIG. 37

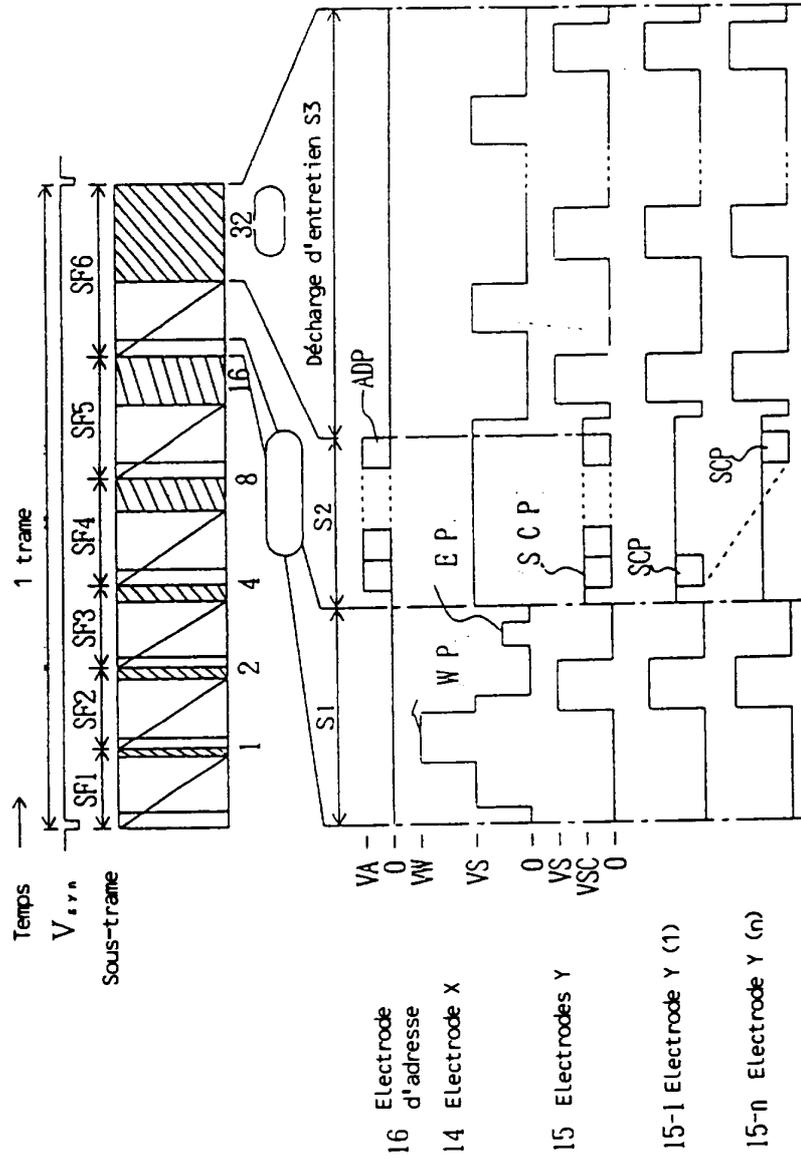


FIG. 40

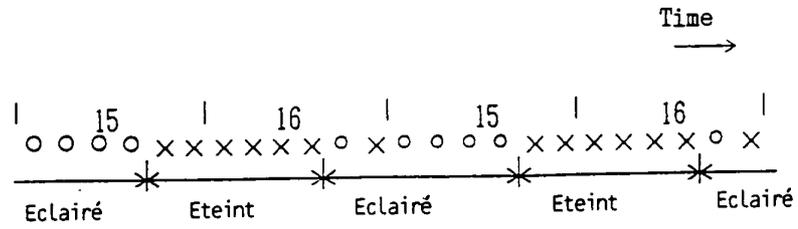


FIG. 41

