

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-332151

(P2006-332151A)

(43) 公開日 平成18年12月7日(2006.12.7)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 21/60 (2006.01) HO 1 L 21/60 3 1 1 Q 5 F O 4 4  
 HO 1 L 21/92 6 O 4 J

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号	特願2005-150467 (P2005-150467)	(71) 出願人	000005832 松下電工株式会社 大阪府門真市大字門真1048番地
(22) 出願日	平成17年5月24日 (2005.5.24)	(74) 代理人	100067828 弁理士 小谷 悦司
		(74) 代理人	100096150 弁理士 伊藤 孝夫
		(74) 代理人	100099955 弁理士 樋口 次郎
		(72) 発明者	植田 充彦 大阪府門真市大字門真1048番地 松下電工株式会社内
		(72) 発明者	中筋 威 大阪府門真市大字門真1048番地 松下電工株式会社内
		Fターム(参考)	5F044 KK01 LL01 QQ04 RR00

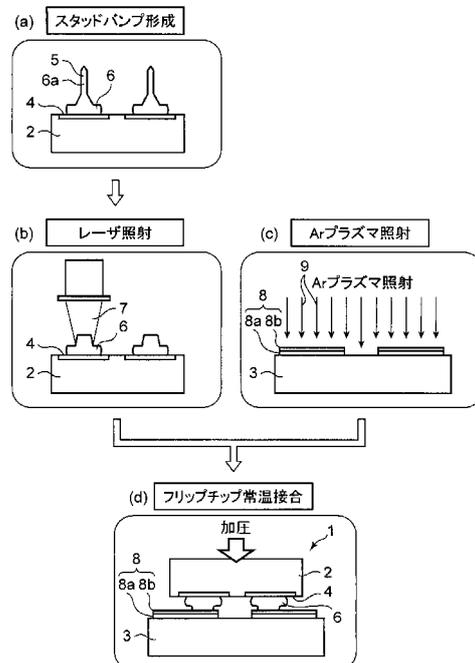
(54) 【発明の名称】 半導体装置の実装方法

(57) 【要約】

【課題】 半導体素子を基板にフリップチップ実装するための方法において、プラズマ照射などによる活性化の工程を短くし、タクトタイムを短縮する。

【解決手段】 従来の常温接合同様に、図1(c)で示すように基板3の電極8の表面にプラズマを照射して、該表面を活性化させる一方、本発明では、図1(a)で示すように半導体素子2に形成されたスタッドバンプ6側には、前記プラズマ照射を行わず、代わりに、図1(b)で示すようにレーザー照射によって前記スタッドバンプ6の結晶粒を大径化させ、その後、図1(d)で示すように電極8の表面に押圧して接合することで、スタッドバンプ6の表面の酸化膜や付着物による殻を破り、該スタッドバンプ6の新生面を露出させ、電極8の新生面と一体化させる。したがって、常温での接合で接合精度を向上しつつも、プラズマによる活性化の工程は1回でよくなり、タクトタイムを短縮できる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体素子を基板にフリップチップ実装して成る半導体装置の実装方法において、前記基板の電極の表面を活性化させる工程と、前記半導体素子にバンプを形成する工程と、前記バンプの結晶粒を大径化させる工程と、前記大径化されたバンプを前記活性化された基板の電極に押圧し、前記半導体素子を基板に接合する工程とを含むことを特徴とする半導体装置の実装方法。

**【請求項 2】**

前記基板の電極の表面を活性化させる工程は、プラズマ照射で行うことを特徴とする請求項 1 記載の半導体装置の実装方法。 10

**【請求項 3】**

前記バンプの結晶粒を大径化させる工程は、レーザ照射で行うことを特徴とする請求項 1 または 2 記載の半導体装置の実装方法。

**【請求項 4】**

前記バンプはスタッドバンプから成り、前記バンプ形成工程は、ワイヤをスパークしてバンプを形成する工程と、そのバンプを超音波を併用しながら半導体素子の電極に押付ける工程と、キャピラリを僅かに上昇させて半導体素子の面方向に変位させることで、前記キャピラリの底面で、スパークにより形成された結晶粒の大径化部を露出させた後、ワイヤの先端部を切除する工程とを備えて成ることを特徴とする請求項 1 または 2 記載の半導体装置の実装方法。 20

**【請求項 5】**

前記基板の電極表面を活性化させる工程の前に、基板を熱処理することで前記電極を軟化させる工程をさらに有することを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の実装方法。

**【請求項 6】**

前記バンプは金から成り、前記電極表面も金から成ることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の実装方法。

**【発明の詳細な説明】** 30**【技術分野】****【0001】**

本発明は、半導体装置の実装方法に関し、特にチップを基板にフリップチップ実装するために好適に用いられる実装方法に関する。

**【背景技術】****【0002】**

上記のようにチップを基板にフリップチップ実装する典型的な従来技術は、特許文献 1 に示されている。その従来技術によれば、図 3 ( a ) および図 3 ( b ) で示すように、被接合物のそれぞれの表面にプラズマを照射して活性化 ( 洗浄 ) した後、図 3 ( c ) で示すように、それらの表面を対向させて加圧することで、常温で接合を行い、接合精度の向上を図っている。 40

**【特許文献 1】** 特開 2 0 0 1 - 3 5 1 8 9 2 号公報

**【発明の開示】****【発明が解決しようとする課題】****【0003】**

上述の従来技術では、それぞれの被接合物、たとえばシリコンチップおよび基板の両方にプラズマ照射を行い、前記シリコンチップに形成した金バンプおよび前記基板に形成した電極の金メッキ部分の活性化を行っている。

**【0004】**

したがって、2 回のプラズマ照射工程が必要になり、タクトタイムが長くなるという問 50

題がある。また、プラズマ照射から接合までの時間が長くなると、活性度が低下し、接合性が劣化する。このため、被接合物のプラズマ照射工程を一致させる必要があり、工程の管理が煩雑であるという問題もある。

【0005】

本発明の目的は、活性化工程を短くし、タクトタイムを短縮することができる半導体装置の実装方法を提供することである。

【課題を解決するための手段】

【0006】

本発明の半導体装置の実装方法は、半導体素子を基板にフリップチップ実装して成る半導体装置の実装方法において、前記基板の電極の表面を活性化させる工程と、前記半導体素子にバンプを形成する工程と、前記バンプの結晶粒を大径化させる工程と、前記大径化されたバンプを前記活性化された基板の電極に押圧し、前記半導体素子を基板に接合する工程とを含むことを特徴とする。

10

【0007】

上記の構成によれば、半導体素子を基板にフリップチップ実装するための方法において、従来の常温接合同様に、電極の表面にプラズマを照射するなどして、活性化させる工程を行う一方、本発明では、半導体素子に形成されたバンプ側には前記プラズマ照射を行わず、代わりに、レーザ照射などで前記バンプの結晶粒を大径化させる。なお、これら基板の電極表面を活性化させる工程と、半導体素子にバンプを形成し、その結晶粒を大径化させる工程とは、いずれかを先にして順次に行われてもよく、または平行して行われてもよい。その後、前記バンプを前記電極の表面に押圧して接合することで、バンプ表面の酸化膜や付着物による殻を破り、該バンプの新生面を露出させ、電極の新生面と一体化させる。

20

【0008】

したがって、前記プラズマ照射などによる活性化の工程は1回でよく、常温での接合で接合精度を向上しつつも、活性化工程を短くし、タクトタイムを短縮することができる。

【0009】

また、本発明の半導体装置の実装方法では、前記バンプの結晶粒を大径化させる工程は、レーザ照射で行うことを特徴とする。

【0010】

上記の構成によれば、レーザはスポットでバンプのみに照射することが可能であることから、半導体素子にダメージを与えることなく、結晶粒を大径化させることができる。

30

【0011】

さらにまた、本発明の半導体装置の実装方法では、前記バンプはスタッドバンプから成り、前記バンプ形成工程は、ワイヤをスパークしてバンプを形成する工程と、そのバンプを超音波を併用しながら半導体素子の電極に押付ける工程と、キャピラリを僅かに上昇させて半導体素子の面方向に変位させることで、前記キャピラリの底面で、スパークにより形成された結晶粒の大径化部を露出させた後、ワイヤの先端部を切除する工程とを備えて成ることを特徴とする。

【0012】

上記の構成によれば、追加の加熱プロセスを加えることなく、バンプの結晶粒の大径化部を表面に露出させることができる。

40

【0013】

また、本発明の半導体装置の実装方法は、前記基板の電極表面を活性化させる工程の前に、基板を熱処理することで前記電極を軟化させる工程をさらに有することを特徴とする。

【0014】

上記の構成によれば、基板側も軟化させることで、バンプ側に加えて基板側でも接合時の変形が容易となり、新生面が出易くなって、さらに接合性を向上することができる。

【0015】

50

さらにまた、本発明の半導体装置の実装方法では、前記バンプは金から成り、前記電極表面も金から成ることを特徴とする。

【0016】

上記の構成によれば、金は酸化しないので、前記半導体素子を基板に接合する工程を大気中で行うことができる。

【発明の効果】

【0017】

本発明の半導体装置の実装方法は、以上のように、半導体素子を基板にフリップチップ実装するための方法において、従来の常温接合同様に、電極の表面にプラズマを照射するなどして、該表面を活性化させる工程を行う一方、本発明では、半導体素子に形成されたバンプ側には前記プラズマ照射を行わず、代わりに、レーザー照射などで前記バンプの結晶粒を大径化させ、その後、前記バンプを前記電極の表面に押圧して接合することで、バンプ表面の酸化膜や付着物による殻を破り、該バンプの新生面を露出させ、電極の新生面と一体化させる。

10

【0018】

それゆえ、前記プラズマ照射などによる活性化の工程は1回でよく、常温での接合で接合精度を向上しつつも、活性化工程を短くし、タクトタイムを短縮することができる。

【発明を実施するための最良の形態】

【0019】

[実施の形態1]

20

図1は、本発明の実施の一形態に係る半導体装置1の実装方法を説明するための断面図である。本発明の半導体装置1は、図1(d)で示すように、集積回路チップやMEMS(Micro Electro Mechanical Systems)チップなどの半導体素子2を基板3にフリップチップ実装して成るものである。

【0020】

Siで形成される厚み0.1~0.7mmの前記半導体素子2には、図1(a)で示すように、電極4上に、15~35 $\mu$ mのAuワイヤ5をスパークして形成した30~80 $\mu$ mのAuボールが、超音波を併用しながら荷重を加えて押し潰され、その後プルカットされることで、40~100 $\mu$ m、高さ40~150 $\mu$ mのAuスタッドバンプ6が形成される。

30

【0021】

次に、図1(b)で示すように、前記スタッドバンプ6に、参照符号7で示す第3高調波のYAGレーザを50 $\mu$ mに絞り、照射される。こうしてスタッドバンプ6に局所的に熱を与えて突起部分6aを溶融させることによって、該突起部分6aは溶融して低くなるが、溶融した部分は結晶粒が大きくなり、硬度も軟化する。このようにして、結晶粒の大径化した部分が最表面に形成される。

【0022】

一方、接合される基板3には、セラミック基板、有機基板(FR-4)等が使用される。基板3上には、通常Cu配線8aが施されているが、ここでは前記Auから成るスタッドバンプ6とAu-Au接合を行うため、前記Cu配線8a上に、Ni:3~5 $\mu$ m、Au:0.1 $\mu$ m以上のめっき層8bが積層されて電極8が形成される。続いて、この基板3には、参照符号9で示すように、Arプラズマの照射が行われ、電極8の表面が活性化される。これによって、該電極8の表面は浄化され、さらに新生面が露出される。活性化は、基板3をチャンパー内に設置し、たとえば10~5Torr以下に真空引きした後に、Arを1~10Paになるまで封入し、高周波電源から、たとえば4インチ角で25~150W、30~180秒程度、Arプラズマを発生させて電極8の表層のAuを数nmエッチングすることで行われる。

40

【0023】

なお、これら基板3の電極8の表面を活性化させる工程と、半導体素子2にスタッドバンプ6を形成し、その結晶粒を大径化させる工程とは、いずれかを先にして順次に行われ

50

てもよく、または平行して行われてもよい。

【0024】

その後、活性化させた基板3をチャンバーから取出してフリップチップボンダーのテーブルにセットし、前工程で結晶粒を大径化した部分をスタッドパンプ6の最表面に有する半導体素子2を、図1(d)で示すように、反転し、アライメントして常温で加圧接合を行う。そのとき、パンプ当り、50~300gの荷重を与えることで、スタッドパンプ6側が潰れて現れたAuの新生面と、活性化された基板3の電極8の表層のAuとが接合される。なお、Auは酸化しないので、活性化後は上述のようにチャンバーから取出し、大気中に置いて、10分程度であれば活性化状態が残っており、Auスタッドパンプ6と基板Au電極8との接合が可能である。しかしながら、チャンバーから取出さずに、チャン

10

【0025】

このようにして実装することで、前記プラズマ照射などによる活性化の工程は1回でよく、活性化工程を短くし、接合性を向上することができる。これによって、半導体素子2およびそれを実装して成る半導体モジュールなどの半導体装置1の信頼性を向上することができる。また、スタッドパンプ6の結晶粒を大径化させる工程を、レーザー照射で行うことで、レーザーはスポットでスタッドパンプ6のみに照射することが可能であることから、半導体素子2にダメージを与えることなく、結晶粒を大径化させることができる。

【0026】

[実施の形態2]

図2は、本発明の実施の他の形態に係る半導体装置11の実装方法を説明するための断面図である。この半導体装置11は、前述の図1で示す半導体装置1に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。

20

【0027】

先ず、半導体素子2には、Auワイヤ5をスパークして形成したAuボールが、超音波を併用しながらキャピラリ10の底面で荷重を加えて押し潰されることで、Auスタッドパンプ6が形成される。さらに本実施の形態では、図2(a)で示すように、キャピラリ10を10μm程度上昇させて半導体素子2の面方向に変位させることで、前記キャピラリ10の底面で、スパークにより形成された結晶粒の大径化部を露出させた後、ワイヤ5の先端部を切除する。

30

【0028】

一方、接合される基板3には、図2(c)において、前記図1(c)と同様のArプラズマ照射が行われる前に、図2(b)で示すように、熱処理が行われる。具体的には、前記基板3は、セラミック基板や有機基板等から成り、前記Cu配線8a上にめっき層8bが積層された電極8が形成されている。この基板3を、N<sub>2</sub>雰囲気中に充填した高温炉12内に300℃で1時間程度投入し、Auを軟化させる。この軟化によって、スタッドパンプ6側に加えて、基板3側でも接合時の変形が容易となり、接合性が良くなる。その後、図2(c)で示すArプラズマ照射が行われる。

【0029】

なお、本実施の形態においても、図2(b)および図2(c)で示す基板3の電極8の表面に新生面を露出させる工程と、図2(a)で示す半導体素子2にスタッドパンプ6を形成し、その結晶粒を大径化させる工程とは、いずれかを先にして順次に行われてもよく、または平行して行われてもよい。その後、前記図1(d)と同様に、図2(d)で示すように、活性化させた基板3をチャンバーから取出して半導体素子2との加圧接合が行われる。

40

【0030】

このようにして実装することでもまた、前記プラズマ照射などによる活性化の工程は1回でよく、活性化工程を短くし、接合性を向上することができる。これによって、半導体素子2およびそれを実装して成る半導体モジュールなどの半導体装置1の信頼性を向上することができる。また、スタッドパンプ6を形成した後、キャピラリ10を僅かに上昇さ

50

せて半導体素子 2 の面方向に変位させることで、追加の加熱プロセスを加えることなく、スタッドバンプ 6 の結晶粒の大径化部を露出させることができる。

【0031】

さらにまた、基板 3 へのプラズマ照射の前に、該基板 3 を熱処理して軟化させておくことで、スタッドバンプ 6 側に加えて基板 3 側でも接合時の変形が容易となり、新生面が出易くなって、さらに接合性を向上することができる。

【0032】

上述の第 1 および第 2 の実施の形態において示した各条件は、一実施形態における条件であって、電極 4, 8 およびスタッドバンプ 6 の大きさや材料ならびにそれらの間に求められる接合強度などに応じて適宜変更され、設定されるものである。このような各条件の設定は、当業者であれば適宜成し得る事項である。したがって、当業者が実施する変更は、特許請求の範囲に記載された請求項の権利範囲を逸脱するものでない限り、当該請求項の権利範囲に包括されると解釈される。

10

【図面の簡単な説明】

【0033】

【図 1】本発明の実施の一形態に係る半導体装置の実装方法を説明するための断面図である。

【図 2】本発明の実施の他の形態に係る半導体装置の実装方法を説明するための断面図である。

【図 3】従来技術による半導体装置の実装方法を説明するための断面図である。

20

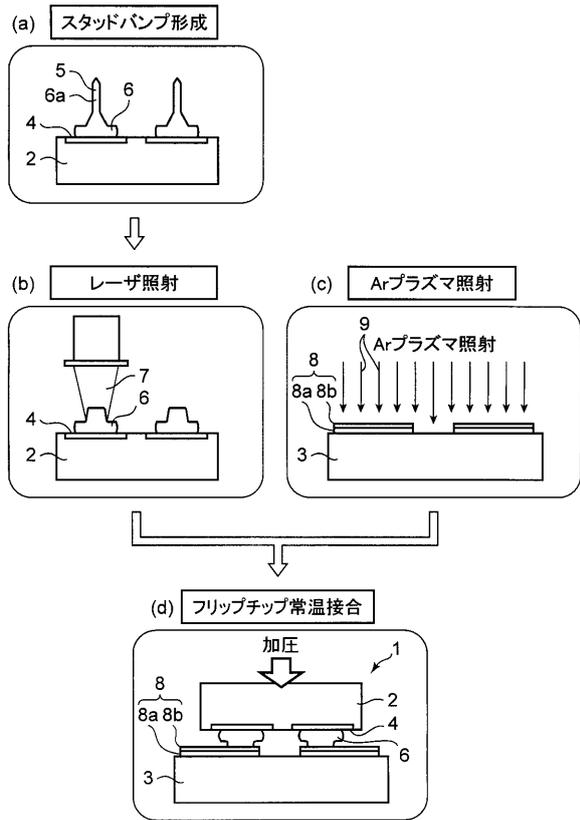
【符号の説明】

【0034】

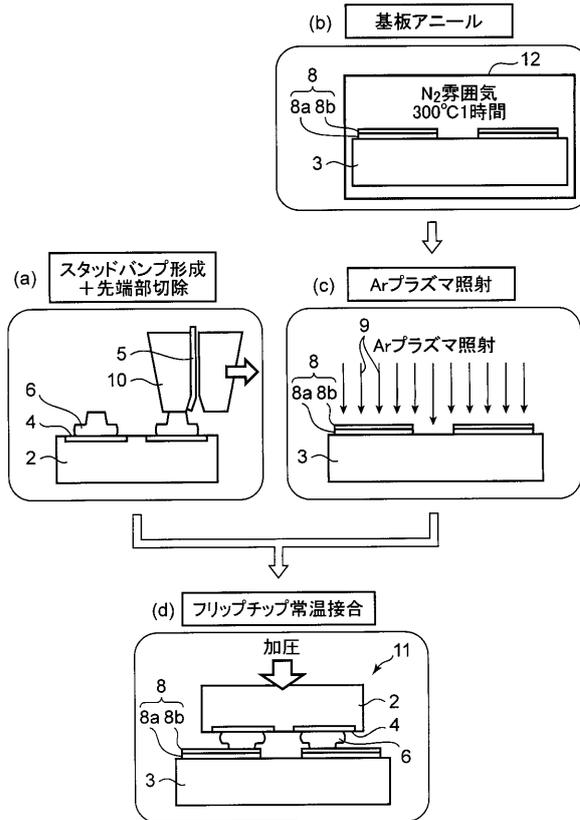
- 1, 11 半導体装置
- 2 半導体素子
- 3 基板
- 4, 8 電極
- 5 ワイヤ
- 6 スタッドバンプ
- 7 レーザ照射
- 9 Ar プラズマ照射
- 12 高温炉

30

【 図 1 】



【 図 2 】



【 図 3 】

