

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3703387号

(P3703387)

(45) 発行日 平成17年10月5日(2005.10.5)

(24) 登録日 平成17年7月29日(2005.7.29)

(51) Int. Cl.⁷

F I

G 1 1 C 27/02
H 0 3 K 17/00
H 0 3 K 17/687

G 1 1 C 27/02 6 0 1 N
H 0 3 K 17/00 D
H 0 3 K 17/687 G

請求項の数 10 (全 14 頁)

(21) 出願番号 特願2000-330152 (P2000-330152)
(22) 出願日 平成12年10月30日(2000.10.30)
(65) 公開番号 特開2002-133891 (P2002-133891A)
(43) 公開日 平成14年5月10日(2002.5.10)
審査請求日 平成13年9月19日(2001.9.19)

(73) 特許権者 000232036
NECマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403
番53
(74) 代理人 100124914
弁理士 徳丸 達雄
(72) 発明者 服部 茂雄
神奈川県川崎市中原区小杉町一丁目403
番53 日本電気ア
イシーマイコンシステム株式会社内

審査官 柳下 勝幸

最終頁に続く

(54) 【発明の名称】 サンプル&ホールド回路

(57) 【特許請求の範囲】

【請求項1】

差動入力信号を受ける第1および第2の端子と、前記端子に接続される第1のSW回路と、前記差動入力信号をサンプル&ホールドするサンプリング容量と、前記サンプリング容量両端の電荷をホールドする差動入力形オペアンプ回路と、前記サンプリング容量の一端と前記差動入力形オペアンプ回路の入力端とに接続される第3のSW回路と、前記第1と第3とのSW回路を制御する制御回路とを備え、

前記第1のSW回路を介して前記サンプリング容量の片側に接続されるサンプリング容量をそれぞれ2組持ち、これらサンプリング容量は、一方の組がサンプリング動作を行っている期間に、他方の組がホールド動作を行うインターリーブ動作をし、前記インターリーブ動作の制御は、前記制御回路で行い、

前記差動入出力形オペアンプ回路の入力端子間には、第2のSW回路を設け、前記第2のSW回路の制御は、前記インターリーブ動作を行う制御回路によって制御されて、前記インターリーブ動作の切り替え期間中にオンとなり、前記差動入力形オペアンプ回路の入力端同士をショートさせることを特徴とするサンプル&ホールド回路。

【請求項2】

前記第1と第3のSW回路の動作制御タイミングは、前記インターリーブ動作の切り換え動作毎に行い、ホールド動作によって前記差動入出力オペアンプ回路の入力端子に接続された前記第3のSW回路がOFF動作になるタイミングと、他方のサンプリング動作からホールド動作への移行の為に、差動入出力オペアンプ回路の入力端子に接続する第3のS

10

20

W回路がON動作になるホールド動作へ移行するタイミングの期間で、差動入出力オペアンプ回路の入力端子間に設けた第2のSW回路がOFF動作からON動作、そしてON動作からOFF動作へと一連の動作を行う請求項1に記載のサンプル&ホールド回路。

【請求項3】

前記第2のSW回路は、MOS形トランジスタで構成される請求項1また、2または3に記載のサンプル&ホールド回路。

【請求項4】

前記第2のSW回路は、前記差動入出力オペアンプ回路の差動入力信号電圧レベルに対応するPch型MOSトランジスタ回路構成される請求項3に記載のサンプル&ホールド回路。

【請求項5】

前記第2のSW回路は、前記差動入出力オペアンプ回路の差動入力信号電圧レベルに対応するNch型MOSトランジスタ回路で構成される請求項3に記載のサンプル&ホールド回路。

【請求項6】

ホールド動作に乗算動作を加え、前記差動入力信号による差動出力信号振幅をコントロールする乗算回路を備える請求項1, 2, 3, 4または5に記載のサンプル&ホールド回路。

【請求項7】

前記乗算回路は、基準電圧VRT、基準電圧VRBと2つのサンプリング容量によって差動出力電圧を制御する請求項6に記載のサンプル&ホールド回路。

【請求項8】

前記乗算回路は、2倍プラス加算モードで加減演算が行われることを特徴とする請求項7に記載のサンプル&ホールド回路。

【請求項9】

前記乗算回路は、2倍モードで加減演算が行われることを特徴とする請求項7に記載のサンプル&ホールド回路。請求項1, 2, 3, 4, 5または請求項7に記載のサンプル&ホールド回路。

【請求項10】

前記乗算回路は、2倍プラス減算モードで加減演算が行われることを特徴とする請求項7に記載のサンプル&ホールド回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、サンプル&ホールド回路に関し、特に、A/Dコンバータ回路に係るサンプル&ホールド回路に関する。

【0002】

【従来の技術】

図4に従来のA/Dコンバータ回路に係るサンプル&ホールド回路を示す。このサンプル&ホールド回路は、一方のサンプリング容量C1b(2)とサンプリング容量C2b(3)とが差動入出力型オペアンプ回路10によってホールド動作であり、他方のサンプリング容量C1a(1)とサンプリング容量C2a(4)はサンプリング動作である。

【0003】

このサンプル&ホールド動作期間が終わると、サンプル&ホールド回路は、インターリーブ動作させるために、ホールド動作であるものはサンプリング動作へ移行し、サンプリング動作にあるものはホールド動作に制御回路11によって変更される。

【0004】

サンプリング容量C1b(2)とサンプリング容量C2b(3)が、差動入出力型オペアンプ回路によって、ホールド動作からサンプリング動作へ移る場合には、制御信号4によってSW回路6, 7がON動作からOFF動作になり、差動入出力型オペアンプ10の

10

20

30

40

50

入力端子から接続が切れる。

【 0 0 0 5 】

S W回路 6、7ではOFF動作によるチャージインジェクションが発生して、差動入出力型オペアンプ10の入力端子であるノードAとノードBにS W回路6、7のゲート容量による電荷のチャージが行われる。

【 0 0 0 6 】

この電荷のチャージ量は、各S W回路のタイミング、ゲート端子におけるスルーレート、各S W回路の両端子に接続される回路インピーダンス等によって電荷のチャージ量が変化する。

【 0 0 0 7 】

すなわち、S W回路6、7が制御信号4によってOFF動作する事でM O Sトランジスタのソース端子、ドレイン端子にチャ - ジインジェクションによる電荷が発生し差動入出力型オペアンプ10の入力端子であるノードAおよび、ノードBには、S W回路6、およびS W回路7の回路動作条件によって、異なった電荷がチャージする。この異なった電荷のチャージ量による差動成分は、ノードAおよび、ノードBが高インピーダンス状態にある為にノード端子に保持する。

【 0 0 0 8 】

インターリーブ動作である他方のサンプリング動作にあるサンプリング容量C 1 aとサンプリング容量C 2 aは、ホールド動作への移行に、制御信号1によってS W回路5、8がOFF動作からON動作へ差動入出力型オペアンプ10の入力端子に接続変更する。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、S W回路5、6の接続によってチャージインジェクションによってノードAおよび、ノードBに保持した差動成分は、サンプリング容量C 1 aとサンプリング容量C 2 aに各々チャージすることになる。

【 0 0 1 0 】

そのために、サンプリング容量C 1 a, サンプリング容量C 2 aには、差動入力信号でのサンプリング結果にノードAおよび、ノードBに保持した差動成分が加算された状態が起こり、本来のサンプリング結果がS W回路OFF動作によるチャージインジェクションによって変化してしまい、エラーを含んだ結果をホールド動作にて差動出力結果として出力する不具合が生じていた。

【 0 0 1 1 】

S W回路6、7におけるチャージインジェクションの電荷量は、S W回路のタイミング、S W回路の両端子に接続される回路インピーダンス、M O Sトランジスタのゲート容量、製造ばらつきによって変動するものである。

【 0 0 1 2 】

その為に差動入出力型オペアンプ10の入力端子のノードAおよび、ノードBへの差動成分は一定でなく変動値を持つ事になる。この差動成分エラーは、高精度のA / Dコンバータ回路におけるサンプル&ホールド回路では、ビット精度以上のエラーとなり高精度のA / D変換回路を実現できなくなった。

【 0 0 1 3 】

したがって、上記の問題に鑑み、本発明の主な目的は、上記の問題に鑑み、これらの問題を解決したサンプル&ホールド回路を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

本発明のサンプル&ホールド回路は、差動入力信号を受ける第1および第2の端子と、前記端子に接続される第1のS W回路と、前記差動入力信号をサンプル&ホールドするサンプリング容量と、前記サンプリング容量両端の電荷をホールドする差動入力形オペアンプ回路と、前記サンプリング容量の一端と前記差動入力形オペアンプ回路の入力端とに接続される第3のS W回路と、前記第1と第3とのS W回路を制御する制御回路とを備え、前

10

20

30

40

50

記第1のSW回路を介して前記サンプリング容量の片側に接続されるサンプリング容量をそれぞれ2組持ち、これらサンプリング容量は、一方の組がサンプリング動作を行っている期間に、他方の組がホールド動作を行うインターリーブ動作をし、前記インターリーブ動作の制御は、前記制御回路で行い、前記差動入出力形オペアンプ回路の入力端子間には、第2のSW回路を設け、前記第2のSW回路の制御は、前記インターリーブ動作を行う制御回路によって制御されて、前記インターリーブ動作の切り替え期間中にオンとなり、前記差動入力形オペアンプ回路の入力端同士をショートさせる構成である。

【0015】

さらに、本発明のサンプル&ホールド回路の前記第1と第3のSW回路の動作制御タイミングは、前記インターリーブ動作の切り換え動作毎に行い、ホールド動作によって前記差動入出力オペアンプ回路の入力端子に接続された前記第3のSW回路がOFF動作になるタイミングと、他方のサンプリング動作からホールド動作への移行の為に、差動入出力オペアンプ回路の入力端子に接続する第3のSW回路がON動作になるホールド動作へ移行するタイミングの期間で、差動入出力オペアンプ回路の入力端子間に設けた第2のSW回路がOFF動作からON動作、そしてON動作からOFF動作へと一連の動作を行う構成とすることもできる。

10

【0016】

さらにまた、本発明のサンプル&ホールド回路の前記第2のSW回路は、MOS形トランジスタで構成され、前記第2のSW回路は、前記差動入出力オペアンプ回路の差動入力信号電圧レベルに対応するPch型MOSトランジスタ回路構成することもでき、前記第2のSW回路は、前記差動入出力オペアンプ回路の差動入力信号電圧レベルに対応するNch型MOSトランジスタ回路で構成とすることもできる。

20

【0017】

さらに、本発明のサンプル&ホールド回路は、ホールド動作に乗算動作を加え、前記差動入力信号による差動出力信号振幅をコントロールする乗算回路を備えるの構成とすることもできる。

【0018】

【発明の実施の形態】

次に、図面を参照しながら、本発明の実施の形態について以下に詳述する。

【0019】

図1には、本発明の第1の実施の形態のサンプル&ホールド回路が示されている。

30

【0020】

図1を参照すると、本発明の第1の実施の形態のサンプル&ホールド回路は、A/Dコンバータ回路におけるサンプル&ホールド回路で、差動入力信号端子VIN_P端子側とVIN_N端子側に、SW回路21~24を介してサンプリング容量1~4が接続され、4つのサンプリング容量は、サンプリング容量C1aとサンプリング容量C2aを1組のサンプル&ホールド回路とし、他方のサンプリング容量C1bとサンプリング容量C2bをもう1組のサンプル&ホールド回路として構成している。

【0021】

これら2組のサンプル&ホールド回路は、一方の組がサンプリング動作を行っている期間に、他方の組がホールド動作期間であるインターリーブ動作を行う。インターリーブ動作は、制御回路11によって制御され、ホールド動作の手段として用いる差動入出力形オペアンプ10を備え、差動入出力形オペアンプ10の入力端子間にはSW回路9を設け、SW回路9の動作は、インターリーブ動作を行う制御回路11によって制御する。

40

【0022】

次に、本発明の第1の実施の形態のサンプル&ホールド回路の構成を、より詳細に説明するは

図1を参照すると、本発明の第1の実施の形態のサンプル&ホールド回路は、差動信号入力端子であるVIN_P端子側とVIN_N端子側にSW回路(21~24)を介して接続するサンプリング容量(1~4)を具備する。

50

【0023】

これらサンプリング容量1～4の端子には、SW回路(21～24)を含め各々の端子に2個のSW回路が接続される。各サンプリング容量に接続する4つのSW回路によってサンプリング動作とホールド動作を制御する。

【0024】

一方のサンプリング容量C1aとサンプリング容量C2aの組がサンプリング動作を行っている期間に、他方のサンプリング容量C1bとサンプリング容量C2bの組がホールド動作を行う。

【0025】

本発明の第1の実施の形態のサンプル&ホールド回路のサンプル&ホールド動作は、各SW回路の制御信号で行なう。制御回路11は、互いにサンプリング動作とホールド動作を入れ換えるインターリーブ動作も制御する。

10

【0026】

ホールド動作の手段として用いる差動入出力形オペアンプ10と、差動入出力形オペアンプ10の入力端子間にはSW回路9を設ける。

【0027】

ホールド動作時は、サンプリング容量の両端子が差動入出力形オペアンプ回路10の入出力端子にSW回路(5～8)およびSW回路25～28を介して接続する。サンプリング動作時には、サンプリング容量の片側の端子は、サンプリング時の基準となるVCOM端子にサンプリング容量1～4の片側の端子がSW回路29～32を介して接続する。

20

【0028】

他方の端子は、差動信号入力端子であるVIN_P端子側とVIN_N端子側にSW回路21～24を介して接続する。差動入出力形オペアンプ10の入力端子間に設けたSW回路9の動作は、制御回路11によって制御する。ホールド動作時には、ホールドされた差動出力電圧を外部に出力するために差動出力端子VOUT_N端子とVOUT_P端子を備える。

【0029】

次に、本発明の第1の実施の形態のサンプル&ホールド回路の動作について説明する。

【0030】

本発明の第1の実施の形態のサンプル&ホールド回路は、差動信号入力端子であるVIN_P端子とVIN_N端子に差動信号電圧が入力信号として入力される。

30

【0031】

差動信号入力電圧は、VCOM端子電圧をコモン電圧としたサンプリング動作によりサンプリング容量にサンプリングする。サンプリングされた電圧は、ホールド動作により差動入出力形オペアンプ回路10を用いてホールド電圧出力として差動出力端子VOUT_N端子とVOUT_P端子に増幅率1で出力する。

【0032】

VIN_P端子側にサンプリング容量C1aとサンプリング容量C2aが、VIN_N端子側にサンプリング容量C1bとサンプリング容量C2bがSW回路21～24を介して接続された2組のサンプル&ホールド回路を構成する。サンプル&ホールド動作は交互に行われるインターリーブ動作を制御回路11により制御する。図2に2組のサンプル&ホールド回路の動作タイミングチャートをSW回路の制御信号を用いて示す。

40

【0033】

本発明の第1の実施の形態のサンプル&ホールド回路の各SW回路の動作制御状態は、図2のタイミングチャートで示す。

【0034】

タイミングT点(t21)は、サンプリング容量C1aとC2aが制御信号4、2D信号のON条件によってサンプリング動作接続を行い、サンプリングS1の期間を表す。

【0035】

他方のサンプリング容量C1bとC2bが制御信号1、4信号のON条件によってホ

50

ールド動作接続を行い、ホールドH0の期間を表す。

【0036】

サンプリングS1期間のサンプリング動作時の接続条件として、VIN__P端子の差動入力電圧は、SW回路21とSW回路29がON動作でありサンプリング容量C1aにはVCOM端子電圧を基準電圧(コモン)とした差動入力電圧をサンプリングする。

【0037】

同様にVIN__N端子側は、SW回路24とSW回路32がON動作でありサンプリング容量C2aにVCOM端子電圧を基準電圧(コモン)とした差動入力電圧をサンプリングする。

【0038】

他方であるホールドH0期間のホールド動作時の接続条件は、サンプリング容量C1bの両端子が、それぞれSW回路6とSW回路25がON動作であり差動入出力形オペアンプ回路10の入力端子(+)と出力端子(-)に接続しサンプリング容量C1bにサンプリングした電荷をホールド(保持)する。

【0039】

同様にサンプリング容量C2bの両端子は、SW回路7とSW回路28がON動作であり差動入出力形オペアンプ回路10の入力端子(-)と出力端子(+)に接続しサンプリング容量C2bにサンプリングした電荷をホールド(保持)する。

【0040】

ホールド(保持)する電荷は、差動入出力形オペアンプ回路10の差動出力として出力端子VOUT__N端子とVOUT__P端子に差動電圧として出力する。一連のサンプル&ホールド動作期間を終えると、インターリーブ動作の為に、サンプリング動作であるものはホールド動作に、ホールド動作にあるものは、サンプリング動作へと制御回路11の制御信号によって動作する。

【0041】

インターリーブ動作の切り換え期間に、SW回路9は制御信号Aを用いてON&OFF動作する。SW回路9のON動作によって差動入出力形オペアンプ回路10の入力端子(+)と入力端子(-)は、SW回路9を介して接続する。

【0042】

SW回路9をON動作する制御動作タイミングは、ホールド動作中であるSW回路6、7がサンプリング動作に移行するためにOFF動作になった後に、SW回路9をOFFからON動作制御する。

【0043】

次に、ONからOFF動作する制御動作タイミングは、インターリーブ動作の他方のサンプリング動作中からホールド動作に移行する前にOFF動作する。SW回路9がON動作からOFF動作に戻った後に、サンプリング動作であったサンプリング容量C1aは、SW回路5、26がON動作となりホールド動作に移り、ホールド動作であったサンプリング容量C1bは、SW回路22、30がON動作となりサンプリング動作に移り、インターリーブ動作を完了する。

【0044】

この様に、インターリーブ動作を行う2組のサンプリング容量とサンプル&ホールド動作を制御する制御回路11を用いて、インターリーブ動作の切り替え期間中に差動入出力形オペアンプ回路10の入力端子間に設けたSW回路9を一時的にON動作して差動入出力形オペアンプ回路10の入力端子(+)と入力端子(-)の接続(ショート)する。

【0045】

一般にサンプル&ホールド回路に用いられるSW回路にはMOSトランジスタが使用される。インターリーブ動作の切り換え期間中にホールド動作接続にあるSW回路6、7が制御信号4によりONからOFF動作に切り換り差動入出力型オペアンプ10の入力端子(+)と入力端子(-)は開放状態(オープン)になる。

【0046】

10

20

30

40

50

この時、SW回路6、7にMOSトランジスタを使用しているのでSW回路のOFF動作によってチャージインジェクションが発生する。差動入出力型オペアンプ10の入力端子(+)のノードAと入力端子(-)のノードBにSW回路6、7のゲート容量に蓄えられていた電荷による電荷再分配がソース端子、ドレイン端子に電荷のチャージとして行われる。図5にチャージインジェクションの原理を示す。

【0047】

MOSトランジスタの両端子に低インピーダンスである理想電源 V_{in} と C_{load} 負荷とする V_{out} 出力を示すが、この時MOSトランジスタのゲート容量 C_g ($C_{gs} + C_{ds}$)にはゲート電圧 V_{gs} によって電荷 Q がチャージされている。

V_{th} = MOSトランジスタにおける閾値電圧

$$Q = C_g \cdot (V_{gs} - V_{th})$$

MOSトランジスタがON状態でゲート容量に蓄えられた電荷 Q は、MOSトランジスタがON動作からOFF動作を行うとソース端子及びドレイン端子に等しく50対50に電荷 Q が分配されます。その為、 C_{load} 負荷とする V_{out} 出力には、MOSトランジスタにおける電荷 Q の影響を受けて V_{out} 出力が V_{out} 変化する。

(MOSトランジスタにNch_MOSを使用した場合)

$$V_{out} = - (C_g (V_{gs} - V_{th}) / 2 C_{load})$$

この様に、MOSトランジスタがON動作からOFF動作に変化する時にMOSトランジスタのゲート容量に蓄えられた電荷 Q が C_{load} 負荷に対して V_{out} 電圧を出力電圧 V_{out} に変化を与えてしまう現象をチャージインジェクションという。

【0048】

図5においては、低インピーダンスである理想電源 V_{in} を用いて説明してあるので、電荷 Q は、1/2づつに分配され、ソース端子に電荷1/2 Q 、ドレイン端子に電荷1/2 Q 配分されたが、図1におけるサンプル&ホールド回路では、理想電源 V_{in} の代わりにサンプリング容量2、3が接続され、 C_{load} 負荷には差動入出力型オペアンプ10の入力端子容量へ置き換えられる。

【0049】

置き換えられた、サンプリング容量は高インピーダンス回路、また出力差動入出力型オペアンプ10の入力端子においても高インピーダンス回路であり、電荷 Q の分配率が50対50の理想条件と異なる。

【0050】

その為に電荷分配についてはサンプリング容量と出力差動入出力型オペアンプ10の入力端子などの負荷条件にによって50対50の分配から再分配が行われ分配率が変化します。サンプリング容量の片側端子は、SW回路25、28が接続し、前記SW回路25、28はON動作状態であるので差動入出力型オペアンプ10の出力端子である低インピーダンス回路へと繋がっている。

【0051】

その為にSW回路6、7におけるチャージインジェクション電荷 Q の配分は、サンプリング容量の片側端子であるSW回路25、28と出力差動入出力型オペアンプ10によって分配が決定する。今、サンプリング容量2側では、SW回路6における電荷 Q の配分電荷を $-Q_{c1b}$ とすると、サンプリング容量2に $-Q_{c1b}$ がチャージされたので電荷保存則よりサンプリング容量の反対側の端子から同じだけの電荷を供給したことになり $-Q_{c1b}$ と等しい逆電荷 $+Q_{c1b}$ が発生しなければいけない。

【0052】

$+Q_{c1b}$ は、SW回路25を介して差動入出力型オペアンプ10の出力端子から供給されるが、チャージインジェクションは、SW回路のON動作からOFF動作までの短い時間 t に行われるものであり、差動入出力型オペアンプ10の出力端子から供給される電荷は、サンプリング容量2の容量値 C_{1b} 、SW回路25のON抵抗 R_{swon25} によって再分配が制御される。

【0053】

10

20

30

40

50

【数 1】

$$Q_{c1b} = Q_0 \left(1 - e^{-\frac{t}{c1b \cdot RSWON25}} \right)$$

【0054】

なお、 Q_0 は、サンプリング容量 2 にサンプリング時に既に蓄えられたサンプリング電荷である。

【0055】

+ Q_{c1b} は、時間 t における SW 回路 25 の ON 抵抗とサンプリング容量 C_{1b} によって決定される。時間 t は、SW 回路 6 の ON 動作から OFF 動作へ移行する期間の時間であり、微小時間 t がほぼ 0 (s) 時では、 Q_{c1b} がほぼ 0 (c) となる。これは、動入出力型オペアンプ 10 の入力端子 (+) からの電荷の供給が少時間 t がほぼ 0 (s) では行なえ為に、 Q_{c1b} がほぼ 0 (c) になる条件であり、チャージインジェクションによる電荷の分配は理想分配の 50 対 50 に分配される。

10

【0056】

$1/2 Q$ づつに分配された電荷に対してからサンプリング容量 2 の片側端子は、電荷保存即に従い電荷を SW 回路 25 が ON 動作である間に供給する。

【0057】

しかし、時間 t は、MOS トランジスタにおける SW 動作であり有限の時間をもつ。その為 Q_{c1b} が発生することで、電荷 Q に対する再分配が行なわれ理想条件からずれた分配率がおこる。

20

【0058】

動入出力型オペアンプ 10 の入力端子に配分される電荷 Q_{inP} は、電荷 Q よりサンプリング容量 2 に配分された電荷 Q_{c1b} の残りが配分される。

$$Q_{inP} = -Q - (-Q_{c1b})$$

【0059】

【数 2】

$$= Q + Q_0 \left(1 - e^{-\frac{t}{c1b \cdot RSWON25}} \right)$$

30

【0060】

同様に、差動入出力型オペアンプ 10 の入力端子 (-) に配分される電荷 Q_{inN} は、

$$Q_{inN} = -Q - (-Q_{c2b})$$

【0061】

【数 3】

$$= -Q + Q_0 \left(1 - e^{-\frac{t}{c2b \cdot RSWON28}} \right)$$

40

【0062】

この時、SW 回路 6、7 で各々発生するチャージインジェクションの電荷 Q は、サンプリング容量、SW 回路 25、28 の ON 抵抗によって差動入出力型オペアンプ 10 の入力端子 (+) および入力端子 (-) に配分される電荷量が決定される。

【0063】

特に、SW 回路 25、28 の ON 抵抗については、差動入出力型オペアンプ 10 の出力端子電圧の影響を受ける為、SW 回路 25、28 におけるソース - ドレイン端子間電圧 V_{DS} は差動出力電圧がゼロ電圧 (コモン電圧) ない限り一致することはなく、コモン電圧に対してプラス電位とマイナス電位に振れるので ON 抵抗は異なる。

50

【 0 0 6 4 】

この様に、差動入出力型オペアンプ 10 の入力端子 (+) (-) へは、チャージインジェクションによって配分された電荷が異なった状態でチャージされて差動電荷 Q が差動入出力型オペアンプ 10 の入力端子に現われる。

$$Q = Q_{inP} - Q_{inN}$$

差動電荷 Q は、差動入出力型オペアンプ 10 の入力端子 (+) (-) が高インピーダンス状態で在るために保持される。

【 0 0 6 5 】

その後、インターリーブ動作である他方のサンプリング動作からホールド動作への移行によって、SW回路 5、8 が制御信号 1 によって OFF 動作から ON 動作へと差動入出力型オペアンプ 10 の入力端子に接続変更する時に、前記チャージインジェクションによってノード A および、ノード B に保持した電荷 Q_{inP} と電荷 Q_{inN} は、サンプリング容量 $C1a$ とサンプリング容量 $C2a$ に各々チャージ (加算) される。

10

【 0 0 6 6 】

チャージインジェクションによって発生したノード A および、ノード B に保持した差動電荷 Q がエラー成分として本来のサンプリング結果に含まれる不具合が生じる。

【 0 0 6 7 】

差動電荷 Q が、サンプリング電圧におけるホールド電圧への影響を簡単な数式で表すとサンプリング容量を 1 pF として差動電荷 Q を 1 fC だとすると $V = Q / C$ より $V = 1\text{ mV}$ となる。 $V = 1\text{ mV}$ とは、高精度 A / D コンバータ回路で使用するサンプル & ホールド回路では、決して無視できる誤差電圧値でなくビット精度を悪化させる。

20

【 0 0 6 8 】

本発明では、チャージインジェクションによって発生したノード A および、ノード B に保持した差動電荷をキャンセルすることで本来のサンプリング結果に含まれない事を特徴として高精度のホールド出力結果を出力 (ホールド) する事にある。

【 0 0 6 9 】

本発明は、差動入出力型オペアンプ 10 の入力端子間に SW 回路 9 を設け、SW 回路 6、7 が OFF 動作する事によって生じるチャ - ジインジェクションによってノード A および、ノード B に保持する差動電荷成分を SW 回路 9 と制御信号 A によりノード A とノード B を一時的に接続 (ショート) する。

30

【 0 0 7 0 】

接続する事で前記差動電荷成分をキャンセルし差動成分を取り除き、本来のサンプリング結果にエラーとなる差動成分が加算されない事を特徴とするサンプル & ホールド回路を用いて、高精度 A / D コンバータ回路を実現する。

【 0 0 7 1 】

インターリーブ動作の切り換え期間に、SW 回路 9 を制御信号 A によって一時的に ON 動作すると差動入出力形オペアンプ回路 10 の入力端子であるノード A および、ノード B は、SW 回路 9 を介して接続される。その為にノード A および、ノード B 間にチャージインジェクションによって生じた差動電荷は、バランス (平均化) してノード A および、ノード B に対する差動成分を無くす (キャンセル) ことが出来る。

40

【 0 0 7 2 】

差動電荷の大きい方は、電荷の少ない方へ電荷を分配し直し、最終的にノード A とノード B の電荷は等しく差動電荷が存在しない。次に SW 回路 9 が制御信号 A によって ON 動作から OFF 動作へと移行するとノード A とノード B には差動成分がキャンセルされた状態で基の回路接続状態に戻る。

【 0 0 7 3 】

ノード A および、ノード B 間にチャージインジェクションによって生じた差動電荷のキャンセル後は、インターリーブ動作である他方のサンプリング容量がホールド動作で差動入出力形オペアンプ回路 10 の入力端子に接続する場合に、サンプリング容量に SW 回路 6、7 によるチャージインジェクションの差動電荷成分エラーは加算されず正常なサンプリ

50

ング結果をホールド動作の出力結果として出力することができる。

【0074】

SW回路9のOFF動作によって起きるチャージインジェクションは、SW回路9のソース端子、ドレイン端子に接続される回路インピーダンス条件が、差動入出力形オペアンプ回路10の入力端子であり、シンメトリー回路での回路インピーダンスが等しく、SW回路9によるチャージインジェクションは、 $1/2Q$ づつに分配されるので、差動電荷は微小である。ただし、電荷のチャージは必ず行われるので入力オフセット電圧は発生してしまうが、差動成分への影響はなく問題とならない。

【0075】

図6にノードA及びノードBでの電荷の変化を同時に示す。

10

【0076】

次に、本発明の第2の実施の形態のサンプル&ホールド回路について、説明する。

【0077】

図3には、本発明の第2の実施の形態のサンプル&ホールド回路が示されている。図3は、本発明を用いた乗算回路である。

【0078】

図3を参照すると、本発明の第2の実施の形態のサンプル&ホールド回路の乗算回路の構成は、図1に示す本発明の第1の実施の形態のサンプル&ホールド回路と同様に、サンプリング容量を2組に具備し、交互にサンプル&ホールド動作をするインターリーブ動作制御を行い、制御回路の制御動作タイミングも基本的には、本発明の第1の実施の形態のサ
ンプル&ホールド回路と同じである。

20

【0079】

ただし、乗算回路では、ホールド動作に乗算動作が加わり差動入力信号による差動出力信号振幅をコントロールする。

【0080】

乗算回路は、差動入力信号をサンプリングした後、ホールド期間に、差動入力信号のレベルに合わせた加減算制御信号によって、乗算回路が以下に示す3つの演算モードから一つが選択され加減算が行われ、基準電圧 V_{RT} 、基準電圧 V_{RB} と2つのサンプリング容量によって差動出力電圧を制御する。

$$V_{out} = 2 \times V_{in} + V_{ref} \quad (2倍 + 加算モード)$$

30

$$V_{out} = 2 \times V_{in} \quad (2倍モード)$$

$$V_{out} = 2 \times V_{in} - V_{ref} \quad (2倍 + 減算モード)$$

2倍+加算モードでは、SW回路X330、331がON動作でサンプリング容量C1は、LOW側の基準電圧 V_{RB} 端子に接続、サンプリング容量C6は、高側の基準電圧 V_{RT} 端子に接続する。

【0081】

2倍モードでは、SW回路Y341がON動作でサンプリング容量C1とサンプリング容量C6との片側の端子同士が接続する。

【0082】

最後に、2倍+減算モードでは、SW回路Z336、338がON動作で加算モードと反対にサンプリング容量C1は、高側の基準電圧 V_{RT} 端子に接続、サンプリング容量C6は、LOW側の基準電圧 V_{RB} 端子に接続する。この様にホールド動作で乗算回路は、サンプリング容量の片側の端子が加減算制御信号による制御により3つの接続状態が発生する。

40

【0083】

そのため、SW回路6、7がホールド動作からサンプリング動作へ移行するのにON動作からOFF動作へと発生するチャージインジェクションの分配量は、サンプリング容量の片側端子の接続状態によって、大きく変化してソース端子、ドレイン端子の回路インピーダンスが異なる。

【0084】

50

このために、チャージインジェクションによって生じる差動入出力オペアンプ回路 10 の入力端子に発生する差動成分はばらつき、特に、3つの演算モードの切り替え前後ではSW回路に接続される回路インピーダンスが大きく変化するので差動成分の直線性誤差が大きくなる。

【0085】

この直線性誤差を押さえるために、本発明の第1の実施の形態のサンプル&ホールド回路と同様のSW回路9を設け、インターリーブ動作の切り替え時にSW回路9の動作制御を行うことで、SW回路6、7とSW回路5、8で発生するチャージインジェクションによる差動成分を低減し、差動入出力型オペアンプ10の入力端子にチャージインジェクションによる差動成分が発生しない。

10

【0086】

【発明の効果】

以上説明したように、本発明によれば、ノードAおよび、ノードB間にチャージインジェクションによって生じた差動電荷のキャンセル後は、サンプリング容量にSW回路6、7によるチャージインジェクションの差動電荷成分エラーは加算されず正常なサンプリング結果をホールド動作の出力結果として出力することができる効果がある。

【0087】

なお、本発明は上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は、適宜変更され得ることは明らかである。

【図面の簡単な説明】

20

【図1】本発明の第1の実施の形態のサンプル&ホールド回路を示す回路図である。

【図2】図1に示す本発明の第1の実施の形態のサンプル&ホールド回路の動作を説明するタイミングチャートである。

【図3】本発明の第2の実施の形態のサンプル&ホールド回路を示す回路図である。

【図4】従来のサンプル&ホールド回路を示す回路図である。

【図5】チャージインジェクションの原理を説明する図である。

【図6】ノードAとノードBにおける電荷の移動を説明する図である。

【符号の説明】

1, 2, 3, 4 サンプリング容量

5, 6, 7, 8, 9 SW回路

10 差動入出力オペアンプ

11 制御回路

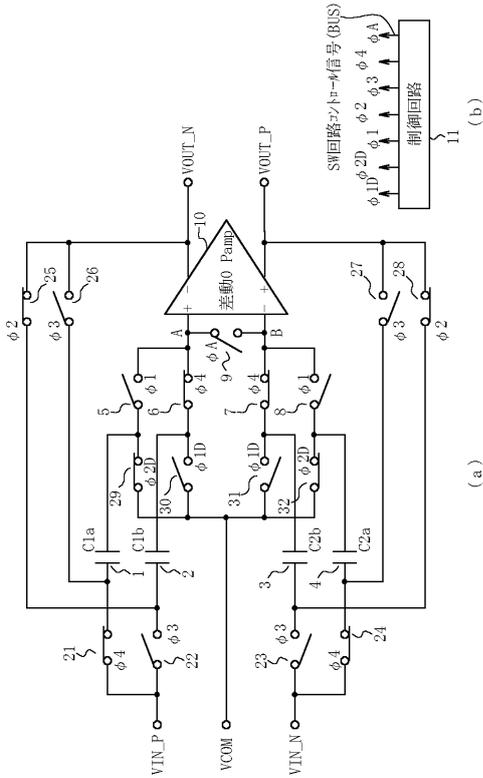
21 ~ 32 SW回路

1, 2, 3, 4, 1D, 2D, A 制御信号

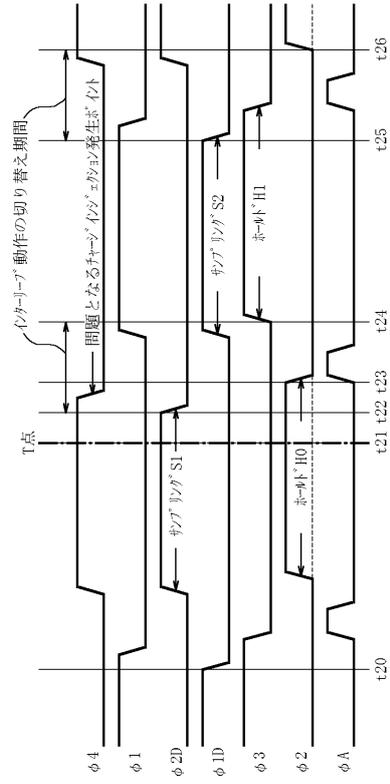
A, B ノード

30

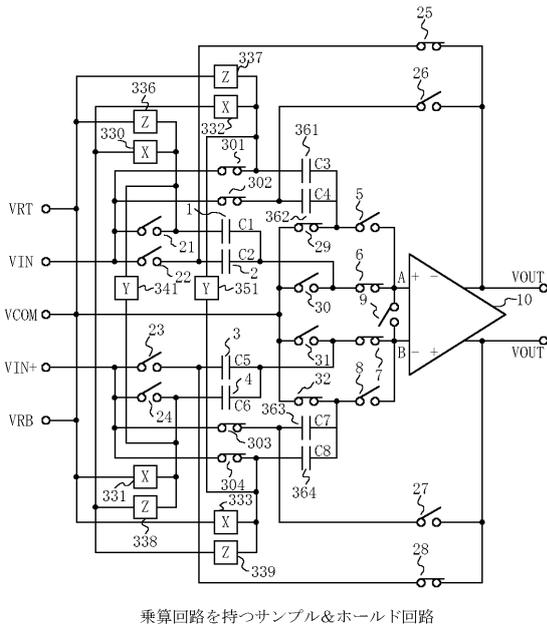
【図1】



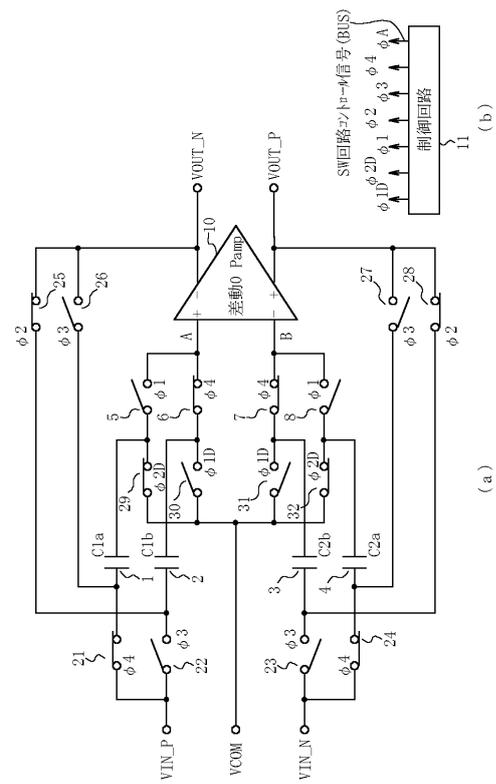
【図2】



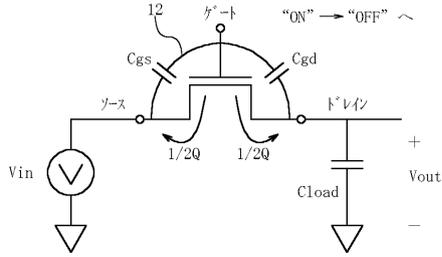
【図3】



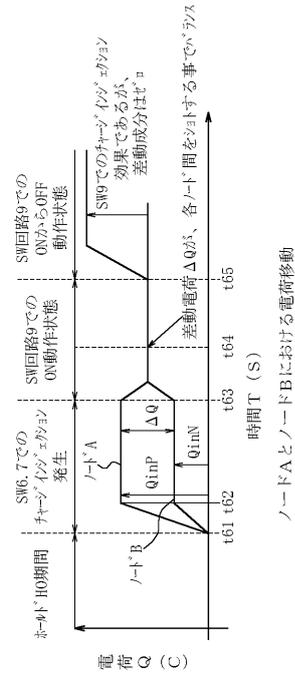
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平4 - 295699 (JP, A)
特開平8 - 273388 (JP, A)
特開平4 - 156722 (JP, A)
米国特許第5381053 (US, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03M1/00~1/88, G11C27/02