

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3553027号

(P3553027)

(45) 発行日 平成16年8月11日(2004.8.11)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int. Cl.⁷

F I

G 1 1 C 11/409

G 1 1 C 11/34 3 5 3 E

G 1 1 C 11/405

G 1 1 C 11/34 3 5 2 B

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2001-115866 (P2001-115866)	(73) 特許権者	000005821
(22) 出願日	平成13年4月13日 (2001.4.13)		松下電器産業株式会社
(65) 公開番号	特開2002-313081 (P2002-313081A)		大阪府門真市大字門真1006番地
(43) 公開日	平成14年10月25日 (2002.10.25)	(74) 代理人	100095555
審査請求日	平成14年6月11日 (2002.6.11)		弁理士 池内 寛幸
		(74) 代理人	100076576
			弁理士 佐藤 公博
		(74) 代理人	100107641
			弁理士 鎌田 耕一
		(74) 代理人	100110397
			弁理士 席丘 圭司
		(74) 代理人	100115255
			弁理士 辻丸 光一郎
		(74) 代理人	100115152
			弁理士 黒田 茂

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ストレージキャパシタに電荷を蓄えてデータを保持するメモリセルと、ワード線の活性化によって前記メモリセルに結合されるビット線と、前記ビット線に結合されるセンスアンプと、前記センスアンプを駆動する駆動信号を発生するセンスアンプ駆動回路とを備え、前記センスアンプ駆動回路は、デコード信号に応じて、書き込み時にのみ前記駆動信号を活性化する第1のトランジスタと、読み出し時またはリフレッシュ時に前記駆動信号を活性化する第2のトランジスタとを含み、前記第1のトランジスタは、前記第2のトランジスタよりも早いタイミングで駆動され、書き込みデータは、前記駆動信号を活性化するより前に前記ビット線に転送されるよう構成したことを特徴とする半導体記憶装置。

【請求項2】

前記センスアンプ駆動回路は、書き込み時に、選択されたワード線が活性化するよりも前に前記駆動信号を発生することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記センスアンプ駆動回路を複数有し、書き込み時、デコード信号に応じて、書き込みが行われるメモリセルに対しては、読み出し時よりも早いタイミングで対応する駆動信号を発生し、リフレッシュのみが行われるメモリセルに対しては読み出し時と同じタイミングで対応する駆動信号を発生することを特徴とする請求項1記載の半導体記憶装置。

10

20

【請求項 4】

書き込み時、書き込みが行われるメモリセルに対しては、選択されたワード線が活性化するよりも前に、対応する駆動信号を発生することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】

書き込み時、書き込みが行われるメモリセルとリフレッシュが行われるメモリセルとの境界領域に、固定電位が印加されビット線方向に伸びる配線を設けたことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】

前記メモリセルは、前記ストレージキャパシタに一端が接続された 2 つのスイッチングトランジスタを備えた 2 T 1 C 型メモリセルであることを特徴とする請求項 1 記載の半導体記憶装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミック・ランダム・アクセス・メモリ (DRAM) 等からなる半導体記憶装置に関し、特に、DRAM の高速化技術に関する。

【0002】

【従来技術】

以下、米国特許第 5 8 5 6 9 4 0 号に開示されている、2 つのトランジスタ (2 T) 及び 1 つのストレージキャパシタ (1 C) からなるメモリセル (2 T 1 C 型メモリセル) を有し、各メモリセルがそれぞれ 2 本ずつのワード線及びビット線と接続された、デュアルワード線及びデュアルビット線方式における「省待ち時間 (Low Latency) DRAM セル」に関して、図面を参照しながら説明する。

20

【0003】

図 1 は、従来省待ち時間 DRAM セルを有する半導体記憶装置のメモリセルの回路構成を示す図である。図 1 において、メモリセル 100 は、第 1 のスイッチトランジスタ 102 と、第 2 のスイッチトランジスタ 103 と、ストレージキャパシタ 104 とから構成される。

【0004】

第 1 のスイッチトランジスタ 102 は、そのゲートが第 1 のワード線 WL0A と接続され、そのドレインが第 1 のビット線 BL0A と接続され、そのソースがストレージノード 101 と接続されている。第 2 のスイッチトランジスタ 103 は、そのゲートが第 2 のワード線 WL0B と接続され、そのドレインが第 2 のビット線 BL0B と接続され、そのソースがストレージノード 101 と接続されている。ストレージキャパシタ 104 は、一方の電極がストレージノード 101 と接続され、他方の電極がセルプレート (CP) となる。

30

【0005】

このように、メモリセル 100 は、一つのストレージキャパシタ 104 に対して、独立に制御可能な第 1 のスイッチトランジスタ 102 と第 2 のスイッチトランジスタ 103 とを有している。従って、複数のメモリセル 100 における、第 1 のワード線 WL0A 及び第 1 のビット線 BL0A と、第 2 のワード線 WL0B 及び第 2 のビット線 BL0B とにインターリーブ動作を行えるために、読み出し動作、書き込み動作を高速に行うことができる。

40

【0006】

【発明が解決しようとする課題】

しかしながら、ランダムサイクル時間は、読み出し動作完了期間と書き込み動作の完了期間のワーストとなる期間によって、その最小時間が規定される。読み出し動作の場合は、ストレージキャパシタ 104 にすでに格納されている蓄積電荷が再度、センスアンプによって再書き込みされるため高速に読み出し動作が完了するが、書き込み動作において、ストレージキャパシタ 104 に蓄えられている電荷と反対論理のデータ書き込みを実施する

50

場合は、充電にかかる時間が大きくなるため、書き込み動作の完了期間は読み出し動作以上に大きくなり、ランダムアクセスサイクル時間が書き込み動作によって長くなってしまい、DRAMを高速化させる際に問題となる。

【0007】

本発明は、かかる問題点を鑑みてなされたものであり、その目的は、2T1C型または1T1C型メモリセルに対する書き込み動作の完了時間を短縮し、ランダムアクセスサイクルの高速化を図った半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る半導体記憶装置は、ストレージキャパシタに電荷を蓄えてデータを保持するメモリセルと、ワード線の活性化によってメモリセルに結合されるビット線と、ビット線に結合されるセンスアンプと、センスアンプを駆動する駆動信号を発生するセンスアンプ駆動回路とを備え、センスアンプ駆動回路は、デコード信号に応じて、書き込み時にのみ駆動信号を活性化する第1のトランジスタと、読み出し時またはリフレッシュ時に駆動信号を活性化する第2のトランジスタとを含み、第1のトランジスタは、第2のトランジスタよりも早いタイミングで駆動され、書き込みデータは、駆動信号を活性化するより前にビット線に転送されるよう構成したことを特徴とする。

【0010】

上記の構成によれば、書き込み時のセンスアンプの増幅開始を、読み出し時に比較して早めることによって、ビット線の電圧を早期に書き込みに十分な電圧とし、短時間でストレージキャパシタに十分な電荷を転送することができる。このため、書き込みに要する時間を削減することができ、半導体記憶装置の動作を高速化することができる。また、デコード信号に応じてセンスアンプの増幅開始タイミングを変更するきめ細かい制御が可能になる。

【0015】

また、本発明に係る半導体記憶装置において、センスアンプ駆動回路は、書き込み時に、選択されたワード線が活性化するよりも前に駆動信号を発生することが好ましい。

【0016】

この構成によれば、ワード線の活性期間を十分にメモリセルに対する書き込みのために用いることができ、さらに半導体記憶装置の動作を高速化することができる。

【0017】

また、本発明に係る半導体記憶装置において、センスアンプ駆動回路を複数有し、書き込み時、デコード信号に応じて、書き込みが行われるメモリセルに対しては、読み出し時よりも早いタイミングで対応する駆動信号を発生し、リフレッシュのみが行われるメモリセルに対しては読み出し時と同じタイミングで対応する駆動信号を発生することが好ましい。

【0018】

この構成によれば、書き込み時、リフレッシュ動作のみを行なうメモリセルが混在する場合でも、リフレッシュ動作を行ないながら、書き込み対象のメモリセルに本発明による高速な書き込みを行なうことができる。

【0019】

また、本発明に係る半導体記憶装置において、書き込み時、書き込みが行われるメモリセルに対しては、選択されたワード線が活性化するよりも前に、対応する駆動信号を発生することが好ましい。

【0020】

この構成によれば、ワード線の活性期間を十分にメモリセルに対する書き込みのために用いることができ、さらに半導体記憶装置の動作を高速化することができる。

【0021】

また、本発明に係る半導体記憶装置において、書き込み時、書き込みが行われるメモリセルとリフレッシュが行われるメモリセルとの境界領域に、固定電位が印加されビット線方

10

20

30

40

50

向に伸びる配線を設けることが好ましい。

【0022】

この構成によれば、書き込み対象のメモリセルのビット線をセンス増幅している間に発生するノイズが、リフレッシュを行なうメモリセルのビット線に影響を及ぼすことを抑制することができる。

【0023】

また、本発明に係る半導体記憶装置において、メモリセルは、ストレージキャパシタに一端が接続された2つのスイッチングトランジスタを備えた2T1C型メモリセルであることが好ましい。

【0024】

この構成によれば、2つのスイッチングトランジスタをインターリーブ動作させることができ、さらに半導体記憶装置の動作を高速化することができる。

【0025】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照して説明する。

【0026】

図4は、本発明の一実施形態によるセンスアンプドライブ回路の構成を示す回路図である。

【0027】

図4において、センスアンプドライブ回路20は、センスアンプドライブ信号SAP、S 20
ANによって、書き込み時と読み出し時あるいは再電荷充電時に、センスアンプの起動タイミングを可変設定するために、イコライズ回路21と、書き込み用の第1のドライバ22と、読み出しまたはリフレッシュ用の第2のドライバ23とから構成される。

【0028】

イコライズ回路21は、センスアンプの起動を行う前に、ある電位VBPヘイコライズ及びプリチャージを行う。第1のドライバ22は、外部アドレス入力と書き込みコマンドによって生成されるデコード信号Y及びその反転信号/Yを受けて、センスアンプドライブ信号SAN及びSAPをセンスアンプに供給する。第2のドライバ23は、Y、/Yよりも遅れて発生される信号SEP及びSENを受けて、センスアンプドライブ信号SAN及びSAPをセンスアンプに供給する。 30

【0029】

外部入力によりアクセスが指定されると、センスアンプ列のイコライズを指定するイコライズ信号EQが論理HighレベルからLowレベルに遷移する。同時に入力された外部アドレスによりデコードされた信号Y及びその反転信号/Yがそれぞれ論理LowからHigh、論理HighからLowに遷移すると、センスアンプドライブ信号SAN及びSAPが、イコライズ電位VBPからそれぞれ論理Lowレベル及び論理Highレベルへと遷移して、センスアンプを起動する。

【0030】

外部から当該半導体記憶装置への命令が書き込みではなく、読み出しまたはリフレッシュである場合、デコード信号Y及びその反転信号/Yは遷移せず、遅れて発生された信号SEN及びSEPにより、読み出しまたはリフレッシュ用の第2のドライバ23がセンスアンプを活性化するため、指定アドレスのみ書き込み時におけるセンスアンプ起動の高速化が実現できる。 40

【0031】

図5は、センスアンプドライブ回路20における、イコライズ信号EQ、デコード信号Y、/Y、及びセンスアンプ起動信号に基づき発生された信号SEN、SEPによる、センスアンプドライブ信号SAN及びSAPの変化を示したタイミング図である。

【0032】

図5において、外部から入力されたアドレス信号に基づいて発生されるイコライズ信号EQが論理HighレベルからLowレベルに遷移すると、イコライズ回路21はイコライ 50

ズを終了して、センスアンプドライブ信号S A N、S A Pはハイインピーダンス状態になる。外部から入力された書き込み命令とそのアドレスに基づいて発生されるデコード信号Y、/ Yはそれぞれ論理L o wレベルからH i g hレベルに、論理H i g hレベルからL o wレベルへと遷移する。書き込み用の第1のドライバ22は、デコード信号Y、/ Yの遷移に応じて、センスアンプドライブ信号S A Nをイコライズ電位V B PからL o wレベルへと遷移させ、センスアンプドライブ信号S A Pをイコライズ電位V B PからH i g hレベルへと遷移させる。それによって、センスアンプによるラッチをかけ、その後に活性化する信号S E N、S E Pによって、読み出しまたはリフレッシュ用の第2のドライバ23がセンスアンプの増幅を加速する。

【0033】

書き込みが終了した後、イコライズ信号E Qは論理H i g hレベルへと遷移し、読み出しまたはリフレッシュ時のアクセスで発生するデコードによって、再度、イコライズ信号E Qが論理L o wレベルへと遷移し、読み出し時とリフレッシュ時は、デコード信号Y、/ Yが遷移せず書き込み用の第1のドライバ22は動作しない。所定の時間だけ遅延した後に発生する信号S E P、S E Nにより、センスアンプドライブ信号S A N、S A Pがそれぞれイコライズ電位V B Pから論理L o wレベル、論理H i g hレベルへと遷移する。

【0034】

なお、センスアンプドライバへ印加する信号として、デコード信号Y、/ Yに代えて、これを遅延させた信号を用いてもよい。

【0035】

図6は、図4のセンスアンプドライブ回路(S A D)20によって駆動されるセンスアンプ列を含むメモリセルアレイ群を示す構成図である。

【0036】

図6において、センスアンプ列60は、単一のセンスアンプドライブ回路20からのセンスアンプドライブ信号S A N、S A Pによって駆動される。センスアンプドライブ回路20は、図4の回路動作により、書き込み時のデコード信号Y、/ Yを受けた第1のドライバ22によって、センスアンプドライブ信号S A N、S A Pを供給する。このため、書き込みを指定されたセンスアンプ列60は、読み出しまたはリフレッシュ動作よりも早い時点で起動して、書き込み動作を開始する。したがって、書き込み時の高速化を実現することができる。なお、デコード信号Y、/ Yに従って、書き込みデータD L、/ D Lがビット線B L 0、/ B L 0 ~ B L n、/ B L nに転送され、その遅延関係は、ビット線にデータが転送されてからセンスアンプドライブ信号S A N、S A Pが活性化するように調整されている。

【0037】

図7は、図6の構成をとるセンスアンプ列60と図4の構成をとるセンスアンプドライブ回路20とが1つのブロックとして複数個配置された場合の半導体記憶装置の構成図である。図7の構成の場合、複数のデコードがなされて書き込みが行われる大容量半導体記憶装置において、高速書き込み動作を実施すると同時に、所定のリフレッシュ動作と読み出し動作も実施可能となる。

【0038】

図8は、図7の半導体記憶装置における各部信号のタイミング図である。

【0039】

図8において、書き込みを指定されたデコードアドレスY 0が書き込みデータD L、/ D Lをビット線B L 0、/ B L 0へ転送し、デコードアドレスY 0、/ Y 0によってセンスアンプドライブ信号S A N、S A Pをセンスアンプに供給し、センスアンプによりビット線のデータが増幅される。その後、選択されたワード線W L aが活性化し論理H i g hレベルへと遷移する。一方、書き込みが指定されていないビット線B L nについては、アドレスデコード信号Y mが遷移しないため、センスアンプドライブ信号S A N、S A Pは既存のタイミングで発生し、通常のリフレッシュ動作のみを行なう。

【0040】

10

20

30

40

50

図9は、すべてのメモリセルアレイが書き換えられる場合の半導体記憶装置の構成例を示す図である。

【0041】

図9において、半導体記憶装置は、センスアンプ起動信号生成回路10、センスアンプドライブ回路20、及びセンスアンプ列60に加えて、外部から入力された信号に基づき、プリデコード信号PX及び書き込み命令信号WTを発生する入力回路91と、センスアンプ起動信号SEを受けて、センスアンプドライブ回路20に信号SEP及びSENを出力するセンスアンプコントロール回路(SAC)92とからなる。

【0042】

図2は、センスアンプ起動信号生成回路10の構成を示す回路図である。図2において、センスアンプ起動信号生成回路10は、センスアンプ起動信号のタイミングを可変設定するために、プリデコード信号PX_n、PX_m、PX_o、PX_q(まとめてPXで表す)をデコードするデコード回路11と、デコード回路11の出力信号SE1を所定の時間だけ遅延させる遅延回路12と、デコード部11の出力信号SE1と、信号遅延部12により遅延された出力信号SE2とを、書き込みコマンドによって発生された書き込み命令信号WTによって選択する選択回路13とから構成される。

10

【0043】

センスアンプ起動信号生成回路10は、センスアンプ起動信号SEのタイミングを可変設定するために、書き込みコマンドによって発生された信号WTが論理Highレベルである場合に、デコード回路11の出力信号SE1をセンスアンプ起動信号SEとして出力し、WTが論理Lowレベルである場合には、遅延回路12の出力信号SE2をセンスアンプ起動信号SEとして出力する。

20

【0044】

図3は、図2のセンスアンプ起動信号生成回路10におけるプリデコード信号PX、書き込み命令信号WT、及びセンスアンプ起動信号SEのタイミング図である。

【0045】

図3において、プリデコード信号PXは外部コマンドによって発生し、信号PXが論理LowレベルからHighレベルへに遷移すると同時に入力される書き込み命令信号WTが論理LowレベルからHighレベルに遷移すると、選択部13によって、デコード回路11の出力信号SE1がセンスアンプ起動信号SEとして転送される。また、プリデコード信号PXが論理LowレベルからHighレベルへ遷移し、書き込み命令信号WTが論理Lowレベルである場合に、選択回路13によって、遅延回路12の出力信号SE2がセンスアンプ起動信号SEとして転送される。

30

【0046】

図2のセンスアンプ起動信号生成回路10を用いることにより、選択されたメモリセルアレイすべての書き換えが実施される場合に、センスアンプ起動信号SEが書き込み時のみ高速に発生されることになり、読み出しまたはリフレッシュ時には、所定の時間だけ遅延されて発生されるため、高速な書き込みと、通常の読み出しまたはリフレッシュ動作が可能となる。この場合、図4のセンスアンプドライブ回路20を使用しなくとも、図2のセンスアンプ起動信号生成回路10を用いるだけで上記機能の実現が可能である。また、センスアンプ起動信号生成回路10を書き込みと読み出し時において遅延調整を実施しない従来構成とし、図4のセンスアンプドライブ回路20と、デコード信号Y、/Yとをそのまま用いて、全メモリセルアレイを選択する形式にしても上記機能を実現することが可能となる。図10は、図9の半導体記憶装置における各部信号のタイミング図である。

40

【0047】

図11は、図6、図7により構成される書き込み動作の高速化と動じにリフレッシュ動作を行なう半導体記憶装置において、書き込みされるビット線が、リフレッシュ動作を行なうビット線に対してタイミングとしては早い段階で増幅されるため、リフレッシュ動作を実施するビット線の電荷転送がノイズによって破壊されるのを防止するため、センスアンプドライバ20(SAD)の領域にあたるメモリセル群のビット線方向に金属配線200

50

を設けて、それを接地電位に接続した例である。

【0048】

なお、金属配線200は、接地電位、電源電位、内部発生電位のいずれかに接続されるが、デバイス特性に応じてその電位が自由に変わることはあり得る。

【0049】

【発明の効果】

以上のように、本発明によれば、半導体記憶装置において、チャージキャパシタの蓄積電荷を反転する書き込み時間を短縮することで、ランダムアクセスサイクルの高速化を実現することが可能となる。

【図面の簡単な説明】

10

【図1】2T1C型メモリセルの構成図

【図2】センスアンプ起動信号生成回路10の構成を示す回路図

【図3】図2のセンスアンプ起動信号生成回路10における信号タイミング図

【図4】センスアンプドライブ回路20の構成を示す回路図

【図5】図4のセンスアンプドライブ回路20における信号タイミング図

【図6】図4のセンスアンプドライブ回路20によって駆動されるセンスアンプ列60を含むメモリセルアレイ群を示す構成図

【図7】図6の構成をとるセンスアンプ列60と図4の構成をとるセンスアンプドライブ回路20とが1つのブロックとして複数個配置された場合の半導体記憶装置の構成図

【図8】図7の半導体記憶装置における信号タイミング図

20

【図9】図2のセンスアンプ起動信号生成回路10を用いた場合の半導体記憶装置の構成図

【図10】図9の半導体記憶装置の信号タイミング図

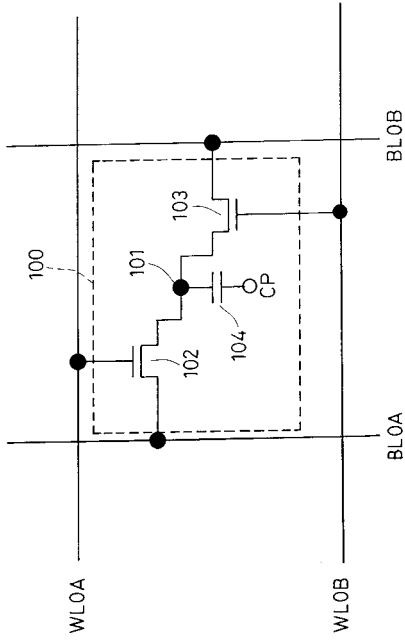
【図11】図6または図7の構成にノイズ対策を施した半導体記憶装置の構成図

【符号の説明】

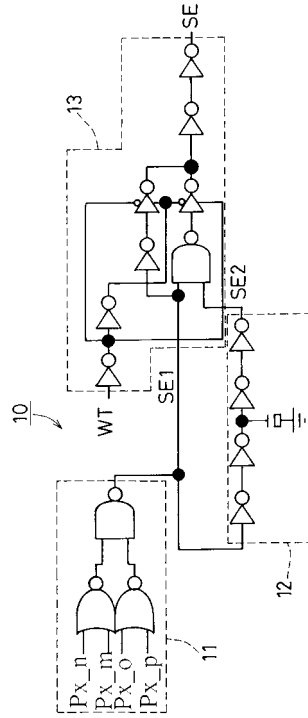
- 10 センスアンプ起動信号生成回路
- 11 デコード回路
- 12 遅延回路
- 13 選択回路
- 20 センスアンプドライブ回路
- 21 イコライズ回路
- 22 第1のドライバ
- 23 第2のドライバ
- 60 センスアンプ列
- 91 入力回路
- 92 センスアンプコントロール回路
- 100 2T1C型メモリセル
- 200 金属配線

30

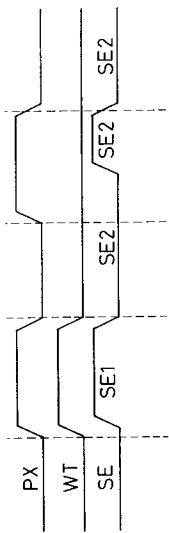
【 図 1 】



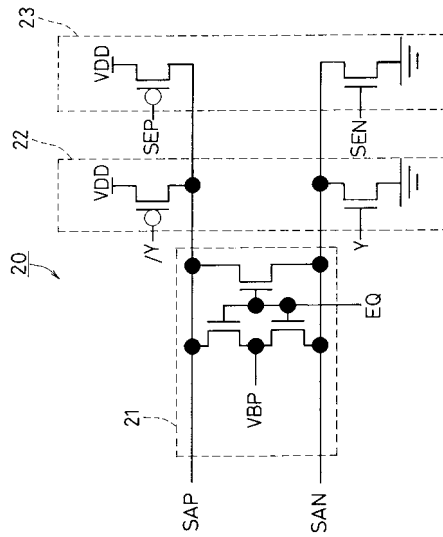
【 図 2 】



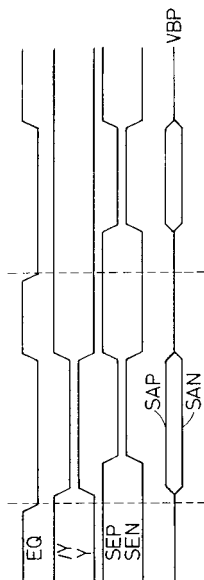
【 図 3 】



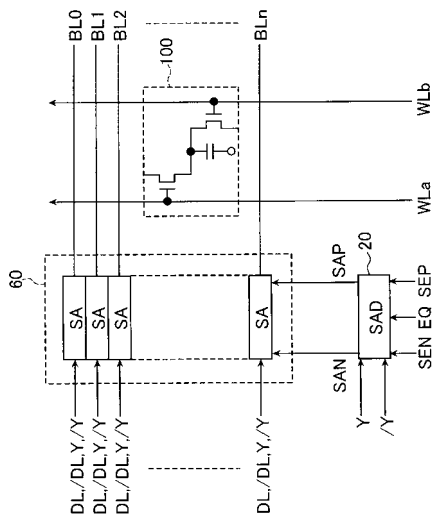
【 図 4 】



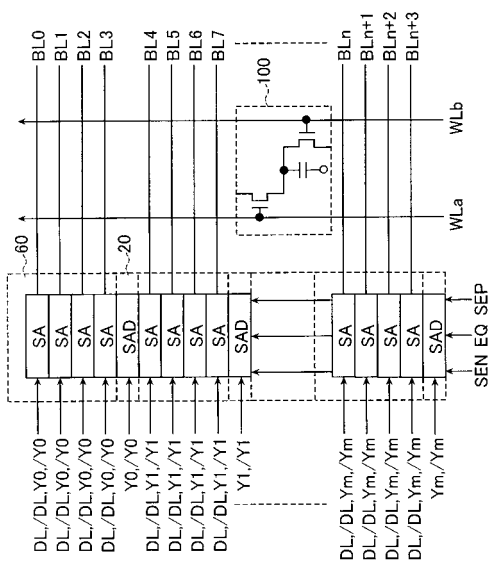
【 図 5 】



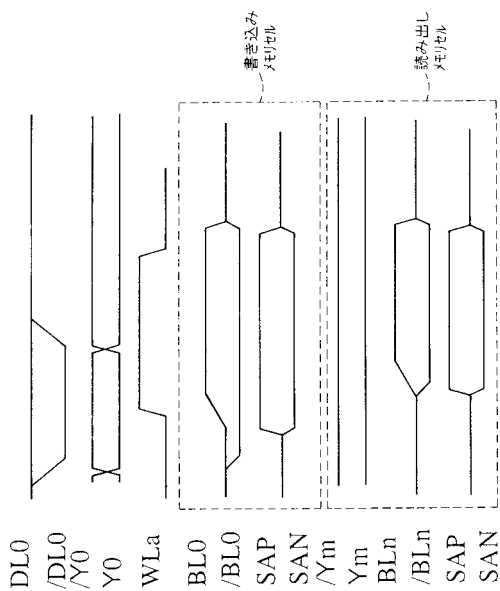
【 図 6 】



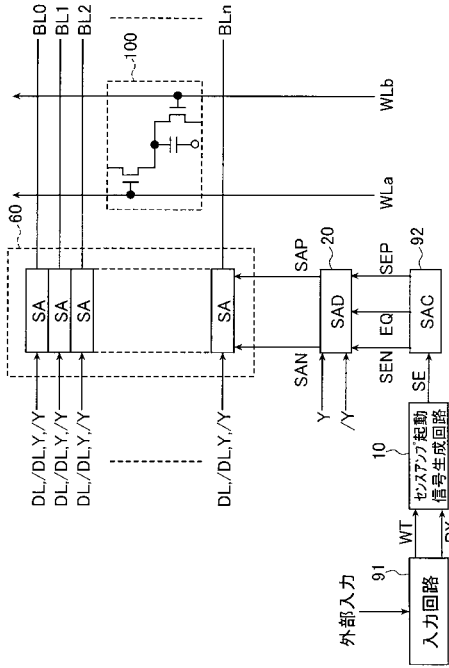
【 図 7 】



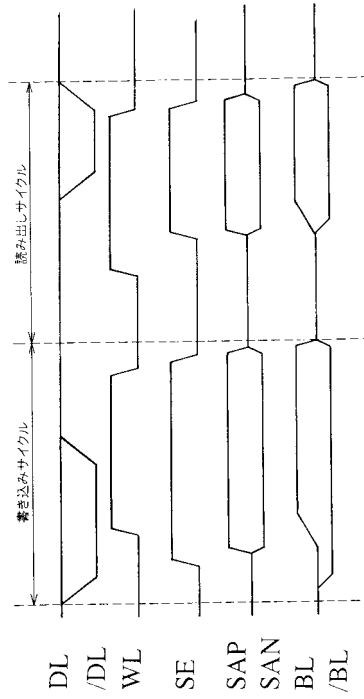
【 図 8 】



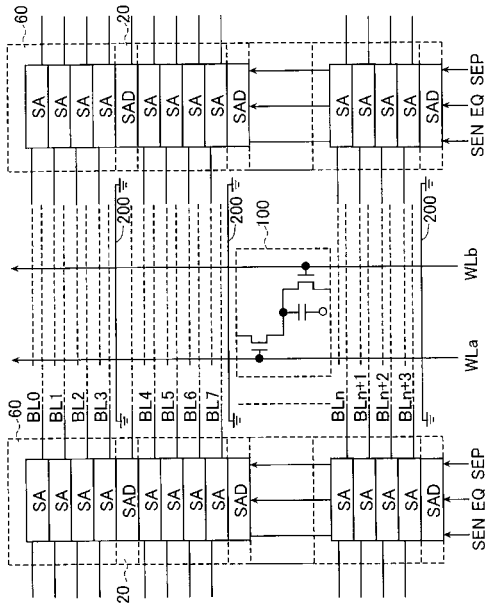
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(72)発明者 白濱 正則

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 堀田 和義

(56)参考文献 特開2001-101863(JP,A)

特開2001-035159(JP,A)

特開平02-226581(JP,A)

特開平04-047585(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G11C 11/409