

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6143598号
(P6143598)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月19日(2017.5.19)

| | |
|-------------------------|----------------------|
| (51) Int.Cl. | F I |
| HO 1 L 21/338 (2006.01) | HO 1 L 29/80 H |
| HO 1 L 29/812 (2006.01) | HO 1 L 29/80 E |
| HO 1 L 29/778 (2006.01) | HO 1 L 29/78 3 O 1 B |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 6 1 8 B |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/06 3 O 1 G |
| 請求項の数 6 (全 14 頁) 最終頁に続く | |

(21) 出願番号 特願2013-160783 (P2013-160783)
 (22) 出願日 平成25年8月1日(2013.8.1)
 (65) 公開番号 特開2015-32675 (P2015-32675A)
 (43) 公開日 平成27年2月16日(2015.2.16)
 審査請求日 平成28年3月15日(2016.3.15)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 蔵口 雅彦
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 審査官 杉山 芳弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

グラウンド電位に固定される第1導電型のSiまたはSiCの半導体基板と、
前記半導体基板表面の第2導電型の半導体領域と、
前記半導体基板上のGaN系半導体層と、
前記GaN系半導体層の前記半導体領域上方に設けられ、ソース電極、ゲート電極、およびドレイン電極を有する構型トランジスタと、
前記GaN系半導体層内に設けられ前記トランジスタを囲む素子分離領域と、
を備え、
前記ソース電極が前記半導体領域に電氣的に接続され、
前記半導体領域が前記ソース電極、前記ゲート電極、及び前記ドレイン電極の直下にあ
り、
前記半導体基板表面の前記半導体領域の端部が、前記素子分離領域直下にあることを特
徴とする半導体装置。

【請求項2】

前記GaN系半導体層上の前記ソース電極と前記ドレイン電極との間に絶縁膜が設けられることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記半導体領域上に、前記ソース電極と前記半導体領域を電氣的に接続し、前記GaN系半導体層を貫通する導電部が設けられることを特徴とする請求項1または請求項2記載

の半導体装置。

【請求項 4】

グラウンド電位に固定される第 1 導電型の Si または SiC の半導体基板と、
前記半導体基板表面の第 2 導電型の第 1 および第 2 の半導体領域と、
前記半導体基板上の GaN 系半導体層と、
前記 GaN 系半導体層の前記第 1 の半導体領域上方に設けられ、第 1 のソース電極、第 1 のゲート電極、および第 1 のドレイン電極を有する第 1 の横型トランジスタと、
前記 GaN 系半導体層の前記第 2 の半導体領域上方に設けられ、第 2 のソース電極、第 2 のゲート電極、および第 2 のドレイン電極を有する第 2 の横型トランジスタと、
前記 GaN 系半導体層内に設けられ、前記第 1 の横型トランジスタと前記第 2 の横型トランジスタのそれぞれを囲む素子分離領域と、
 を備え、

前記第 1 のソース電極が前記第 1 の半導体領域に電氣的に接続され、
前記第 1 の半導体領域が前記第 1 のソース電極、前記第 1 のゲート電極、および前記第 1 のドレイン電極の直下にある、
前記第 2 のソース電極が前記第 2 の半導体領域に電氣的に接続され、
前記第 2 の半導体領域が前記第 2 のソース電極、前記第 2 のゲート電極、および前記第 2 のドレイン電極の直下にある、
前記第 1 の半導体領域の端部と、前記第 2 の半導体領域の端部が、それぞれ前記素子分離領域の直下にあることを特徴とする半導体装置。

【請求項 5】

前記 GaN 系半導体層上の前記第 1 のソース電極と第 1 のドレイン電極との間、および、前記第 2 のソース電極と第 2 のドレイン電極との間に絶縁膜が設けられることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記第 1 の半導体領域上に、前記第 1 のソース電極と前記第 1 の半導体領域を電氣的に接続し、前記 GaN 系半導体層を貫通する第 1 の導電部が設けられ、前記第 2 の半導体領域上に、前記第 2 のソース電極と前記第 2 の半導体領域を電氣的に接続し、前記 GaN 系半導体層を貫通する第 2 の導電部が設けられることを特徴とする請求項 4 または請求項 5 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

高い絶縁破壊強度を有する GaN 系半導体は、パワーエレクトロニクス用半導体装置、もしくは、高周波パワー半導体装置などへの応用が期待されている。しかしながら、高電圧を印加した時に、オン抵抗が増大し、ドレイン電流が大幅に減少する電流コラプスという現象が顕著になる。この現象は、半導体装置の特性に影響を及ぼすことが知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2013 - 16627 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、電流コラプスを抑制することのできる半導体装置を

10

20

30

40

50

提供することにある。

【課題を解決するための手段】

【0005】

本発明の一態様の半導体装置は、グラウンド電位に固定される第1導電型のSiまたはSiCの半導体基板と、前記半導体基板表面の第2導電型の半導体領域と、前記半導体基板上のGaN系半導体層と、前記GaN系半導体層の前記半導体領域上方に設けられ、ソース電極、ゲート電極、およびドレイン電極を有する横型トランジスタと、前記GaN系半導体層内に設けられ前記トランジスタを囲む素子分離領域と、を備え、前記ソース電極が前記半導体領域に電氣的に接続され、前記半導体領域が前記ソース電極、前記ゲート電極、及び前記ドレイン電極の直下にあること、前記半導体基板表面の前記半導体領域の端部が、前記素子分離領域直下にあることを特徴とする。

10

【図面の簡単な説明】

【0006】

【図1】第1の実施形態の半導体装置の構成を示す断面図である。

【図2】GaN系半導体を用いた回路の一例を示す図である。

【図3】第2の実施形態の半導体装置の構成を示す断面図である。

【図4】第3の実施形態の半導体装置の構成を示す断面図である。

【図5】第4の実施形態の半導体装置の構成を示す上面図である。

【図6】第5の実施形態の半導体装置の構成を示す断面図である。

20

【図7】第6の実施形態の半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0007】

本明細書中、「GaN系半導体」とは、GaN（窒化ガリウム）、AlN（窒化アルミニウム）、InN（窒化インジウム）およびそれらの中間組成を備える半導体の総称である。

【0008】

また、本明細書中、「横型素子」とは、電極等の素子構造が半導体層に対し水平方向に形成され、キャリアの流れも水平方向である素子を意味する。半導体層の表裏面に電極が設けられ、キャリアの流れが縦方向となる「縦型素子」と対比される概念である。

30

【0009】

また、本明細書中、「上」、「下」、「上方」、「下方」とは、構成要件の相対的位置関係を示す用語であり、必ずしも重力方向に対する上下関係を示すものではない。

【0010】

（第1の実施形態）

本実施形態の半導体装置は、第1導電型のSi（シリコン）またはSiC（炭化シリコン）の半導体基板と、半導体基板表面の第2導電型の半導体領域と、半導体基板上のGaN系半導体層と、GaN系半導体層に設けられ、半導体領域に電氣的に接続される第1の電極と、第2の電極を有する横型素子と、を備える。

【0011】

以下、半導体基板がn型のSi、横型素子がトランジスタである場合を例に説明する。

40

【0012】

図1は、本実施形態の半導体装置の構成を示す断面図である。この半導体装置は、半導体基板10上のGaN系半導体層12にトランジスタ100が形成される。トランジスタ100は、ヘテロ接合を用いた電界効果トランジスタである高電子移動度トランジスタ（HEMT）である。半導体基板10は、Siである。

【0013】

半導体基板10表面には、p型の半導体領域11が設けられる。p型の半導体領域11は、例えば、半導体基板中にB（ボロン）等のp型不純物をイオン注入することにより形成される。p型の半導体領域11の厚さは、例えば、0.1～3μmである。

50

【0014】

半導体基板10上には、例えば、バッファ層（図示せず）を介して、GaN系半導体層12が設けられる。バッファ層は半導体基板10とGaN系半導体層12との間の格子不整合を緩和する機能を備える。バッファ層は、例えば、窒化アルミニウムガリウム（ $Al_xGa_{1-x}N$ （ $0 < x < 1$ ））の多層構造で形成される。バッファ層の厚さは、例えば、 $0.3 \sim 3 \mu m$ である。

【0015】

また、GaN系半導体層12は、動作層（チャネル層：図示せず）と障壁層（電子供給層：図示せず）との積層構造を備える。動作層は、例えば、窒化ガリウム（GaN）であり、障壁層は、例えば、Al組成比 $0.15 \sim 0.4$ の窒化アルミニウムガリウム（ $AlGaN$ ）である。障壁層は、窒化ガリウム（GaN）、窒化アルミニウムガリウム（ $Al_xGa_{1-x}N$ （ $0 < x < 1$ ））、窒化インジウム（InN）、窒化インジウムアルミニウム（ $In_yAl_{1-y}N$ （ $0 < y < 1$ ））、窒化インジウムガリウム（ $In_zGa_{1-z}N$ （ $0 < z < 1$ ））等のいずれか、または、その組み合わせにより構成することが可能である。

10

【0016】

動作層と障壁層の間に、ヘテロ接合界面が形成されている。例えば、動作層の膜厚は $0.05 \sim 1.0 \mu m$ であり、障壁層の膜厚は $0.01 \sim 0.05 \mu m$ である。

【0017】

バッファ層およびGaN系半導体層12は、いずれもエピタキシャル成長法によって形成される単結晶層である。

20

【0018】

GaN系半導体層12上には、絶縁膜14を間に挟んで、ゲート電極16が形成される。絶縁膜14は、例えば、窒化シリコン（SiN）である。酸化シリコン（ SiO_2 ）または酸化アルミニウム（ Al_2O_3 ）等、その他の材料であってもかまわない。絶縁膜14はゲート絶縁膜として機能する。ゲート絶縁膜14膜厚は、例えば、 $10 \sim 60 nm$ である。

【0019】

ゲート電極16は、例えば、金属電極である。金属電極は、例えば、ニッケル（Ni）、チタン（Ti）、窒化チタン（TiN）、タングステン（W）、窒化タングステン（WN）を含む電極である。

30

【0020】

また、GaN系半導体層12上には、ゲート電極16を間に挟んで、ソース電極（第1の電極）18とドレイン電極（第2の電極）20が設けられる。ソース電極18とドレイン電極20はそれぞれゲート電極16と離間している。

【0021】

ソース電極18とドレイン電極20は、例えば、金属電極であり、金属電極は、例えば、チタン（Ti）、アルミニウム（Al）、タンタル（Ta）、モリブデン（Mo）を含む電極である。ソース電極18およびドレイン電極20と、GaN系半導体層12との間は、オーミックコンタクトであることが望ましい。

40

【0022】

ソース電極18とゲート電極16との間、および、ドレイン電極20とゲート電極16との間のGaN系半導体層12上にも絶縁膜14が設けられる。絶縁膜14は、ゲート電極16とソース電極18、ゲート電極16とドレイン電極20との間のGaN系半導体層12の表面を保護する表面保護膜（またはパッシベーション膜）として機能する。絶縁膜14の上に、さらに図示しない、例えば、膜厚 $50 \sim 500 nm$ の窒化シリコン（SiN）または酸化シリコン（ SiO_2 ）等の絶縁膜を設けてもかまわない。

【0023】

ソース電極（第1の電極）18は、半導体領域11に電氣的に接続される。例えば、ソース電極18は、半導体領域11上方に設けられ、GaN系半導体層12を貫通する導電

50

部 2 2 によって、接続される。

【 0 0 2 4 】

導電部 2 2 は、例えば、金属であり、金属電極は、例えば、アルミニウム (A l) や金 (A u) を主成分とする電極である。導電部 2 2 は、例えば、G a N 系半導体層 1 2 にドライエッチングにより形成された孔に、例えば、スパッタリング法やメッキにより金属材料を埋め込むことにより形成される。導電部 2 2 と G a N 系半導体層 1 2 との間に、絶縁層を設けてもかまわない。導電部 2 2 と半導体領域 1 1 との間はオーミックコンタクトであることが望ましい。

【 0 0 2 5 】

ソース電極 1 8 と半導体領域 1 1 とは同電位となる。半導体基板 1 0 は、例えば、グラウンド電位に固定される。素子の動作を安定させる観点から、半導体基板 1 0 はグラウンド電位に固定されることが望ましい。半導体領域 1 1 と半導体基板 1 0 は、p n 接合により電氣的に分離される。

10

【 0 0 2 6 】

また、G a N 系半導体層 1 2 にはトランジスタ 1 0 0 と隣接する素子とを分離する素子分離領域 2 4 が設けられる。素子分離領域 2 4 は、例えば、イオン注入やメサ構造により形成される。

【 0 0 2 7 】

素子分離領域 2 4 は、トランジスタ 1 0 0 の活性領域を囲むように形成されている。そして、半導体領域 1 1 は活性領域の下方に設けられる。トランジスタ 1 0 0 は、半導体領域 1 1 の上方、好ましくは直上に形成される。そして、半導体領域 1 1 の端部、すなわち、半導体領域 1 1 と半導体基板 1 0 との境界は、素子分離領域 2 4 の直下にあることが望ましい。活性化領域直下のすべての領域に半導体領域 1 1 が存在することが望ましい。

20

【 0 0 2 8 】

また、絶縁膜 1 4 上には、図示しないフィールドプレート構造が形成されてもかまわない。

【 0 0 2 9 】

G a N 系半導体を用いた半導体装置においては、ソース電極 - ドレイン電極間に高電圧ストレスを印加した時に、ドレイン電流が減少する電流コラプスという現象が生じることが知られている。電流コラプスは、半導体装置の電流パスに形成される電荷トラップが原因と考えられる。

30

【 0 0 3 0 】

表 1 に、H E M T が形成される基板の電位と電流コラプスの関係を示す。測定に用いた素子は、シリコン基板上に設けられた G a N の動作層と、A l G a N の障壁層に形成された H E M T である。測定で用いた素子には、本実施形態の半導体領域 1 1 に相当する層は設けられていない。ゲート長は 1 μ m、ゲート幅は 3 m m、ゲート電極 - ドレイン電極間距離が 1 5 μ m、ゲート電極 - ソース電極間距離が 1 . 5 μ m である。

【 0 0 3 1 】

ストレス条件はゲート電圧が - 1 5 V、ドレイン電圧が 2 5 0 V とした。また、オン電流の測定は、ゲート電圧が 0 V、電流値 0 . 5 A とし、オン抵抗の初期値とストレス後の値を比較した。表の電流コラプスの値は、ストレス後のオン抵抗の値を初期のオン抵抗の値で除した数値である。

40

【 0 0 3 2 】

シリコン基板の電位を、ソース電極に固定した場合、ドレイン電極に固定した場合、フローティングとした場合を評価した。

【 0 0 3 3 】

【表 1】

| | ストレス後オン抵抗／初期オン抵抗 |
|-----------|------------------|
| ソース電極に固定 | 1. 18 |
| ドレイン電極に固定 | 2. 00 |
| フローティング | 1. 46 |

【0034】

表 1 に示すように、特に基板をソース電極に固定することで電流コラプスの抑制効果が高いことがわかる。これは、基板がソースフィールドプレートとして機能して、ゲート電極 - ドレイン電極間等における電界緩和が生ずるためであると考えられる。したがって、電流コラプスを抑制する観点からは基板をソース電極に固定することが好ましい。

10

【0035】

もっとも、回路構成上、基板をソース電極に固定することが困難な場合がある。図 2 は、Ga N 系半導体を用いた回路の一例を示す図である。

【0036】

素子 A は、Ga N 系半導体の H E M T である。素子 B は、シリコンのダイオードである。素子 A のソース電極が、素子 B のカソード電極に接続される。そして、素子 B のアノード電極が素子 A のゲート電極に接続されグラウンド電位に固定される。この整流素子は、オフ時には素子 B のダイオードよりも高耐圧の素子 A の H E M T で、逆方向耐圧をもたせる構成となっている。

20

【0037】

図 2 の回路では、H E M T のソース電極は固定された電位ではなく、変動する電位となっている。例えば、電流コラプス抑制のためにソース電極の電位を基板に固定しようとすると、基板がソース電極と同じ電位で変動することになり、寄生容量の大きな基板の電位を変動させると、充放電に時間がかかり、高速動作ができなくなり、電力消費も大きくなる。また、電位が固定されていないため、外部のノイズも拾いやすくなり、素子の動作が不安定になる。あるいは、例えば、基板の電位の固定のため、回路のグラウンドに基板の電位を固定すると、図 2 の回路では、H E M T のゲート電極の電位が回路のグラウンドに接続されることになる。このため、効果的な電流コラプスの抑制ができない共に、基板とドレイン電極との寄生容量・基板とソース電極との寄生容量がゲート電極の容量に並列に加わるため、高速動作ができなくなる。

30

【0038】

図 2 の素子 A に本実施形態のトランジスタ 100 を適用する場合を考える。この場合、半導体基板 10 と半導体領域 11 が電気的に分離されるため、半導体基板 10 をグラウンド電位に固定し、半導体領域 11 をソース電極 18 に固定することが可能となる。したがって、本実施形態の半導体装置によれば、半導体回路の特性を損なうことなく電流コラプスが抑制される。

【0039】

また、活性領域の下方全域に、ソース電極 18 に固定される半導体領域 11 が形成される。これにより、フィールドプレート効果が強まり、より電流コラプスを抑制することが可能となる。

40

【0040】

本実施形態のように、ヘテロ接合を用いた H E M T は、チャネル移動度が高いため、オン抵抗を小さくすることが可能であり、パワーエレクトロニクス用半導体装置に適している。また、高いチャネル移動度は高周波動作にも適している。本実施形態では、2 層の Ga N 系半導体層の H E M T の例を示している。しかし、2 層に限らず、種々の層構造を有する Ga N 系半導体層に対しても本実施形態の構造を適用することが可能である。

【0041】

また、本実施形態では、ゲート絶縁膜を備えるトランジスタを例に説明したが、ゲート絶縁膜を介さず、直接、ゲート電極 16 が Ga N 系半導体層 12 上に設けられる構成とす

50

ることも可能である。

【0042】

(第2の実施形態)

本実施形態の半導体装置は、横型素子が、アノード電極とカソード電極を備えるダイオードであり、第1の電極がアノード電極であること以外は、基本的に第1の実施形態と同様である。したがって、第1の実施形態と重複する内容については記載を省略する。

【0043】

以下、半導体基板がn型のSi、横型素子がダイオードである場合を例に説明する。

【0044】

図3は、本実施形態の半導体装置の構成を示す断面図である。この半導体装置は、半導体基板10上のGaN系半導体層12にダイオード200が形成される。

10

【0045】

半導体基板10表面には、p型の半導体領域11が設けられる。半導体基板10上には、例えば、バッファ層(図示せず)を介して、GaN系半導体層12が設けられる。

【0046】

また、GaN系半導体層12上には、アノード電極(第1の電極)38とカソード電極(第2の電極)40が設けられる。

【0047】

アノード電極38は、例えば、金属電極であり、ニッケル(Ni)、白金(Pt)、タングステン(W)、窒化チタン(TiN)を含む電極であり、カソード電極40は、例えば、金属電極であり、金属電極は、例えば、チタン(Ti)、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)を含む電極である。アノード電極38およびカソード電極40と、GaN系半導体層12との間は、オーミックコンタクトであることが望ましい。

20

【0048】

アノード電極38とカソード電極40との間のGaN系半導体層12上には、絶縁膜14が形成される。絶縁膜14は、例えば、窒化シリコン(SiN)である。酸化シリコン(SiO₂)または酸化アルミニウム(Al₂O₃)等、その他の材料であってもかまわない。GaN系半導体層12の表面を保護する表面保護膜(またはパッシベーション膜)として機能する。絶縁膜14の上に、さらに図示しない、例えば、膜厚50~500nmの窒化シリコン(SiN)または酸化シリコン(SiO₂)等の絶縁膜を設けてもかまわない。

30

【0049】

アノード電極(第1の電極)38は、半導体領域11に電氣的に接続される。例えば、アノード電極38は、半導体領域11上方に設けられ、GaN系半導体層12を貫通する導電部22によって、接続される。

【0050】

導電部22は、例えば、金属であり、金属電極は、例えば、アルミニウム(Al)や金(Au)を主成分とする電極である。導電部22は、例えば、GaN系半導体層12にドライエッチングにより形成された孔に、例えば、スパッタリング法やメッキにより金属材料を埋め込むことにより形成される。導電部22とGaN系半導体層12との間に、絶縁層を設けてもかまわない。

40

【0051】

アノード電極38と半導体領域11とは同電位となる。半導体基板10は、例えば、グラウンド電位に固定される。半導体領域10と半導体基板11は、pn接合により電氣的に分離される。

【0052】

また、GaN系半導体層12にはダイオード200と隣接する素子とを分離する素子分離領域24が設けられる。素子分離領域24は、例えば、イオン注入やメサ構造により形成される。

50

【 0 0 5 3 】

G a N系半導体のダイオードにおいても、トランジスタ同様、電流コラプスが生じ、素子の順方向特性が劣化する。電流コラプスを抑制するには、アノード電極を基板に固定する構造が有効である。

【 0 0 5 4 】

本実施形態のダイオードによれば、半導体基板 1 0 に設けられる半導体領域 1 1 をアノード電極 3 8 に電氣的に接続し固定する。そして、半導体基板 1 0 を異なる電位、例えば、グラウンド電位に固定することが可能となる。したがって、半導体回路の特性を損なうことなく電流コラプスを抑制することが可能となる。

【 0 0 5 5 】

(第3の実施形態)

本実施形態の半導体装置は、第1導電型のS iまたはS i Cの半導体基板と、半導体基板表面の第2導電型の第1および第2の半導体領域と、半導体基板上のG a N系半導体層と、G a N系半導体層に設けられ、第1の半導体領域に電氣的に接続される第1の電極と、第2の電極を有する第1の横型素子と、G a N系半導体層に設けられ、第2の半導体領域に電氣的に接続される第3の電極と、第4の電極を有する第2の横型素子と、を備える。

【 0 0 5 6 】

以下、半導体基板がn型のS i、第1の横型素子および第2の横型素子がトランジスタである場合を例に説明する。個々のトランジスタの構造等、第1の実施形態と重複する内容については記載を省略する。

【 0 0 5 7 】

図4は、本実施形態の半導体装置の構成を示す断面図である。この半導体装置は、半導体基板 1 0 上のG a N系半導体層 1 2 に第1のトランジスタ 1 0 0 aと第2のトランジスタ 1 0 0 bが形成される。第1および第2のトランジスタ 1 0 0 a、1 0 0 bは、高電子移動度トランジスタ(H E M T)である。半導体基板 1 0 は、S iである。

【 0 0 5 8 】

半導体基板 1 0 表面には、p型の第1の半導体領域 1 1 a、p型の第2の半導体領域 1 1 bが設けられる。p型の第1の半導体領域 1 1 aとp型の第2の半導体領域 1 1 bは、半導体基板 1 0 を間に挟んで物理的にも電氣的にも分離される。

【 0 0 5 9 】

p型の第1の半導体領域 1 1 aとp型の第2の半導体領域 1 1 bとの間の半導体基板 1 0 表面に、p型領域 5 0 を設け、ガードリング構造を形成してもかまわない。ガードリング構造を形成することで、p型の第1の半導体領域 1 1 aおよびp型の第2の半導体領域 1 1 bと、半導体基板 1 0 との間の耐圧を向上させることが可能となる。

【 0 0 6 0 】

第1のトランジスタ 1 0 0 aは、第1のソース電極(第1の電極) 1 8 a、第1のゲート電極 1 6 a、および第1のドレイン電極(第2の電極) 2 0 aを備える。また、第2のトランジスタ 1 0 0 bは、第2のソース電極(第3の電極) 1 8 b、第2のゲート電極 1 6 b、および第2のドレイン電極(第4の電極) 2 0 bを備える。

【 0 0 6 1 】

第1のソース電極(第1の電極) 1 8 aと第1のドレイン電極(第2の電極) 2 0 aの間には絶縁膜 1 4 が設けられる。また、第2のソース電極(第3の電極) 1 8 bと第2のドレイン電極(第4の電極) 2 0 bとの間にも絶縁膜 1 4 が設けられる。

【 0 0 6 2 】

第1のソース電極(第1の電極) 1 8 aは、第1の半導体領域 1 1 aに電氣的に接続される。例えば、第1のソース電極 1 8 aは、第1の半導体領域 1 1 a上方に設けられ、G a N系半導体層 1 2 を貫通する第1の導電部 2 2 aによって、接続される。

【 0 0 6 3 】

第2のソース電極(第3の電極) 1 8 bは、第2の半導体領域 1 1 bに電氣的に接続さ

10

20

30

40

50

れる。例えば、第2のソース電極18bは、第2の半導体領域11b上方に設けられ、GaN系半導体層12を貫通する第2の導電部22bによって、接続される。

【0064】

第1のソース電極(第1の電極)18aと第1の半導体領域11aとは同電位となる。また、第2のソース電極(第3の電極)18aと第2の半導体領域11bとは同電位となる。半導体基板10は、例えば、グラウンド電位に固定される。回路の動作を安定させる観点から、半導体基板10はグラウンド電位に固定されることが望ましい。第1および第2の半導体領域11a、11bと半導体基板10は、pn接合により電氣的に分離される。

【0065】

第1のトランジスタ100aと第2のトランジスタ100bのそれぞれを囲む素子分離領域24が、GaN系半導体層11に設けられる。素子分離領域24は、第1のトランジスタ100aと第2のトランジスタ100bを物理的、電氣的に分離する。

【0066】

素子分離領域24は、第1のトランジスタ100aと第2のトランジスタ100bの活性領域を囲むように形成されている。そして、第1の半導体領域11aの端部と、第2の半導体領域の端部11bが、それぞれ素子分離領域24の直下にある。

【0067】

本実施形態の半導体装置によれば、第1の実施形態同様、半導体回路の特性を損なうことなく電流コラプスが抑制することが可能となる。特に、同一のGaN系半導体層11に設けられる第1のトランジスタ100aのソース電極18aと第2のトランジスタ100bのソース電極18bが、異なる電位で動作をする場合に、それぞれのソース電極が、互いに電氣的に分離した第1および第2の半導体領域11a、11bに固定される構成をとる。この構成により、2つのトランジスタ間で、基板と各電極との寄生容量の影響を与えあうことがないため、互いの動作を阻害することを防止できる。

【0068】

また、第1の実施形態同様、活性領域の下方全域に、第1および第2のソース電極18a、18bに固定される第1の半導体領域11a、第2の半導体領域11bが形成されることで、フィールドプレート効果が強まり、より電流コラプスを抑制することが可能となる。

【0069】

(第4の実施形態)

本実施形態の半導体装置は、櫛型のゲート電極を有するマルチフィンガー構造のトランジスタを備えること以外は、第3の実施形態と同様である。したがって、第3の実施形態と重複する内容については記載を省略する。

【0070】

図5は、本実施形態の半導体装置の構成を示す上面図である。この半導体装置は、GaN系半導体層に第1のトランジスタ100aと第2のトランジスタ100bが形成される。

第1のトランジスタ100aと第2のトランジスタ100bは、それぞれ、素子分離領域24で囲まれる。

【0071】

第1のトランジスタ100aは、第1のソース電極(第1の電極)18a、第1のゲート電極16a、および第1のドレイン電極(第2の電極)20aを備える。そして、第1のゲート電極16aがマルチフィンガー構造を備える。

【0072】

また、第2のトランジスタ100bは、第2のソース電極(第3の電極)18b、第2のゲート電極16b、および第2のドレイン電極(第4の電極)20bを備える。そして、第2のゲート電極16bもマルチフィンガー構造を備える。

【0073】

10

20

30

40

50

本実施形態の半導体装置は、第3の実施形態と同様の効果に加え、マルチフィンガー構造により大電流を流すことが可能となる。

【0074】

(第5の実施形態)

本実施形態の半導体装置は、第1の横型素子がトランジスタであり、第2の横型素子がダイオードであること以外は第3の実施形態と同様である。したがって、第3の実施形態と重複する内容については記載を省略する。また、トランジスタやダイオードの構造等、第1および第2の実施形態と重複する内容についても記載を省略する。

【0075】

図6は、本実施形態の半導体装置の構成を示す断面図である。この半導体装置は、半導体基板10上のGaN系半導体層12に、トランジスタ100とダイオード200が形成される。

10

【0076】

n型の半導体基板10表面には、p型の第1の半導体領域11a、p型の第2の半導体領域11bが設けられる。

【0077】

トランジスタ100aは、ソース電極(第1の電極)18、ゲート電極16、およびドレイン電極(第2の電極)20を備える。また、ダイオード200は、アノード電極(第3の電極)38とカソード電極(第4の電極)40を備える。

【0078】

20

ソース電極(第1の電極)18とドレイン電極(第2の電極)20の間には絶縁膜14が設けられる。また、アノード電極(第3の電極)38とカソード電極(第4の電極)40との間にも絶縁膜14が設けられる。

【0079】

ソース電極(第1の電極)18は、第1の半導体領域11aに電気的に接続される。例えば、ソース電極18と第1の半導体領域11aは、第1の半導体領域11a上に設けられ、GaN系半導体層12を貫通する第1の導電部22aによって、接続される。

【0080】

アノード電極(第3の電極)38は、第2の半導体領域11bに電気的に接続される。例えば、アノード電極38と第2の半導体領域11bは、第2の半導体領域11bに設けられ、GaN系半導体層12を貫通する第2の導電部22bによって、接続される。

30

【0081】

ソース電極(第1の電極)18と第1の半導体領域11aとは同電位となる。アノード電極(第3の電極)38と第2の半導体領域11bとは同電位となる。半導体基板10は、例えば、グラウンド電位に固定される。第1および第2の半導体領域11a、11bと半導体基板10は、pn接合により分離される。

【0082】

本実施形態の半導体装置によれば、第3の実施形態同様、半導体回路の特性を損なうことなく電流コラプスを抑制することが可能となる。また、第3の実施形態同様、活性領域の下方全域に、ソース電極18およびアノード電極38に固定される第1の半導体領域11a、第2の半導体領域11bが形成されることで、フィールドプレート効果が強まり、より電流コラプスを抑制することが可能となる。

40

【0083】

(第6の実施形態)

本実施形態の半導体装置は、半導体基板がSOI(Silicon On Insulator)基板であること以外は、第3の実施形態と同様である。したがって、第3の実施形態と重複する内容については記載を省略する。

【0084】

図7は、本実施形態の半導体装置の構成を示す断面図である。この半導体装置は、半導体基板10が、シリコン基板10a、埋め込み層10b、SOI層10cを備えるSOI

50

基板である。埋め込み層 10b は、例えば、酸化シリコンである。また、SOI 層 10c はシリコンである。

【0085】

第1および第2の半導体領域 11a、11b は SOI 層 10c に設けられる。第1および第2の半導体領域 11a、11b の底面は、埋め込み層 10b に接していても、図7のように、接していなくてもかまわない。

【0086】

本実施形態では、第3の実施形態同様、半導体回路の特性を損なうことなく電流コラプスを抑制することが可能となる。また、第1および第2の半導体領域 11a、11b が SOI 層 10c に設けられることで、第1および第2の半導体領域 11a、11b の耐圧が向上する。また、空乏層の伸びが埋め込み層 10b で制約されることで、基板との寄生容量を一層低減することができるため、回路動作の向上や消費電力の低減が実現する。

【0087】

特に、第1および第2の半導体領域 11a、11b の底面が埋め込み層 10b に接する構成とすることで、第1および第2の半導体領域 11a、11b の pn 接合面積が小さくなる。したがって、一層の耐圧向上、回路動作の向上、消費電力の削減が実現される。

【0088】

実施形態では、トランジスタとして HEMT を例に説明したが、本発明を IGBT (Insulated Gate Bipolar Transistor) にも適用することが可能である。

【0089】

また、実施形態では Si 基板を例に説明したが、SiC 基板を適用することも可能である。

【0090】

また、実施形態では半導体基板が n 型で、半導体領域が p 型である場合を例に説明したが、半導体基板を p 型で、半導体領域を n 型とすることも可能である。いずれの構成とするかは、半導体基板と半導体領域の電位関係等に応じて適宜選択すればよい。

【0091】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え、または変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0092】

| | |
|-----|----------|
| 10 | 半導体基板 |
| 10a | シリコン基板 |
| 10b | 埋め込み層 |
| 10c | SOI 層 |
| 11 | 半導体領域 |
| 11a | 第1の半導体領域 |
| 11b | 第2の半導体領域 |
| 12 | GaN系半導体層 |
| 14 | 絶縁膜 |
| 16 | ゲート電極 |
| 16a | 第1のゲート電極 |
| 16b | 第2のゲート電極 |
| 18 | ソース電極 |

10

20

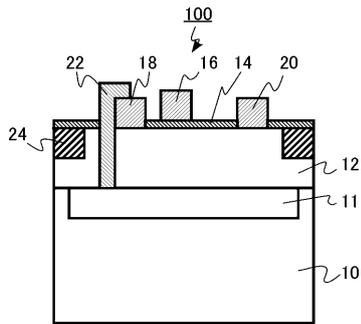
30

40

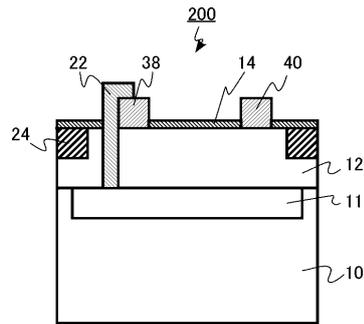
50

- 1 8 a 第1のソース電極
- 1 8 b 第2のソース電極
- 2 0 ドレイン電極
- 2 0 a 第1のドレイン電極
- 2 0 b 第2のドレイン電極
- 2 2 導電部
- 2 2 a 第1の導電部
- 2 2 b 第2の導電部
- 2 4 素子分離領域
- 1 0 0 トランジスタ
- 1 0 0 a 第1のトランジスタ
- 1 0 0 b 第2のトランジスタ
- 2 0 0 ダイオード
- 2 0 0 a 第1のダイオード
- 2 0 0 b 第2のダイオード

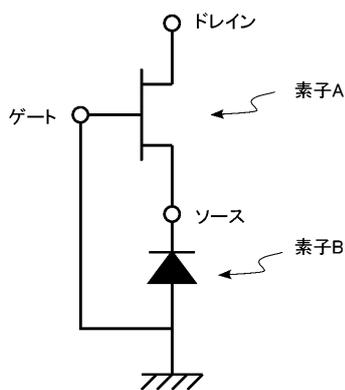
【図1】



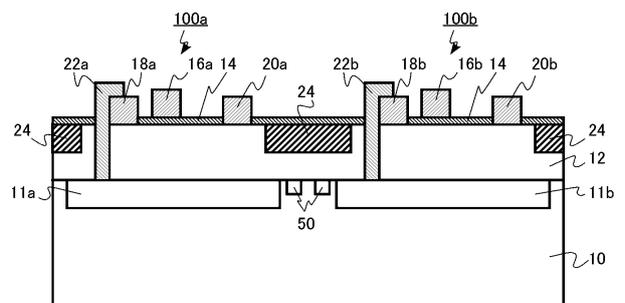
【図3】



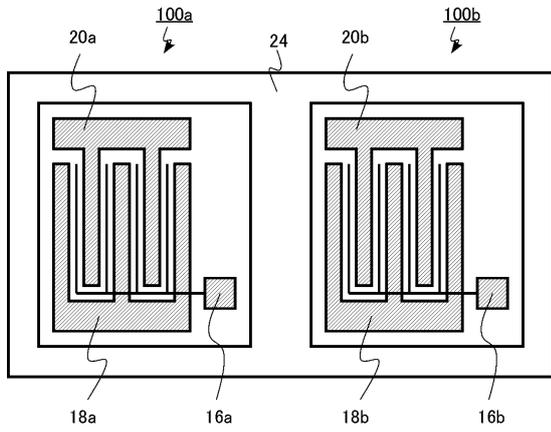
【図2】



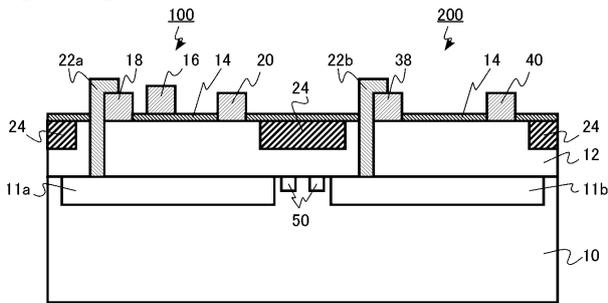
【図4】



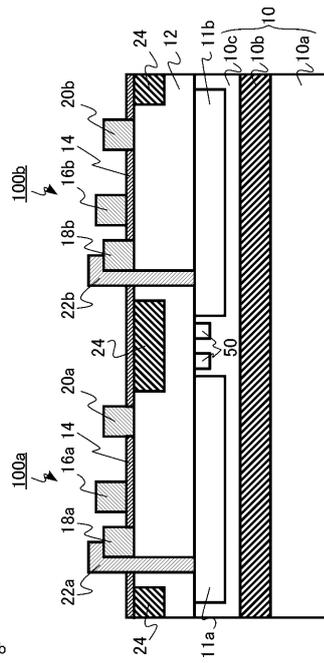
【 5 】



【 6 】



【 7 】



フロントページの続き

| | | | | |
|-------------|------------------|---------|-------|---------|
| (51)Int.Cl. | | F I | | |
| H 0 1 L | 29/786 (2006.01) | H 0 1 L | 29/78 | 6 1 6 S |
| H 0 1 L | 29/06 (2006.01) | H 0 1 L | 29/78 | 6 1 6 T |
| H 0 1 L | 21/28 (2006.01) | H 0 1 L | 21/28 | 3 0 1 B |
| H 0 1 L | 29/41 (2006.01) | H 0 1 L | 21/28 | 3 0 1 R |
| | | H 0 1 L | 29/44 | L |

- (56)参考文献 国際公開第2012/082840(WO, A1)
 特開2013-055224(JP, A)
 特開2010-171416(JP, A)
 特開2006-086398(JP, A)
 国際公開第2011/089837(WO, A1)
 特開2008-172085(JP, A)
 国際公開第2012/172753(WO, A1)
 特開2001-177060(JP, A)
 特開2006-216671(JP, A)
 特開2013-041976(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 9 / 7 7 8
 H 0 1 L 2 9 / 8 1 2
 H 0 1 L 2 9 / 8 7 2