



(12) 发明专利

(10) 授权公告号 CN 102903392 B

(45) 授权公告日 2015. 06. 03

(21) 申请号 201110208077. 4

CN 101395675 A, 2009. 03. 25,

(22) 申请日 2011. 07. 25

US 2007140024 A1, 2007. 06. 21,

(73) 专利权人 中国科学院微电子研究所

审查员 李艳军

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 王一奇 韩郑生 赵发展 刘梦新
毕津顺

(74) 专利代理机构 北京市立方律师事务所
11330

代理人 郑瑜生

(51) Int. Cl.

G11C 29/08(2006. 01)

(56) 对比文件

CN 101017193 A, 2007. 08. 15,

CN 101017193 A, 2007. 08. 15,

CN 1574100 A, 2005. 02. 02,

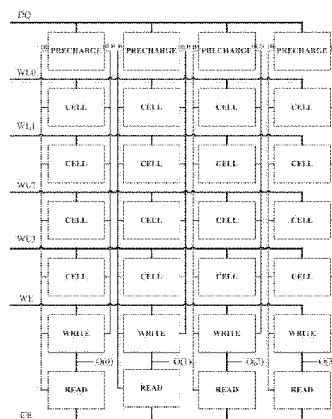
权利要求书1页 说明书5页 附图4页

(54) 发明名称

存储单元测试电路及其测试方法

(57) 摘要

本发明公开了一种存储单元测试电路,包括:存储单元阵列,用于存储信息数据;预充电电路,用于对存储单元阵列的位线进行预充电;写电路,用于将数据写入存储单元阵列;读取电路,用于感应存储单元阵列中的信息获得信号,并放大信号,通过驱动电路驱动信号到压焊点上,使得信号的电流满足测试仪器的驱动要求。本发明还公开了一种存储单元功能测试的方法。本发明公开的上述方案,解决了测试芯片中遇到的占用面积大、设计成本昂贵、设计周期长的问题,在版图设计时可以将新型存储单元直接嵌入到存储单元测试模块中,只需要采用合适的印刷板电路和普通的测试仪器,即可以应用于单粒子实验中的存储器测试,在一次流片中就可以制作多种不同电路结构的存储单元的测试模块。



1. 一种存储单元测试电路,其特征在于,包括:

存储单元阵列,用于储存信息数据;

预充电电路,用于对所述存储单元阵列的位线进行预充电;

写电路,用于将数据写入所述存储单元阵列;

读取电路,用于感应所述存储单元阵列中的信息获得信号,并放大所述信号,通过驱动电路驱动所述信号到压焊点上,使得所述信号的电流满足测试仪器的驱动要求;

所述存储单元阵列包括:4×4的存储单元,以及连接所述存储单元的八条位线和四条字线;在写操作时选择其中一条字线从低电平变为高电平,数据通过所述写电路写入所述存储单元并保存;在读操作的时候选择其中一条字线从低电平变为高电平,将所述存储单元中保存的数据读出;

所述读取电路包括三个反相器和一个可控制反相器;

用于感应所述存储单元阵列中的信息获得信号包括:当读操作时候,读取信号 CE 从低电平变为高电平,可控制反相器打开,存储的信息传递到位线上;

放大所述信号,通过驱动电路驱动所述信号到压焊点上包括:所述位线上的信号通过前两级反相器送到已经打开的可控制反相器,最后输出到输出端,即感应所述存储单元阵列中的信息并通过灵敏放大器放大,然后通过驱动电路驱动灵敏放大器放大后的信号到压焊点上。

2. 如权利要求 1 所述的存储单元测试电路,其特征在于,所述预充电电路包括三个 PMOS 晶体管,当预充电控制信号 DQ 从高电平变为低电平时,所述预充电电路对所述位线进行充电,当预充电控制信号 DQ 从低电平变为高电平时,预充电电路停止对所述位线进行充电。

3. 如权利要求 1 所述的存储单元测试电路,其特征在于,所述写电路包括两个与非门、两个反相器和两个传输门;当写信号 WE 从低电平变为高电平时,输入数据通过与非门产生反相信号,正信号依次通过一个反相器和一个传输门传输到一条反相位线完成写操作,反相信号依次通过一个反相器和一个传输门传输到另一条反相位线完成写操作。

4. 一种存储单元功能测试的方法,其特征在于,包括以下步骤:

根据如权利要求 1 至 3 任意之一所述的存储单元测试电路中的预充电电路、写电路以及读取电路,设计布局版图,形成 IP 核,其中,压焊点个数与存储单元阵列中的存储单元的个数相等;

设计所述存储单元阵列的版图,将其嵌入于 IP 核中,连接信号完成待测试模块的版图设计;

根据所述待测试模块的版图设计生产待测试芯片;

将所述待测试芯片固定于载物台进行抗单粒子测试。

存储单元测试电路及其测试方法

技术领域

[0001] 本发明涉及大容量存储器技术领域,具体而言,本发明涉及存储单元测试电路及其测试方法。

背景技术

[0002] 存储器芯片按存取方式可分为随机存取存储器芯片 RAM 和只读存储器芯片 ROM。ROM 中的信息只能被读出,而不能被操作者修改或删除,故一般用于存放固定的程序,如监控程序、汇编程序等,以及存放各种表格。RAM 主要用来存放各种现场的输入、输出数据,中间计算结果,以及与外部存储器交换信息和作堆栈用。它的存储单元根据具体需要可以读出,也可以写入或改写。由于 RAM 由电子器件组成,所以只能用于暂时存放程序和数据,一旦关闭电源或发生断电,其中的数据就会丢失。现在的 RAM 多为 MOS 型半导体电路,它分为静态和动态两种。静态 RAM 是靠双稳态触发器来记忆信息的;动态 RAM 是靠 MOS 电路中的栅极电容来记忆信息的。由于电容上的电荷会泄漏,需要定时给与补充,所以动态 RAM 需要设置刷新电路。但动态 RAM 比静态 RAM 集成度高、功耗低,从而成本也低,适于作大容量存储器。按照不同的技术,存储器芯片可以细分为 EPROM、EEPROM、SRAM、DRAM、FLASH、MASK ROM 和 FRAM 等。存储器技术是一种不断进步的技术,随着各种专门应用不断提出新的要求,新的存储器技术也层出不穷,每一种新技术的出现都会使某种现存的技术走进历史,因为开发新技术的初衷就是为了消除或减弱某种特定存储器产品的不足之处。

[0003] 通常情况下对于大容量的存储器芯片,需要设计合适的印刷板电路和采用普通的功能测试仪器,在单粒子辐照环境下对具备完整的外围电路结构的大容量存储器芯片进行测试。通过在不同辐照强度下对芯片的功能测试,来测试其抗单粒子能力。

[0004] 然后,采用这种技术方案的缺点是测试芯片面积大,成本昂贵,每种新型存储单元设计都需要重新对外围结构进行设计,设计周期较长。

[0005] 因此,有必要提出一种有效的技术方案,在大容量存储器芯片进行单粒子实验测试时,能够减少成本、提高效率,便于进行性能测试。

发明内容

[0006] 本发明的目的旨在至少解决上述技术缺陷之一,特别通过设计出应用于单粒子实验的存储单元功能测试模块,使得在版图设计时可以将新型存储单元直接嵌入到存储单元测试模块中,并且只需要采用合适的印刷板电路和普通的测试仪器即可以应用于单粒子实验中的存储器测试,使得在一次流片中就可以制作多种不同电路结构的存储单元的测试模块。

[0007] 为了实现本发明之目的,本发明实施例公开了一种存储单元测试电路,包括:

[0008] 存储单元阵列,用于储存信息数据;

[0009] 预充电电路,用于对所述存储单元阵列的位线进行预充电;

[0010] 写电路,用于将数据写入所述存储单元阵列;

[0011] 读取电路,用于感应所述存储单元阵列中的信息获得信号,并放大所述信号,通过驱动电路驱动所述信号到压焊点上,使得所述信号的电流满足测试仪器的驱动要求。

[0012] 本发明实施例另一方面还公开了一种存储单元功能测试的方法,包括以下步骤:

[0013] 根据上述的存储单元测试电路中的预充电电路、写电路以及读取电路,设计布局版图,形成 IP 核,其中,压焊块个数与存储单元阵列中的存储单元的个数相等;

[0014] 设计所述存储单元阵列的版图,将其嵌入于 IP 核中,连接信号完成待测试模块的版图设计;

[0015] 根据所述待测试模块的版图设计生产待测试芯片;

[0016] 将所述待测试芯片固定于载物台进行抗单粒子测试。

[0017] 本发明公开的上述方案,针对存储单元单粒子实验中遇到的问题,解决了测试芯片中遇到的占用面积大、设计成本昂贵、设计周期长的问题。如果直接对存储单元进行功能测试,将存储单元直接连接到压焊点上,并通过测试仪器进行测试的话,由于存储单元的存取电流比较小,无法带动压焊点上和测试仪器内部的负载,实际上无法测试出所需要的结果,而且采用单个存储单元无法模拟其在大容量存储单元阵列中的边缘效应的影响。本发明提出的上述方案,使得在版图设计时可以将新型存储单元直接嵌入到存储单元测试模块中,并且只需要采用合适的印刷板电路和普通的测试仪器,即可以应用于单粒子实验中的存储器测试,使得在一次流片中就可以制作多种不同电路结构的存储单元的测试模块。

[0018] 本发明附加的方面和优点将在下面的描述中部分给出,部分将从下面的描述中变得明显,或通过本发明的实践了解到。

附图说明

[0019] 本发明上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中:

[0020] 图 1 为本发明实施例存储单元功能测试装置的功能示意图;

[0021] 图 2 为本发明实施例预充电电路的示意图;

[0022] 图 3 为本发明实施例写电路的示意图;

[0023] 图 4 为本发明实施例读取电路的示意图;

[0024] 图 5 为本发明实施例测试模块版图布局示意图;

[0025] 图 6 为本发明实施例试验方案示意图。

具体实施方式

[0026] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0027] 为了实现本发明之目的,本发明实施例提出了一种存储单元测试电路,包括:

[0028] 存储单元阵列,用于储存信息数据;

[0029] 预充电电路,用于对所述存储单元阵列的位线进行预充电;

[0030] 写电路,用于将数据写入所述存储单元阵列;

[0031] 读取电路,用于感应所述存储单元阵列中的信息获得信号,并放大所述信号,通过

驱动电路驱动所述信号到压焊点上,使得所述信号的电流满足测试仪器的驱动要求。

[0032] 作为本发明的实施例,存储单元阵列包括 $N \times N$ 的存储单元,以及连接存储单元的位线和字线。为了便于阐述本发明,以 4×4 的存储单元为例进行说明。

[0033] 例如,实施例中存储单元 (CELL) 阵列部分是由 4×4 存储单元 (CELL) 构成,一共有八条位线 (BL 和 BLB) 和四条字线 (WL0 ~ WL3),在写操作时选择其中一条字线从低电平变为高电平,数据通过写电路部分 (WRITE) 写入存储单元,并且保存起来。在读操作的时候也选择其中一条字线从低电平变为高电平,将存储单元中保存的数据读出来。这里的存储单元指具有差分输入输出的任意结构的存储单元结构。

[0034] 如图 1 所示,为存储单元测试电路的功能示意图。在保持状态下,预充电信号 DQ 为低电平,预充电电路对所有位线充电,使其等于高电平。所有字线、控制信号 WE、CE 都处于低电平,这时候信息保存在存储单元 (CELL) 里;在写操作状态下,预充电信号 DQ 从低电平上升到高电平,预充电电路 (PRECHAGE) 停止对所有位线充电,选择其中一条字线从低电平上升到高电平,同时使写控制信号 WE 上升到高电平,这时候输出端的数据通过写电路 (WRITE) 传输到位线上,并且保存在存储单元里。在读操作状态下,预充电信号 DQ 从低电平上升到高电平,预充电电路停止对所有位线充电,选择其中一条字线从低电平上升到高电平,同时使写控制信号 CE 上升到高电平,这时候存储单元里的信息通过位线传输到读取电路 (READ),并通过读取电路最后输出到输出端。

[0035] 作为本发明的实施例,预充电电路包括三个 PMOS 晶体管,当预充电控制信号 DQ 从高电平变为低电平时,预充电电路对位线 BL 和 BLB 进行充电,当预充电控制信号 DQ 从低电平变为高电平时,预充电电路停止对位线 BL 和 BLB 进行充电。

[0036] 如图 2 所示,为预充电电路 (PRECHARGE) 示意图。当预充电信号 DQ 保持低电平时,三个 PMOS 晶体管保持开启状态,这时候电流通过两个 PMOS 对位线充电并充电到 VDD,连接两条位线起到平衡管作用的 PMOS 管开启,从而使得两条位线保持相等的电位。而整体电路处于写或者读取状态的时候,预充电电路 DQ 上升到高电平,三个 PMOS 全部关闭,电源不再对位线进行充电。

[0037] 作为本发明的实施例,写电路包括两个与非门、两个反相器和两个传输门。当写信号 WE 从低电平变为高电平时,输入数据通过一个与非门产生反相信号,正信号和反相信号分别通过两个反相器和两个传输门传输到两条反相位线 (BL 和 BLB),完成写操作。

[0038] 如图 3 所示,为写电路 (WRITE) 示意图。当写信号 WE 从低电平变为高电平时,输入数据通过一个与非门产生反相信号,反相信号通过另一个与非门产生正信号,正信号和反相信号分别通过两个反相器和两个传输门传输到两条反相位线 (BL 和 BLB),并且完成写操作。

[0039] 作为本发明的实施例,读取电路包括三个反相器和一个可控制反相器。当读操作时候,读取信号 CE 从低电平变为高电平,最后一级可控制反相器打开,由于这时候所选择的字线已经打开,存储的信息已经传递到位线 BL 上,位线 BL 上的信号通过前两级反相器送到已经打开的可控制反相器,最后输出到输出端,即感应存储单元阵列中的信息并通过灵敏放大器放大,然后通过驱动电路驱动灵敏放大器放大后的信号到压焊点上,使得最终的信号电流满足后续仪器的驱动要求。

[0040] 如图 4 所示,为读取电路 (READ) 示意图。当读操作时候,读取信号 CE 从低电平变

为高电平,最后一级可控制反相器打开,由于这时候所选择的字线已经打开,存储的信息已经传递到位线BL上,位线BL上的信号通过前两级反相器送到已经打开的可控制反相器,最后输出到输出端,即感应存储单元阵列中的信息并通过读取电路放大,然后通过驱动电路驱动放大后的信号到压焊点上,使得最终的信号电流满足后级仪器的驱动要求。

[0041] 本发明实施例还提出了一种根据上述装置得到的测试方法,包括以下步骤:

[0042] 根据上述的存储单元测试电路中的预充电电路、写电路以及读取电路,设计布局版图,形成IP核,其中,压焊块个数与存储单元阵列中的存储单元的个数相等;

[0043] 设计所述存储单元阵列的版图,将其嵌入于IP核中,连接信号完成待测试模块的版图设计;

[0044] 根据所述待测试模块的版图设计生产待测试芯片;

[0045] 将所述待测试芯片固定于载物台进行抗单粒子测试。

[0046] 相应于上述4×4存储单元的实施例,如图5所示,为测试模块版图布局示意图,图中是由一个十六个压焊块、预充电电路,存储单元阵列、写电路和读取电路组成的版图布局,示意图省略了压焊块和各电路模块之间的连接关系,此处实际连接关系与存储单元功能测试模块的整体示意图相同。各压焊块对应的实际信号的顺序可调换。在特定工艺的条件下,只要设计完测试模块除存储单元阵列的其他模块,就可以形成一个IP核,每次只需要设计新型存储单元阵列的版图,将存储单元的阵列直接嵌入IP核,即嵌入图五中的存储单元阵列CELL ARRAY,并连接相关信号即可完成测试模块的版图设计,这样大大简化了设计过程。

[0047] 进一步而言,如图6所示的试验方案示意图,包括由信号发生器、示波器、电源、载物台和所需测试模块芯片组成。将所需测试模块芯片固定在载物台上,压焊块连接到相应的接口;信号发生器的输出信号连接到信号WL0~WL3、DQ、WE、CE和O<0>~O<3>相应的接口;电源也和信号VDD和GND相应的接口相连接;示波器的输入信号连接到O<0>~O<3>相应的接口。先进行写入操作,通过信号发生器对存储单元测试模块按照上面的写操作写入相应的数据,然后使信号WL0~WL3、DQ、WE、CE处于低电平,在这种情况下对载物台进行辐照,最后停止辐照,通过信号发生器对存储单元测试模块按照上面的读操作写入控制信号,通过示波器查看输出信号O<0>~O<3>的电平正确与否。重复操作后得出该存储单元结构的抗单粒子性能。

[0048] 本发明公开的上述方案,针对单粒子试验中的存储单元功能测试,由于电路相对大容量存储器的外围电路简单很多,且具有可移植性,可以直接将不同的存储单元直接嵌入到功能测试模块中,大大缩短了设计周期和减小了芯片面积。使得在一次流片中可以制造很多不同的存储单元电路结构的功能测试模块,并且用普通的测试仪器即能测试这些功能测试模块,大大缩短了对存储单元电路结构的抗单粒子能力的探索时间。

[0049] 本发明公开的上述方案,针对存储单元单粒子实验中遇到的问题,解决了测试芯片中遇到的占用面积大、设计成本昂贵、设计周期长的问题。如果直接对存储单元进行功能测试,将存储单元直接连接到压焊点上,并通过测试仪器进行测试的话,由于存储单元的存取电流比较小,无法带动压焊点上和测试仪器内部的负载,实际上无法测试出所需要的结果,而且采用单个存储单元无法模拟其在大容量存储单元阵列中的边缘效应的影响。本发明提出的上述方案,使得在版图设计时可以将新型存储单元直接嵌入到存储单元测试模块

中,并且只需要采用合适的印刷板电路和普通的测试仪器,即可以应用于单粒子实验中的存储器测试,使得在一次流片中就可以制作多种不同电路结构的存储单元的测试模块。

[0050] 虽然关于示例实施例及其优点已经详细说明,应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下,可以对这些实施例进行各种变化、替换和修改。对于其他例子,本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时,工艺步骤的次序可以变化。

[0051] 此外,本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容,作为本领域的普通技术人员将容易地理解,对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤,其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果,依照本发明可以对它们进行应用。

[0052] 因此,本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

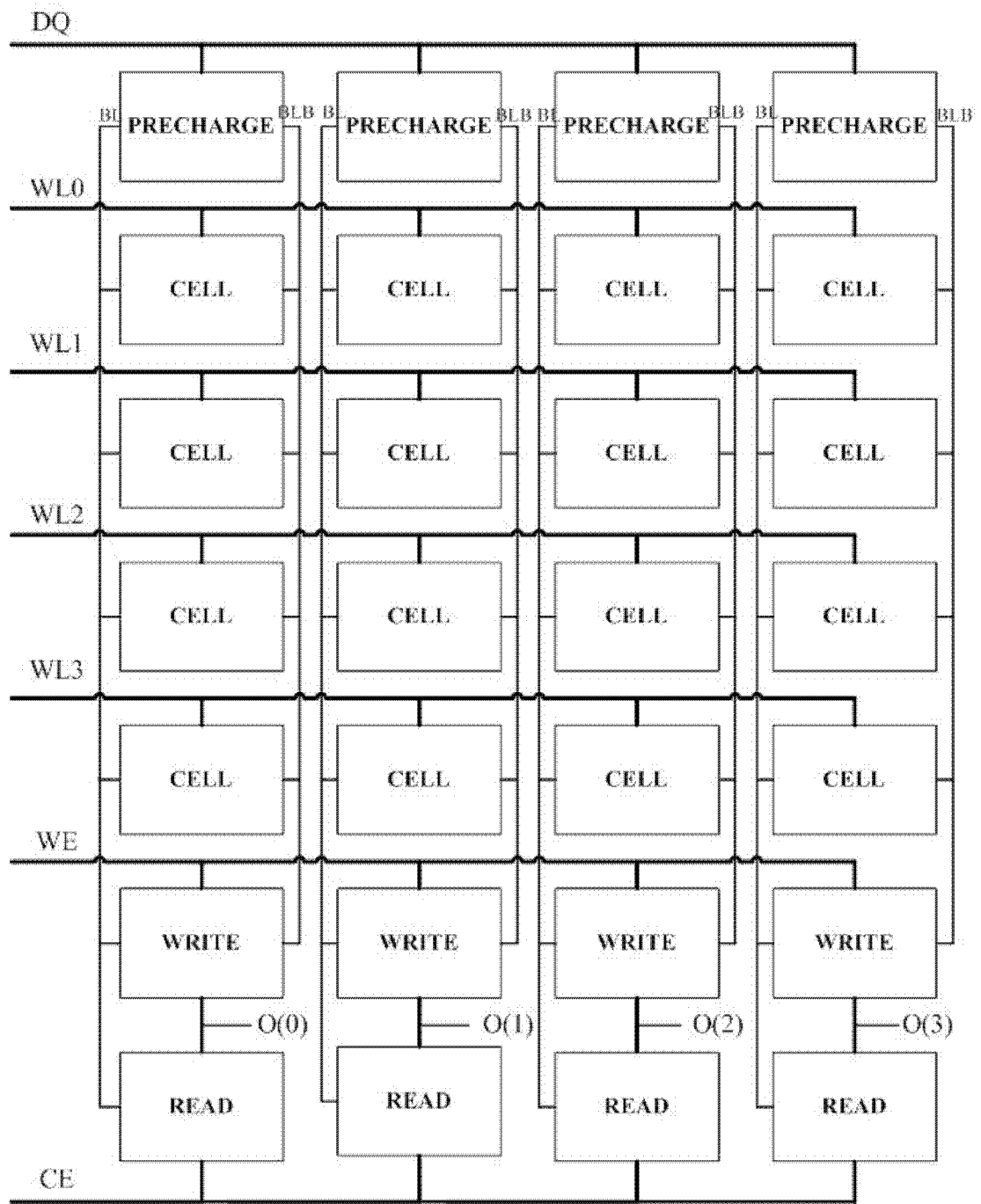


图 1

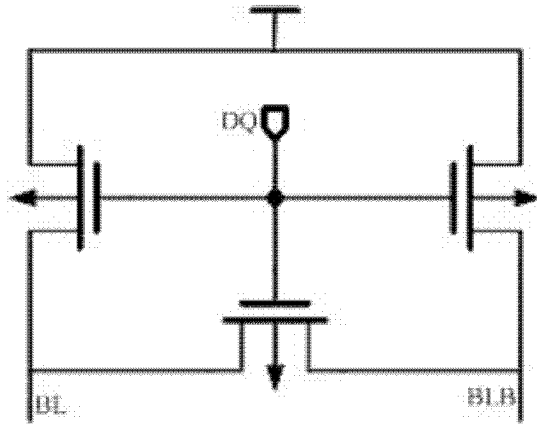


图 2

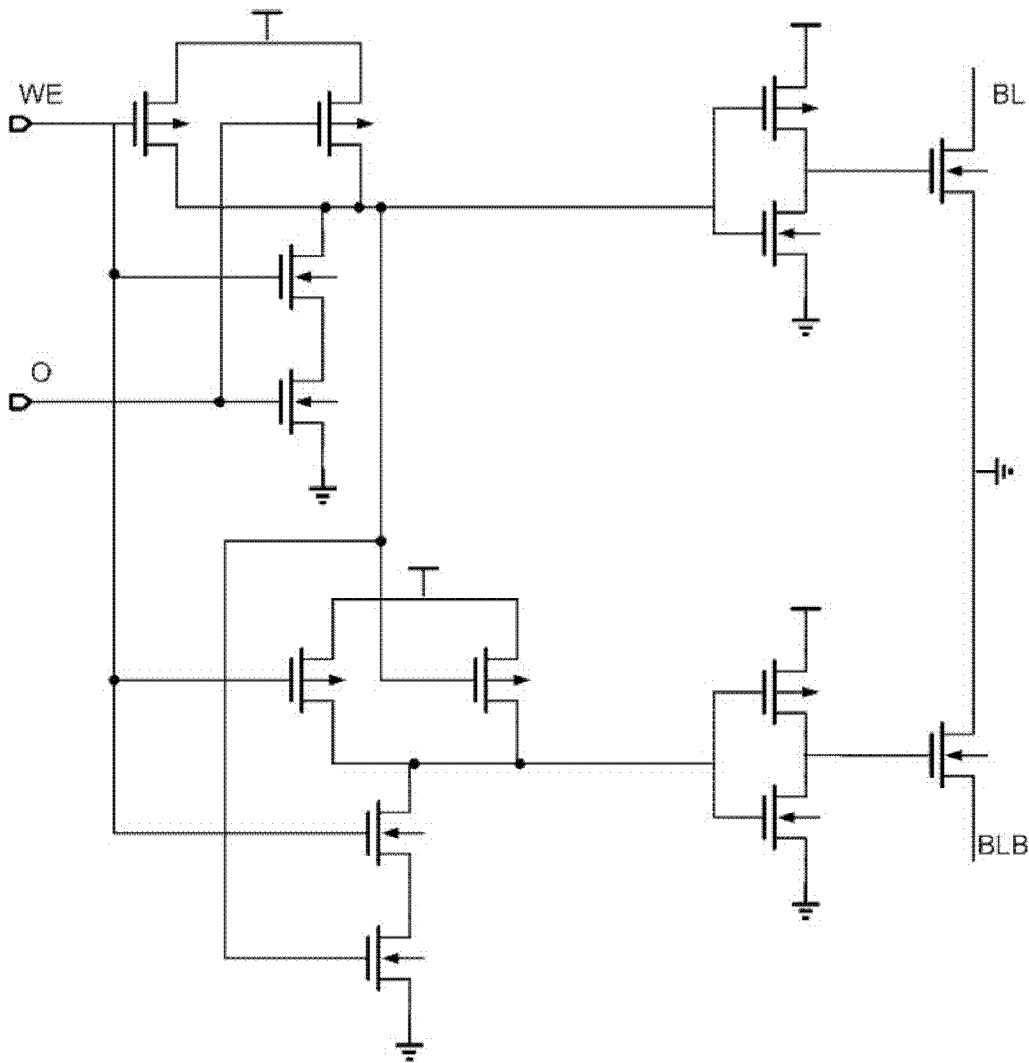


图 3

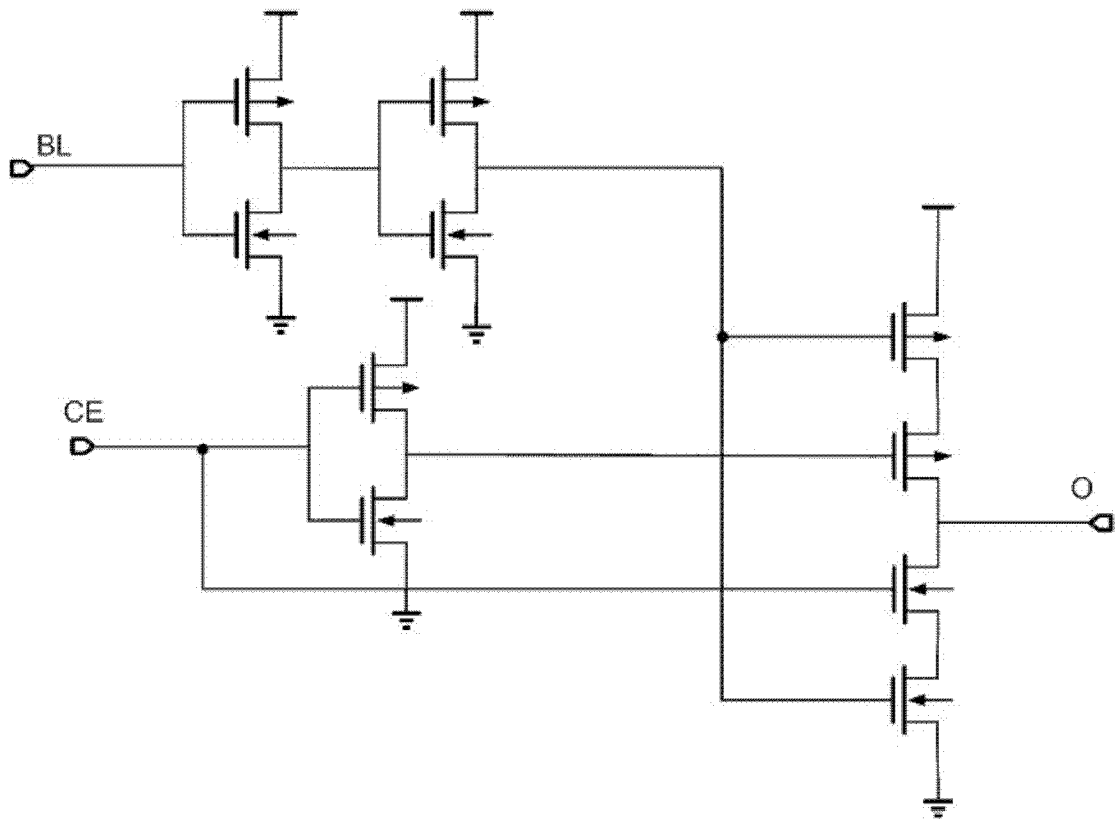


图 4

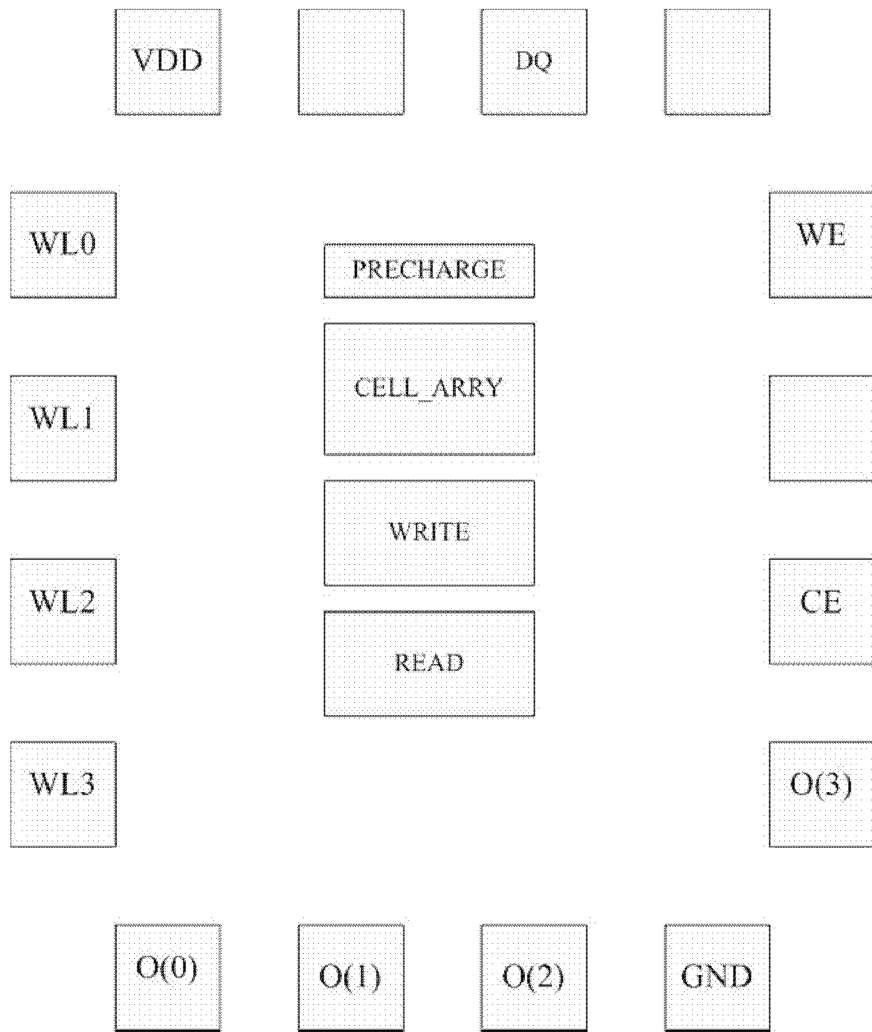


图 5

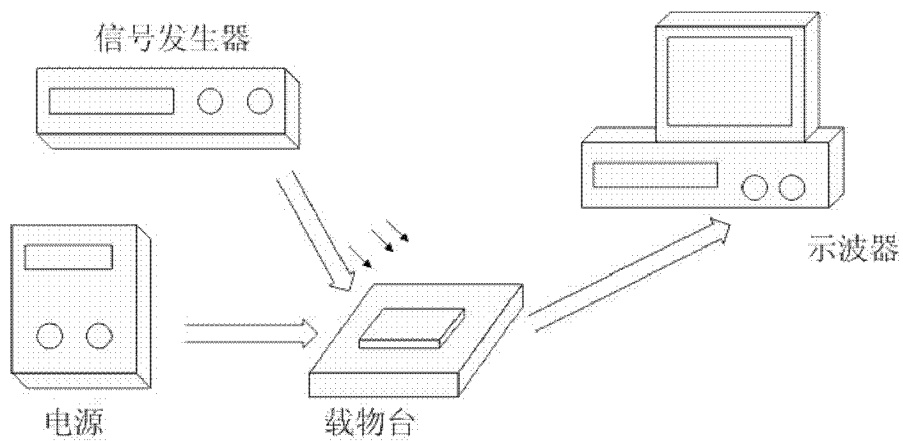


图 6