



(12)发明专利

(10)授权公告号 CN 105593991 B

(45)授权公告日 2018.06.01

(21)申请号 201480054816.0

黑里贝特·齐尔

(22)申请日 2014.08.29

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

(65)同一申请的已公布的文献号
申请公布号 CN 105593991 A

代理人 丁永凡 李建航

(43)申请公布日 2016.05.18

(51)Int.Cl.

(30)优先权数据
102013110853.9 2013.10.01 DE

H01L 25/16(2006.01)

H01L 33/00(2006.01)

H01L 33/38(2006.01)

(85)PCT国际申请进入国家阶段日
2016.04.01

H01L 33/48(2006.01)

H01L 33/62(2006.01)

(86)PCT国际申请的申请数据
PCT/EP2014/068403 2014.08.29

(56)对比文件

CN 102315352 A, 2012.01.11,

CN 1905224 A, 2007.01.31,

CN 1750286 A, 2006.03.22,

CN 102687271 A, 2012.09.19,

(87)PCT国际申请的公布数据
W02015/049079 DE 2015.04.09

审查员 颜琳淑

(73)专利权人 欧司朗光电半导体有限公司
地址 德国雷根斯堡

(72)发明人 安德烈亚斯·普洛歇尔

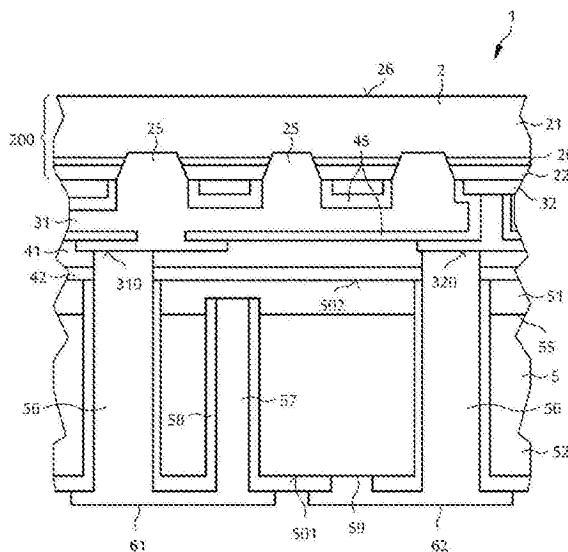
权利要求书2页 说明书9页 附图5页

(54)发明名称

发射辐射的半导体芯片和用于制造发射辐射的半导体芯片的方法

(57)摘要

一种具有半导体本体(2)和载体(5)的发射辐射的半导体芯片(1),所述半导体本体具有半导体层序列(200)、第一传导类型的第一半导体层(21)和与第一传导类型不同的第二传导类型的第二半导体层(22),其中所述半导体层序列具有设置用于产生辐射的有源区域(20),其中半导体本体设置在所述载体上,其中在所述载体中构成有pn结(55);载体在背离半导体本体的后侧(501)上具有第一接触部(61)和第二接触部(62);以及有源区域和pn结经由第一接触部和第二接触部关于导通方向彼此反并联地连接。此外,本发明提出一种用于制造发射辐射的半导体芯片的方法。



1. 一种具有半导体本体 (2) 和载体 (5) 的发射辐射的半导体芯片 (1), 所述半导体本体具有半导体层序列 (200)、第一传导类型的第一半导体层 (21) 和与所述第一传导类型不同的第二传导类型的第二半导体层 (22), 所述半导体层序列具有设置用于产生辐射的有源区域 (20), 所述半导体本体设置在所述载体上, 其中

- 在所述载体中构成有 pn 结 (55);

- 所述载体在背离所述半导体本体的后侧 (501) 上具有第一接触部 (61) 和第二接触部 (62);

- 所述有源区域和所述 pn 结经由所述第一接触部和所述第二接触部关于导通方向彼此反并联地连接;

- 所述 pn 结整面地在所述载体中构成在所述载体的第一子区域 (51) 和所述载体的第二子区域 (52) 之间, 其中所述第一子区域设置在所述半导体本体和所述第二子区域之间; 以及

- 所述载体具有开口 (57), 所述开口从所述载体的后侧延伸穿过所述第二子区域并且在所述第一子区域中终止, 其中所述第一子区域经由所述开口进行外部电接触。

2. 根据权利要求 1 所述的发射辐射的半导体芯片,

其中所述第一接触部经由穿过所述载体的过孔 (56) 与所述第一半导体层导电连接。

3. 根据权利要求 2 所述的发射辐射的半导体芯片,

其中所述过孔延伸穿过所述 pn 结。

4. 一种用于制造多个发射辐射的半导体芯片 (1) 的方法, 所述方法具有下述步骤:

a) 提供半导体层序列 (200), 所述半导体层序列具有设置用于产生辐射的有源区域 (20)、第一传导类型的第一半导体层 (21) 和与所述第一传导类型不同的第二传导类型的第二半导体层 (22);

b) 将构成有 pn 结的载体复合件 (500) 固定在所述半导体层序列上,

c) 从所述载体复合件的背离所述半导体层序列的后侧 (501) 穿过所述载体复合件构成多个过孔 (56);

d) 在所述载体的后侧上构成多个第一接触部 (61) 和第二接触部 (62), 其中所述第一接触部经由所述过孔与所述第一半导体层导电连接; 以及

e) 将所述半导体层序列与所述载体复合件分割为半导体芯片, 其中

- 在所述半导体芯片中所述有源区域和所述 pn 结分别经由所述第一接触部和所述第二接触部关于导通方向彼此反并联地连接;

- 所述半导体芯片分别具有半导体本体 (2) 和载体 (5), 所述半导体本体设置在所述载体上;

- 所述 pn 结整面地在所述载体中构成在所述载体的第一子区域 (51) 和所述载体的第二子区域 (52) 之间, 其中所述第一子区域设置在所述半导体本体和所述第二子区域之间; 以及

- 所述载体具有开口 (57), 所述开口从所述载体的后侧起延伸穿过所述第二子区域并且在所述第一子区域中终止, 其中所述第一子区域经由所述开口电接触。

5. 根据权利要求 4 所述的方法,

其中在步骤 b) 之前在所述半导体层序列上构成第一连接面 (310), 所述第一连接面与

所述第一半导体层导电连接,并且其中在步骤c)中将所述第一连接面露出。

6. 根据权利要求4所述的方法,

其中所述半导体层序列在步骤b) 中在朝向所述载体复合件的一侧上整面地由介电层(41)遮盖。

7. 根据权利要求4至6中任一项所述的方法,

其中所述载体复合件借助于直接键合来固定在所述半导体层序列上。

8. 根据权利要求4至6中任一项所述的方法,

其中从所述后侧起在所述载体复合件中构成开口(57),所述开口延伸穿过所述pn结。

9. 根据权利要求8所述的方法,

其中所述开口在俯视图中与所述过孔相比具有更小的横截面,使得所述开口和所述过孔在同时制造时构成为,使得所述过孔延伸穿过所述载体复合件并且所述开口在所述载体复合件中终止。

10. 根据权利要求4至6中任一项所述的方法,

其中所述pn结平行于所述载体复合件的后侧伸展,并且所述pn结在步骤b) 中与在所述载体复合件的后侧上相比设置得距所述载体复合件的朝向所述半导体层序列的前侧更近。

11. 根据权利要求4至6中任一项所述的方法,

其中在步骤b) 和步骤c) 之间从所述后侧起将所述载体复合件打薄。

12. 根据权利要求4至6中任一项所述的方法,

其中制造根据权利要求1至3中任一项所述的发射辐射的半导体芯片。

发射辐射的半导体芯片和用于制造发射辐射的半导体芯片的方法

技术领域

[0001] 本发明涉及一种发射辐射的半导体芯片以及一种用于制造发射辐射的半导体芯片的方法。

背景技术

[0002] 光电子半导体芯片,例如辐射二极管芯片(Lumineszenzdiodechip)通常为了防护静电放电而连同与其并联连接的ESD保护二极管共同设置在壳体中。然而这种构造需要相对大的壳体,由此这种壳体的可小型化性是受限的。

发明内容

[0003] 目的是提出一种尤其紧凑的构型,所述构型相对于静电放电是不敏感的。此外应提出一种方法,借助于所述方法可以简单且可靠地制造这种构型。

[0004] 这些目的此外通过发射辐射的半导体芯片来实现,其具有半导体本体和载体,所述半导体本体具有半导体层序列、第一传导类型的第一半导体层和与所述第一传导类型不同的第二传导类型的第二半导体层,所述半导体层序列具有设置用于产生辐射的有源区域,所述半导体本体设置在所述载体上,其中-在所述载体中构成有pn结;-所述载体在背离所述半导体本体的后侧上具有第一接触部和第二接触部;-所述有源区域和所述pn结经由所述第一接触部和所述第二接触部关于导通方向彼此反并联地连接;-所述pn结整面地在所述载体中构成在所述载体的第一子区域和所述载体的第二子区域之间,其中所述第一子区域设置在所述半导体本体和所述第二子区域之间;以及-所述载体具有开口,所述开口从所述载体的后侧延伸穿过所述第二子区域并且在所述第一子区域中终止,其中所述第一子区域经由所述开口进行外部电接触;或通过用于制造多个发射辐射的半导体芯片的,所述方法具有下述步骤:a)提供半导体层序列,所述半导体层序列具有设置用于产生辐射的有源区域、第一传导类型的第一半导体层和与所述第一传导类型不同的第二传导类型的第二半导体层;b)将构成有pn结的载体复合件固定在所述半导体层序列上,c)从所述载体复合件的背离所述半导体层序列的后侧穿过所述载体复合件构成多个过孔;d)在所述载体的后侧上构成多个第一接触部和第二接触部,其中所述第一接触部经由所述过孔与所述第一半导体层导电连接;以及e)将所述半导体层序列与所述载体复合件分割为半导体芯片,其中-在所述半导体芯片中所述有源区域和所述pn结分别经由所述第一接触部和所述第二接触部关于导通方向彼此反并联地连接;-所述半导体芯片分别具有半导体本体和载体,所述半导体本体设置在所述载体上;-所述pn结整面地在所述载体中构成在所述载体的第一子区域和所述载体的第二子区域之间,其中所述第一子区域设置在所述半导体本体和所述第二子区域之间;以及-所述载体具有开口,所述开口从所述载体的后侧起延伸穿过所述第二子区域并且在所述第一子区域中终止,其中所述第一子区域经由所述开口电接触方法来实现。设计方案和改进方案是本文的主题。

[0005] 提出一种发射辐射的半导体芯片。

[0006] 根据发射辐射的半导体芯片的至少一个实施方式,半导体芯片具有半导体本体。半导体本体具有半导体层序列,所述半导体层序列具有设置用于产生辐射的有源区域。此外,半导体层序列尤其具有第一传导类型的第一半导体层和与第一传导类型不同的第二传导类型的第二半导体层。第一半导体层例如以n型传导的方式掺杂而第二半导体层以p型传导的方式掺杂或者相反。有源区域尤其设置在第一半导体层和第二半导体层之间。有源区域、第一半导体层和第二半导体层也能够分别多层地构成。

[0007] 根据发射辐射的半导体芯片的至少一个实施方式,半导体芯片具有载体。也就是说,载体是半导体芯片的一部分。载体尤其用于机械稳定半导体本体。

[0008] 根据发射辐射的半导体芯片的至少一个实施方式,在载体中构成有pn结。与有源区域不同的是,pn结不构成用于产生电磁辐射。也就是说,载体也能够由如下材料形成,所述材料不适合用于产生辐射。载体例如能够包含硅或者锗或者由这种材料构成。

[0009] 载体在背离半导体本体的后侧和朝向半导体本体的前侧之间沿着竖直方向延伸。

[0010] 根据发射辐射的半导体芯片的至少一个实施方式,载体在后侧上具有第一接触部和第二接触部。接触部设置用于外部电接触发射辐射的半导体芯片。通过将外部的电压施加在这些接触部之间能够将载流子从不同侧注入到有源区域中并且在该处复合以发射辐射。

[0011] 根据发射辐射的半导体芯片的至少一个实施方式,有源区域和pn结经由第一接触部和第二接触部关于导通方向彼此反并联地连接。在关于有源区域施加正向电压时,pn结沿着截止方向定向,使得载流子注入到有源区域中并且在该处重组以发射辐射。在例如由于静电充电而在有源区域上沿着反向方向施加电压时,pn结沿着导通方向定向,使得载流子能够绕过有源区域经由pn结流出。

[0012] 在发射辐射的半导体芯片的至少一个实施方式中,半导体芯片具有半导体本体,所述半导体本体具有半导体层序列、第一传导类型的第一半导体层和与第一传导类型不同的第二传导类型的第二半导体层,所述半导体层序列具有设置用于产生辐射的有源区域。此外,半导体芯片具有载体,在所述载体上设置有半导体本体,其中在载体中构成有pn结。在背离半导体本体的后侧上,载体具有第一接触部和第二接触部。有源区域和pn结经由第一接触部和第二接触部关于导通方向彼此反并联地连接。

[0013] 也就是说,发射辐射的半导体芯片具有集成到半导体芯片中的、呈在半导体芯片的载体中构成的pn结形式的ESD(Electro Static Discharge静电放电)防护部。因此能够弃用附加的、在半导体芯片外部构成的、护静电放电的防护部。此外,半导体芯片经由设置在后侧的接触部能够电接触并且能够经由标准工艺、例如回流焊固定在连接载体、例如电路板或者引线框上。特别地,发射辐射的半导体芯片构成为所谓的CSP器件(Chip Size Package,芯片级封装)。这种构型是尤其紧凑的,尤其与其中半导体芯片与附加的ESD二极管共同安装在壳体中的器件相比是尤其紧凑的。此外,半导体芯片是可表面安装的器件(Surface Mounted Device,smd)。

[0014] 根据发射辐射的半导体芯片的至少一个实施方式,pn结整面地构成在载体中。这意味着,在半导体芯片的俯视图中,pn结在整个载体材料之上延伸。也就是说,为了制造具有这种pn结的载体不需要横向的结构化工艺。

[0015] pn结尤其平行于载体的后侧延伸。

[0016] 根据发射辐射的半导体芯片的至少一个实施方式, pn结构成在载体的第一子区域和载体的第二子区域之间。特别地, 第一子区域设置在半导体本体和第二子区域之间。第一子区域和第二子区域关于传导类型彼此不同。第一子区域例如是p型传导的而第二子区域例如是n型传导的或者相反。

[0017] 根据发射辐射的半导体芯片的至少一个实施方式, 载体具有开口, 所述开口从载体的后侧延伸穿过第二子区域, 其中第一子区域经由开口来电接触。开口例如构成为载体中的盲孔。也就是说, 开口沿着竖直方向不完全地穿过载体。也就是说, 经由开口, pn结的朝向半导体本体的子区域从载体的后侧起能够电接触。

[0018] 根据发射辐射的半导体芯片的至少一个实施方式, 第一接触部经由穿过载体的过孔与第一半导体层导电连接。过孔沿着竖直方向完全地延伸穿过载体。替选地或者补充地, 第二接触部经由穿过载体的过孔不与第二半导体层导电连接。然而, 接触部中的一个也能够直接经由载体的适宜的能导电的材料代替经由过孔来与所属的半导体层导电连接。

[0019] 根据发射辐射的半导体芯片的至少一个实施方式, 过孔延伸穿过pn结。在第一接触部和第二接触部分别经由过孔电接触时, 这两个过孔能够延伸穿过pn结。在过孔的区域中, 接触部适宜地分别与pn结电绝缘。特别地, pn结能够沿着围绕过孔的整个环周延伸。

[0020] pn结例如借助于电绝缘的分隔层与第一接触部和/或第二接触部电绝缘。

[0021] 此外, 提出一种用于制造多个发射辐射的半导体芯片的方法。接下来将描述的方法适合于制造之前所描述的发射辐射的半导体芯片。结合半导体芯片所详述的特征因此也能够用于所述方法并且反之亦然。

[0022] 根据所述方法的至少一个实施方式, 所述方法包括如下步骤, 其中提供半导体层序列, 所述半导体层序列具有设置用于产生辐射的有源区域、第一传导类型的第一半导体层和与第一传导类型不同的第二传导类型的第二半导体层。半导体层序列例如外延地, 例如借助于MOVPE沉积在生长衬底上。半导体层序列能够在生长衬底或者与生长衬底不同的辅助载体上提供。

[0023] 根据所述方法的至少一个实施方式, 所述方法包括如下步骤, 其中将载体复合件固定在半导体层序列上。特别地, 在载体复合件中构成有pn结。

[0024] 根据所述方法的至少一个实施方式, 所述方法包括如下步骤, 其中从载体复合件的背离半导体层序列的后侧起穿过载体复合件构成多个过孔。过孔的构成尤其在载体复合件已经固定在半导体层序列上之后进行。在固定在半导体层序列上的时间点, 载体复合件能够沿着横向方向完全未结构化地构成。特别地, 载体复合件完全没有凹槽或者留空部, 所述凹槽或留空部沿着竖直方向完全地或者部分地延伸穿过载体复合件。

[0025] 根据所述方法的至少一个实施方式, 所述方法包括如下步骤, 其中在载体的后侧上构成多个第一接触部和第二接触部。第一接触部经由过孔与第一半导体层导电连接。替选地或者补充地, 第二接触部能够经由过孔与第二半导体层导电连接。

[0026] 根据所述方法的至少一个实施方式, 所述方法包括如下步骤, 其中将半导体层序列与载体复合件分割为半导体芯片。在已分割的半导体芯片中, 有源区域和pn结分别经由第一接触部和第二接触部关于导通方向彼此反并联地连接。已分割的半导体芯片分别具有从半导体层序列产生的半导体本体和从载体复合件产生的载体。

[0027] 在所述方法的至少一个实施方式中,所述方法包括下述步骤:

[0028] 提供半导体层序列,所述半导体层序列具有设置用于产生辐射的有源区域、第一传导类型的第一半导体层和与第一传导类型不同的第二传导类型的第二半导体层;

[0029] 将载体复合件固定在半导体层序列上,在所述载体复合件中构成有pn结;

[0030] 从载体复合件的背离半导体层序列的后侧起穿过载体复合件构成多个过孔;

[0031] 在载体的后侧上构成多个第一接触部和第二接触部,其中第一接触部经由过孔与第一半导体层导电连接;以及

[0032] 将半导体层序列与载体复合件分割为半导体芯片,其中在半导体芯片中有源区域和pn结分别经由第一接触部和第二接触部关于导通方向彼此反并联地连接。

[0033] 已分割的半导体芯片分别具有载体和半导体本体,所述载体和半导体本体从载体复合件或半导体层序列中产生。

[0034] 所述方法优选以制造步骤的所提出的顺序执行。

[0035] 借助于所描述的方法能够制造半导体芯片,其中将ESD防护部集成到已分割的半导体芯片的载体中。在将半导体层序列固定在载体复合件上的时间点,载体复合件沿着横向方向能够完全未结构化,使得例如借助于机械止挡部就已经足以相对于载体复合件粗略地调整半导体层序列。调整时的偏差与待制造的半导体芯片的横向的扩展相比例如也能够更大,而产量不降低。相对于此需要更精确的调整的方法步骤、例如光刻结构化步骤在载体复合件已经固定在半导体层序列上之后才用于进行载体复合件的结构化。

[0036] 通过在载体复合件中构成的pn结,此外已经能够在如下时间点之前保护半导体芯片防止静电放电,在所述时间点中半导体层序列与载体复合件被分割为半导体芯片。

[0037] 根据所述方法的至少一个实施方式,所述方法包括如下步骤:其中在将载体复合件固定在半导体层序列上之前,在半导体层序列上构成第一连接面,所述第一连接面与第一半导体层导电连接。在将载体复合件固定在半导体层序列上之后将第一连接面露出。换句话说,过孔构成为,使得第一连接面对于电接触第一半导体层是可用的。

[0038] 根据所述方法的至少一个实施方式,在将载体复合件固定在半导体层序列上时,半导体层序列在朝向载体复合件的一侧上完全地由介电层覆盖。在朝向载体复合件的一侧上,尤其平整地构成介电层。特别地,介电层没有阶梯部。为了将例如能够由于覆上(überformt)的棱边而出现的平整部平整,能够在固定载体复合件之前将介电层平坦化、例如通过化学机械抛光平坦化。

[0039] 根据所述方法的至少一个实施方式,载体复合件借助于直接键合固定在半导体层序列上。该步骤尤其能够在室温下执行。连接层、如粘接层或者焊料层在直接键合时是不需要的。

[0040] 然而,替代于直接键合,也能够应用借助于连接层、如焊料层或者粘接层将载体复合件固定在半导体层序列上。

[0041] 根据所述方法的至少一个实施方式,从后侧起在载体复合件中构成开口,所述开口延伸穿过pn结。开口尤其在载体复合件已经固定在半导体层序列上之后构成。开口和过孔能够在共同的制造步骤中或者在两个彼此在时间上分开的制造步骤中构成。

[0042] 根据所述方法的至少一个实施方式,开口在俯视图中与过孔相比具有更小的横截面,以至于开口和过孔在同时制造时构成为,使得过孔延伸穿过载体复合件而开口在载体

复合件中终止。

[0043] 各向异性的刻蚀法、例如反应离子深度刻蚀 (Deep Reactive Ion Etching, DRIE) 或者低温刻蚀适合于构成过孔和开口。这些工艺的刻蚀速率与待刻蚀的结构横截面相关,使得刻蚀速率在横截面小时与在横截面大时相比更小。这在文献Proceeding of SPIE 2000, 卷. 4174, 第90至97页;国际光学工程学会 (SPIE) 中描述。关于此的公开内容就此通过参引明确地并入本文。术语反应离子深度刻蚀通常包括如下工艺,借助于所述工艺可通过干化学刻蚀实现高的高宽比,例如所谓的Bosch工艺或者其改型。为了移除钝化层例如能够在通常使用的借助于C₄F₈和SF₆的处理步骤之间插入借助于氧的附加步骤。此外已知如下改型,其中刻蚀和钝化同时进行,这也称为“连续工艺”。

[0044] 已发现,通过调整开口和过孔的横截面能够将刻蚀速率调节为,使得过孔和开口在预设的时间中分别具有期望的刻蚀深度。过孔的横截面例如比开口的横截面大至少20%。

[0045] 根据所述方法的至少一个实施方式,pn结平行于载体复合件的后侧伸展并且在将载体复合件固定在半导体层序列上时pn结与设置在载体复合件的后侧上相比设置得距载体复合件的朝向半导体层序列的前侧更近。pn结例如以距载体复合件的前侧至多50μm的间距设置。特别地,pn结能够相对于前侧极其近地构成。优选地,与前侧的间距为至多10μm、尤其优选至多5μm、最优选至多3μm。

[0046] 根据所述方法的至少一个实施方式,在将载体复合件固定在半导体层序列上和构成过孔之间,从后侧起将载体复合件打薄。也就是说,在固定载体复合件的时间点,载体复合件由于相对大的厚度能够具有高的机械稳定性。在固定之后,为了减小半导体芯片的之后的载体的厚度能够打薄载体复合件。由此也减小了在构成过孔时的耗费。

附图说明

[0047] 其它的特征、设计方案和有利方案从结合附图对实施例的下述描述中得出。

[0048] 附图示出:

[0049] 图1根据示意性的剖视图的一部分示出发射辐射的半导体芯片的一个实施例;以及

[0050] 图2A至2E分别根据在示意性的剖视图中示出的中间步骤示出用于制造发射辐射的半导体芯片的方法的一个实施例。

[0051] 相同的、相类的或者起相同作用的元件在附图中设有相同的附图标记。

[0052] 附图和在附图中示出的元件彼此间的大小关系不能够视为是按比例的。更确切地说,各个元件并且尤其层厚度为了更好的示出和/或为了更好的理解而能够被夸张大地示出。

具体实施方式

[0053] 发射辐射的半导体芯片的一个实施例在图1中示意地以剖视图示出,其中半导体芯片的边缘区域为了简化视图未示出。

[0054] 发射辐射的半导体芯片例如构成为辐射二极管半导体芯片、例如构成为发光二极管半导体芯片 (Leuchtdioden-Halbleiterchip)。发射辐射的半导体芯片1包括半导体本体

2. 半导体本体具有半导体层序列200, 所述半导体层序列具有有源区域20, 所述有源区域设置在第一半导体层21和第二半导体层22之间。第一半导体层21例如n型传导地构成并且第二半导体层22例如p型传导地构成或者相反。

[0055] 半导体本体2、尤其有源区域20优选具有III-V族化合物半导体材料。III-V族化合物半导体材料尤其适合于产生在紫外光谱范围($Al_xIn_yGa_{1-x-y}N$)中经由可见光谱范围($Al_xIn_yGa_{1-x-y}N$, 尤其用于蓝色至绿色辐射, 或者 $Al_xIn_yGa_{1-x-y}P$, 尤其用于黄色至红色辐射)直至红外光谱范围($Al_xIn_yGa_{1-x-y}As$)中的辐射范围。在此分别适用的是: $0 \leq x \leq 1$, $0 \leq y \leq 1$ 并且 $x+y \leq 1$, 尤其 $x \neq 1$, $y \neq 1$, $x \neq 0$ 和/或 $y \neq 0$ 。借助于III-V族化合物半导体材料、尤其出自所谓的材料体系构成的III-V族化合物半导体材料, 还能够在产生辐射时实现高的内部的量子效率。

[0056] 半导体芯片1还包括载体5, 所述载体固定在半导体本体2上。载体5在背离半导体本体2的后侧501和朝向半导体本体的前侧502之间沿着垂直方向延伸。机械连接在所示出的实施例中示范性地借助于第一介电层41和第二介电层42之间的直接键合连接形成。但是与其不同地, 也可借助于连接层、例如焊料层或者粘接层将半导体本体2固定在载体5上。

[0057] 半导体本体2具有多个凹槽25, 所述凹槽从朝向载体的一侧起延伸穿过第二半导体层22和有源区域20。在凹槽中, 第一半导体层与第一连接层31导电连接。半导体本体2的背离载体5的辐射出射面26因此能够完全没有外部的电接触部, 使得避免遮挡的危险。

[0058] 第二半导体层22与第二连接层32导电连接。第二连接层32或第二连接层中的至少一个子层对于在有源区域20中在运行时产生的辐射而言构成为镜层。第二连接层32或者其中一个子层例如包含银、钯, 铝, 铯或镍。所提到的材料的特征在于在可见光谱范围中的高的反射率。在半导体芯片1的俯视图中, 第二连接层优选覆盖半导体本体2的基本面的至少50%、优选至少75%、最优选至少80%。

[0059] 第二连接层32局部地在第一连接层31和半导体本体2之间沿着垂直方向伸展。连接层31、32尤其是设置在半导体本体2外部的层、例如金属层。替选于或者补充于金属层, 第一连接层31和/或第二连接层32或者其中至少一个子层包含TCO (Transparent Conductive Oxide, 透明导电氧化物) 材料或者由这种材料构成。

[0060] 第一连接层31和第二连接层32借助于绝缘层45彼此电绝缘。绝缘层45为了避免第一连接层和第二半导体层22之间的电短路也能够覆盖凹槽25的侧面。这为了简化视图未明确示出。

[0061] 在朝向载体5的一侧上, 第一连接层31和第二连接层32形成第一连接面310或第二连接面320。第一连接面310和第二连接面320分别经由穿过载体的过孔56与第一接触部61或第二接触部62导电连接。接触部61、62构成在载体5的后侧501上。

[0062] 载体5具有pn结55。pn结构成在第一子区域51和第二子区域52之间。第一子区域例如是p型传导的并且第二子区域是n型传导的或者相反。第一子区域51例如能够借助于硼来p型传导地掺杂。

[0063] pn结平行于后侧501伸展并且沿着横向方向在载体5的整个面之上延伸。第一子区域51沿着垂直方向设置在第二子区域52和半导体本体2之间。

[0064] 在载体5中构成有开口57, 所述开口从载体的后侧起延伸穿过第二子区域52和pn结并且在第一子区域51中终止。在开口57中, 第一子区域与第一接触部61连接。第一子区域

具有与第一半导体层21的传导类型不同的传导类型。相应地,第二子区域52具有与第二半导体层22的传导类型不同的传导类型。第二子区域以在连接窗59中、在第二接触部62中邻接于载体5的后侧501的方式与第二接触部62导电连接。

[0065] 由此pn结55关于导通方向与有源区域20反并联地连接。有源区域20和pn结55经由第一接触部61和第二接触部62能够在外部电接触。也就是说,发射辐射的半导体芯片具有恰好两个外部的接触部。为了将载体5与过孔56和开口57电绝缘,过孔和开口的侧面设有分隔层58。

[0066] 在所示出的实施例中,过孔和开口完全地通过能导电的材料填充。然而,与此不同的是,仅部分地进行填充,例如侧面的呈外套状的覆层的形式就能够是足够的。

[0067] 对于第一介电层41、第二介电层42、绝缘层45和分隔层58而言,适合的例如是氧化物、如氧化硅,或者氮化物、例如氮化硅,或者具有不同的介电层的层序列、例如由氧化硅和氮化硅构成的层序列。

[0068] 过孔56延伸穿过pn结55并且在pn结的区域中借助于分隔层58与pn结电绝缘。

[0069] 与所示出的实施例不同的是,第一连接层310或者第二连接层320也能够不经过过孔而是经由载体材料本身与第一接触部61或第二接触部62导电连接。此外,pn结55不必整面地在载体5上延伸。此外也可以考虑的是,只要第一子区域51和第二子区域52分别经由接触部中的一个进行电接触,那么pn结不平行于载体的后侧501伸展而且与其倾斜地或者垂直地伸展。然而所描述的设计方案关于半导体芯片的尤其简单制造是尤其适合的。

[0070] 在图2A至2E中示意性地根据在剖视图中示出的中间步骤示出用于制造发射辐射的半导体芯片的方法的一个实施例。在此,如结合图1所描述的那样,示范性地制造半导体芯片。为了简化视图,仅示出半导体芯片的一个子区域。借助于所描述的方法能够同时制造多个半导体芯片。

[0071] 如在图2A中所示出的那样,提供半导体层序列200,所述半导体层序列具有有源区域20、第一半导体层21和第二半导体层22。半导体层序列200例如设置在生长衬底290上。对于基于氮化化合物的化合物半导体材料的半导体层序列而言,例如蓝宝石或者硅适合于作为生长衬底。

[0072] 在半导体层序列中,从背离生长衬底290的一侧起构成多个凹槽25,所述凹槽延伸穿过第二半导体层22和有源区域20。

[0073] 为了电接触第一半导体层21和第二半导体层22,如在图2B中所示出的那样,首先构成第二连接层32并且随后构成第一连接层31。在第一连接层31和第二连接层32之间构成有绝缘层45。第一连接层31、第二连接层32和绝缘层45是分别设置在预制的半导体层序列外部的层。

[0074] 在半导体层序列200的背离生长衬底290的一侧上,第一连接层31和第二连接层32形成第一连接面310或第二连接面320。将第一介电层41施加到连接层上。第一连接层整面地覆盖半导体层序列。第一介电层41形成用于接下来将半导体层序列200与载体复合件(图2C)连接的平整的面。

[0075] 如果需要的话,介电层41例如能够借助于CMP法平坦化。

[0076] 借助于直接键合将载体复合件500固定在半导体层序列200上。载体复合件500在朝向半导体层序列200的前侧502上具有第二介电层42,所述第二介电层同样平整地构成并

且具有非常小的表面粗糙度。载体复合件500具有pn结55,所述pn结整面地在整个载体复合件上延伸。载体复合件500整体上沿着横向方向完全地未结构化,使得在建立半导体层序列200和载体复合件500之间的连接时不必采取特殊的调整措施。例如,简单的机械止挡部对于半导体层序列200和载体复合件500之间的相对调整就是足够的。

[0077] 直接键合能够在室温下进行。通过第一介电层41和第二介电层42之间的接触产生氢键键合,所述氢键键合将这两个层彼此连接。在较高的温度下的缩合反应中,这些键能够转化为强的化学键、例如共价键或者共价离子键,以便持久地增强附着力。

[0078] 因为直接的键合连接能够在室温下进行,所以生长衬底、例如蓝宝石和载体复合件500、例如硅之间的不同程度的膨胀系数不引起弯曲或者仅引起不损害连接的弯曲。在建立直接的键合连接时,载体复合件适宜地具有足够大的厚度,以便在接合工艺中确保足够的机械稳定性。载体复合件的厚度例如为至少200 μm 。

[0079] 接下来从后侧501起打薄载体复合件500,如在图2D中所示出的那样。载体复合件在打薄之后的厚度优选在50 μm 和150 μm 之间,其中包括边界值,例如为80 μm 。

[0080] pn结与在后侧501上相比设置得距前侧502更近,使得在打薄载体复合件时不产生损伤pn结的危险。为了构成pn结例如能够应用相对弱n型掺杂的载体复合件500,在所述载体复合件中为了构成第一子区域51例如借助于植入构成p型传导的第一子区域51。在打薄之后,从后侧501起在载体复合件500中构成过孔56。这能够借助于光刻结构化法来进行,其中过孔56构成为,使得第一连接面310和第二连接面320被露出。在透明的生长衬底290中,能够对穿过生长衬底的光刻过程进行调整。在可透过辐射的生长衬底、例如硅中,替选于此能够在生长衬底的后侧上设置适当的调整结构(未明确示出)。

[0081] 为了构成过孔56,例如能够应用各向异性刻蚀法、例如反应离子深度刻蚀或者低温刻蚀。此外,从载体复合件500的后侧501起在载体复合件500中构成开口57,所述开口延伸穿过第二子区域52和pn结55进入到第一子区域51中并且在该处终止。过孔56和开口57能够依次以彼此分开的制造步骤制造。过孔56和开口57的刻蚀深度由此能够彼此不相关地设定。替选地,过孔56和开口57在共同的制造步骤中构成。对此,开口57的横截面与过孔56的横截面相比能够选择得更小,使得在同一干化学刻蚀法中在过孔56中与在开口57中相比出现更大的刻蚀速率。过孔56例如能够以大约60 μm 的直径圆形地构成,并且开口57以大约45 μm 的直径构成。显然,对于过孔和开口而言也能够选择与此不同的值。

[0082] 优选地,过孔的横截面积比开口57的横截面积大至少20%。

[0083] 为了露出第一连接面310和第二连接面320,能够将刻蚀法选择为,使得该刻蚀法选择性地金属的连接面上停止。替选地,例如能够进行光学终点识别,例如借助于光学发射光谱(OES)来进行光学终点识别。

[0084] 接下来,过孔56的和开口57的侧面以及后侧501设有电绝缘的分隔层,例如氧化硅层或者氮化硅层或者由氧化硅和氮化硅构成的层对(图2E)。对此例如能够应用CVD法如PECVD(Plasma Enhanced Chemical Vapour Deposition,等离子体增强化学气相沉积)或者原子层沉积(Atomic Layer Deposition,ALD)。在另一光刻结构化中,分隔层能够在开口57的底部处并且如果需要的话在过孔56的底部处打开,使得第一连接面310、第二连接面320和载体复合件500的第一子区域对于电接触而言是可用的。此外,在后侧501上构成连接窗59,在所述连接窗中为了电接触第二子区域52而露出载体复合件500的后侧。

[0085] 为了构成电接触部61、62例如能够沉积Ni/Au层并且在该层上限定漆掩模。在该掩模的窗中以电化学的方式例如通过铜增强之前施加的金属层。在移除漆掩模和未增强的Ni/Au层之后,有源区域20和pn结55经由第一接触部61和第二接触部62是可在外部电接触并且彼此反并联地连接。载体复合件500此时用于机械稳定半导体层序列200,使得生长衬底290对此是不再需要的并且能够被移除。所述移除例如能够借助于激光剥离法机械地或者化学地进行。

[0086] 为了构成各个半导体芯片,此时能够分割半导体层序列200与载体复合件500,例如借助于机械方法、如锯割、以化学的方式进行或者借助于激光分离。

[0087] 借助于所描述的方法能够以简单且可靠的方式尤其简单且成本适宜地以晶圆级制造半导体芯片、尤其在CSP结构中的半导体芯片,使得在分割为半导体芯片时已经将ESD防护二极管集成到半导体芯片中。也就是说,已制成的半导体芯片是表面安装器件,对于所述表面安装器件而言不需要附加的壳体(封装件)。此外能够弃用在半导体层序列和载体复合件之间的精细调整的键合工艺,使得该方法能够尤其简单且可靠地以低废品率的方式执行。

[0088] 本专利申请要求德国专利申请102013110853.9的优先权,其公开内容就此通过参引并入本文。

[0089] 本发明不受限于根据实施例进行的描述。更确切地说,本发明包括每个新的特征以及特征的任意的组合,这尤其包含本文中的特征的任意的组合,即使该特征或者该组合本身未明确地在本文或者实施例中说明时也是如此。

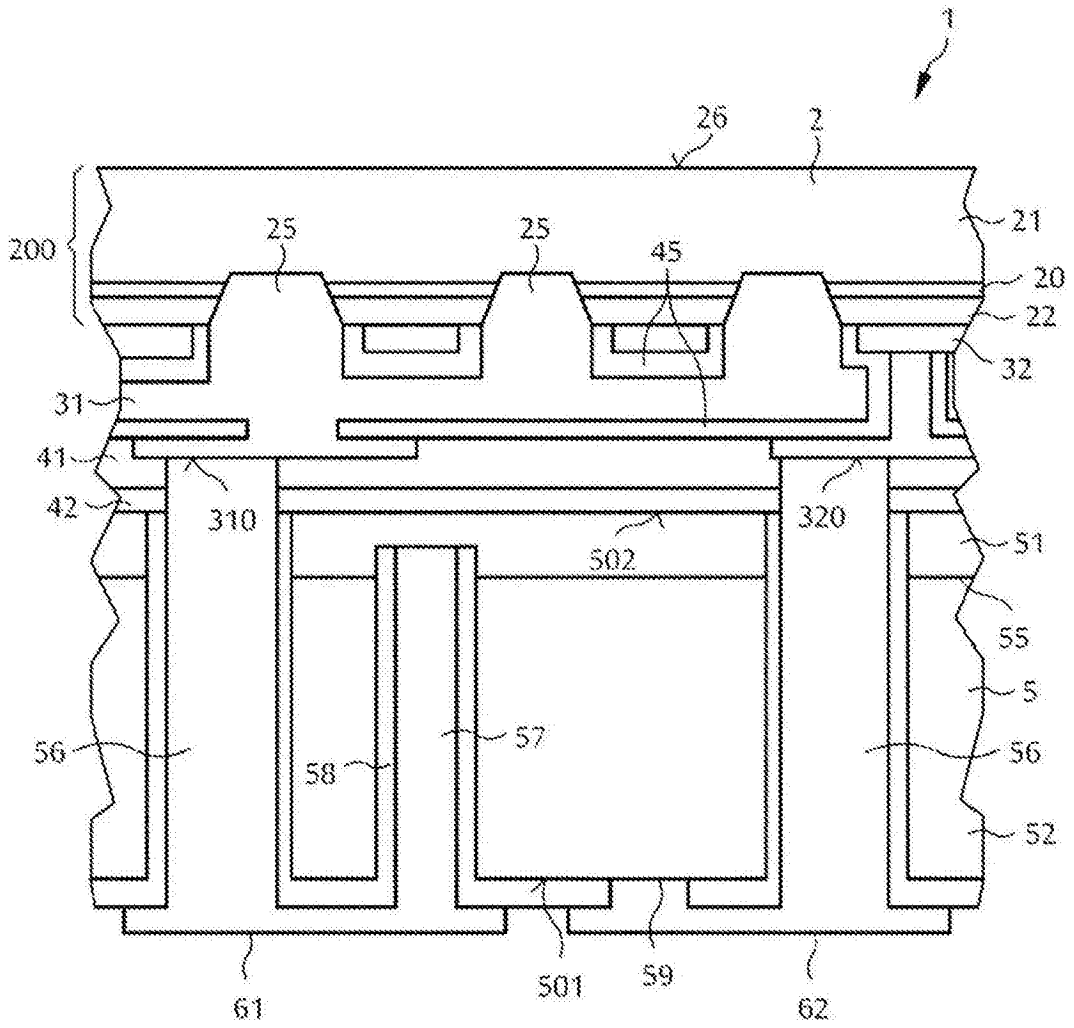


图1

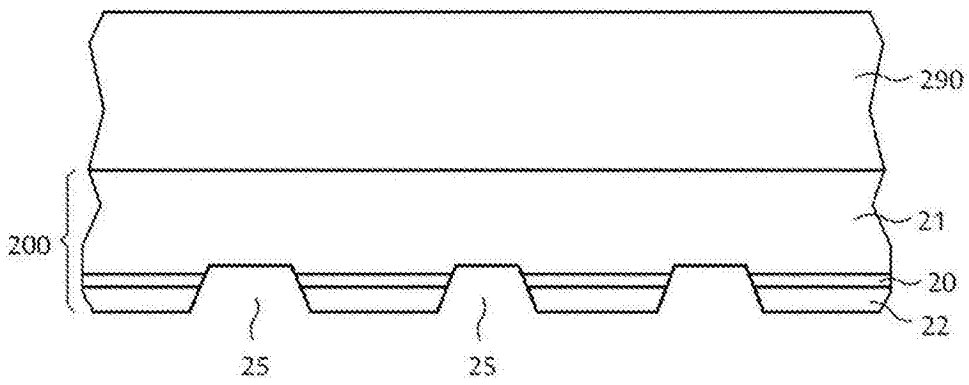


图2A

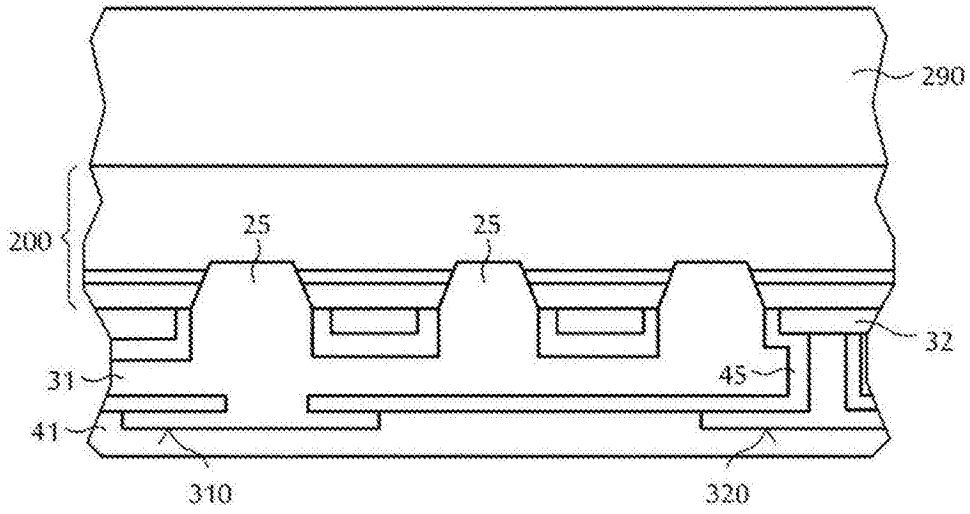


图2B

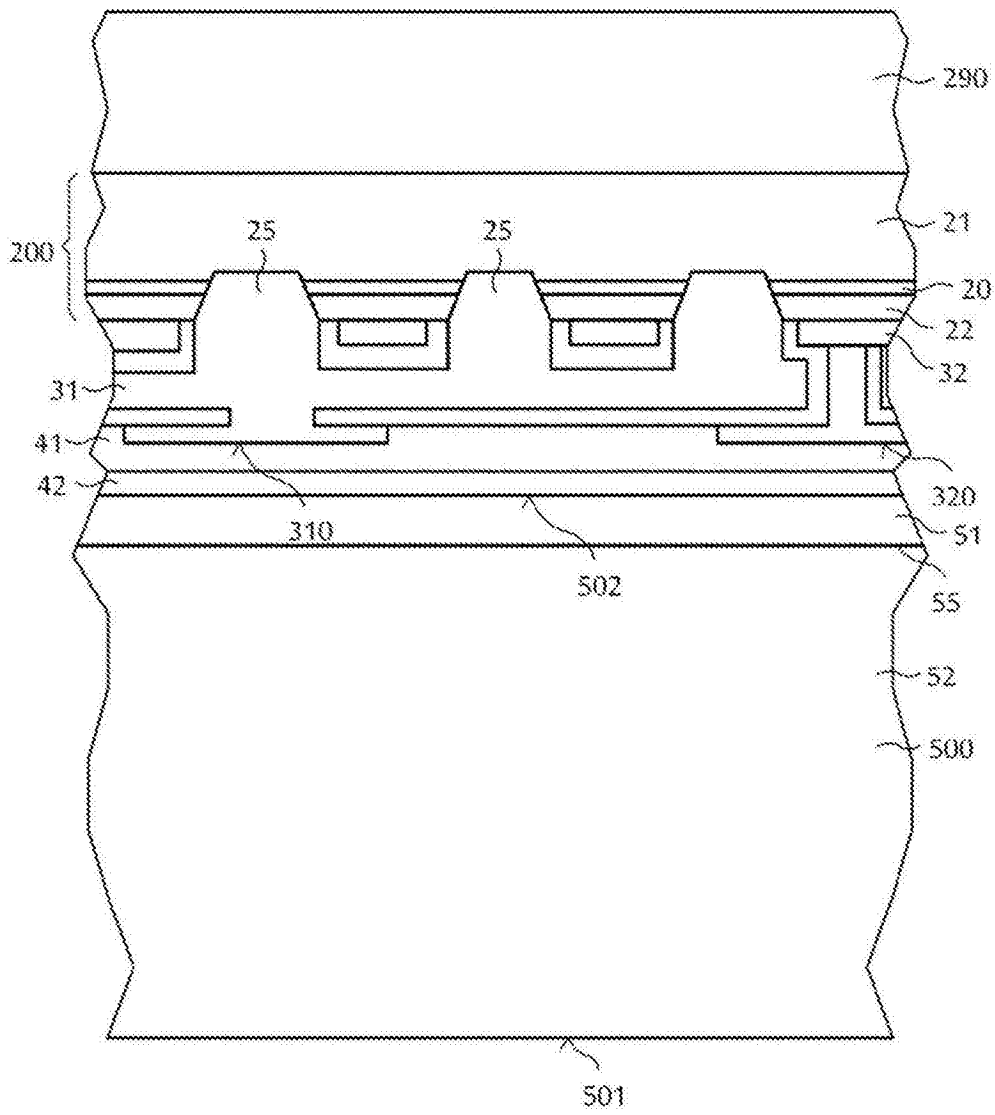


图2C

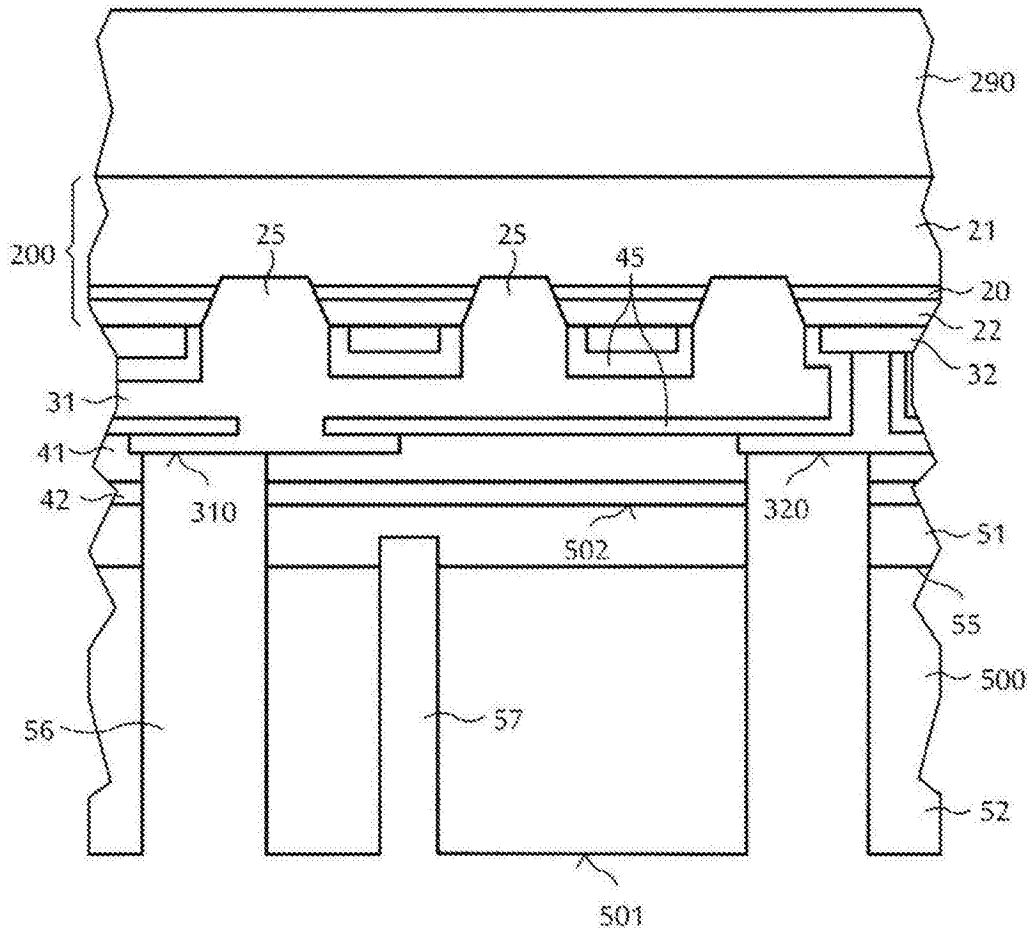


图2D

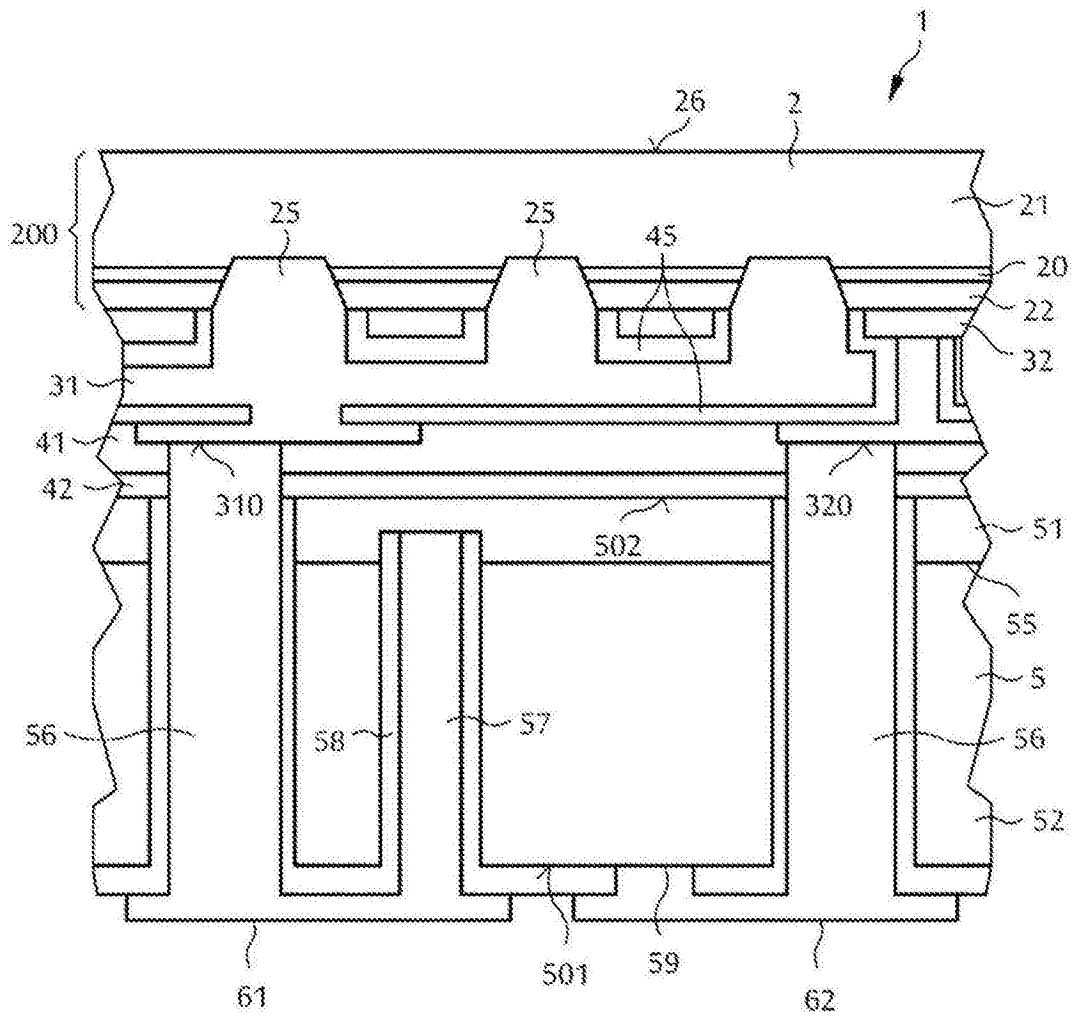


图2E