



(12) 发明专利申请

(10) 申请公布号 CN 102637420 A

(43) 申请公布日 2012. 08. 15

(21) 申请号 201110194071. 6

(22) 申请日 2011. 07. 12

(30) 优先权数据

61/441, 292 2011. 02. 10 US

(71) 申请人 联咏科技股份有限公司

地址 中国台湾新竹科学工业园区新竹县创
新一路 13 号 2 楼

(72) 发明人 杨行健

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 臧建明

(51) Int. Cl.

G09G 5/00 (2006. 01)

G09G 3/00 (2006. 01)

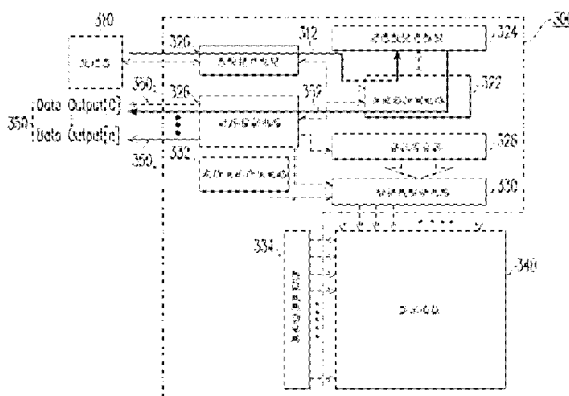
权利要求书 2 页 说明书 9 页 附图 11 页

(54) 发明名称

显示控制驱动器与其测试方法

(57) 摘要

一种显示控制驱动器与其测试方法, 此显示控制驱动器包括影像数据存储器、时序控制电路以及数据线驱动电路。影像数据存储器用以储存数据。时序控制电路从该影像数据存储器获得所述数据。数据线驱动电路耦接至时序控制电路以接收所述数据, 并经由该显示控制驱动器的至少一数据线输出端输出对应所述数据的灰阶电压信号。于测试操作模式下, 时序控制电路还将来自于影像数据存储器的所述数据传输至该显示控制驱动器的至少一测试输出端口。



1. 一种显示控制驱动器,包括:
 - 影像数据存储单元用于储存数据;
 - 时序控制电路,从该影像数据存储单元获得所述数据;以及
 - 数据线驱动电路,耦接至该时序控制电路以接收所述数据,并经由该显示控制驱动器的至少一数据线输出端输出对应所述数据的灰阶电压信号;其中于一测试操作模式下,该时序控制电路还将来自于该影像数据存储单元的所述数据传输至该显示控制驱动器的至少一测试输出端口。
2. 根据权利要求1所述的显示控制驱动器,其中该时序控制电路还包括至少一输出端以耦接至所述至少一测试输出端口,而于该测试操作模式下该时序控制电路经由所述至少一输出端将来自于该影像数据存储单元的所述数据传输至所述至少一测试输出端口。
3. 根据权利要求1所述的显示控制驱动器,其中还包括:
 - 系统接口电路,于该显示控制驱动器与外部的一处理器之间提供一通信接口;其中该处理器通过该系统接口电路将所述数据储存至该影像数据存储单元。
4. 根据权利要求3所述的显示控制驱动器,其中还包括:
 - 存储器控制电路,耦接于该系统接口电路与该影像数据存储单元之间;其中该处理器通过该系统接口电路与该存储器控制电路将所述数据储存至该影像数据存储单元,而且该时序控制电路通过该存储器控制电路取得来自于该影像数据存储单元的所述数据。
5. 根据权利要求3所述的显示控制驱动器,其中该系统接口电路耦接至所述至少一测试输出端口,而于该测试操作模式下该时序控制电路经由该系统接口电路将来自于该影像数据存储单元的所述数据传输至所述至少一测试输出端口。
6. 根据权利要求1所述的显示控制驱动器,其中当该显示控制驱动器操作在一正常操作模式时,所述至少一测试输出端口为关闭状态,不对外输出任何信号。
7. 根据权利要求1所述的显示控制驱动器,其中还包括:
 - 移位寄存器,耦接于该时序控制电路与该数据线驱动电路之间;其中该时序控制电路通过该移位寄存器将自于该影像数据存储单元的所述数据传输至该数据线驱动电路。
8. 一种显示控制驱动器的测试方法,其中该显示控制驱动器包括一时序控制电路、一影像数据存储单元以及一数据线驱动电路,而该测试方法包括:
 - 储存数据于该影像数据存储单元;
 - 从该影像数据存储单元将所述数据传输至该时序控制电路;
 - 从该时序控制电路将所述数据传输至该数据线驱动电路,其中该数据线驱动电路经由该显示控制驱动器的至少一数据线输出端输出对应所述数据的灰阶电压信号;以及
 - 于一测试操作模式下,从该时序控制电路将来自于该影像数据存储单元的所述数据传输至该显示控制驱动器的至少一测试输出端口。
9. 根据权利要求8所述显示控制驱动器的测试方法,其中该时序控制电路包括至少一输出端以耦接至所述至少一测试输出端口,而于该测试操作模式下该时序控制电路经由所述至少一输出端将来自于该影像数据存储单元的所述数据传输至所述至少一测试输出端口。
10. 根据权利要求8所述显示控制驱动器的测试方法,其中该显示控制驱动器还包括

一系统接口电路以于该显示控制驱动器与外部的一处理器之间提供一通信接口；以及该处理器通过该系统接口电路将所述数据储存至该影像数据存储器。

11. 根据权利要求 10 所述显示控制驱动器的测试方法,其中该显示控制驱动器还包括耦接于该系统接口电路与该影像数据存储器之间的一存储器控制电路;该处理器通过该系统接口电路与该存储器控制电路将所述数据储存至该影像数据存储器;以及该时序控制电路通过该存储器控制电路取得来自于该影像数据存储器的所述数据。

12. 根据权利要求 10 所述显示控制驱动器的测试方法,其中该系统接口电路耦接至所述至少一测试输出端口;以及于该测试操作模式下,从该时序控制电路将来自于该影像数据存储器的所述数据经由该系统接口电路传输至所述至少一测试输出端口。

13. 根据权利要求 8 所述显示控制驱动器的测试方法,其中还包括:

在一正常操作模式时,关闭所述至少一测试输出端口,使所述至少一测试输出端口不对外输出任何信号。

14. 根据权利要求 8 所述显示控制驱动器的测试方法,其中该显示控制驱动器还包括耦接于该时序控制电路与该数据线驱动电路之间的一移位寄存器,该测试方法还包括:

该时序控制电路通过该移位寄存器将来自于该影像数据存储器的所述数据传输至该数据线驱动电路。

显示控制驱动器与其测试方法

技术领域

[0001] 本发明涉及一种显示装置,尤其涉及一种用于驱动显示面板的显示控制驱动器,以及此显示控制驱动器的测试方法。

背景技术

[0002] 图 1A 为说明传统显示控制驱动器组成的方框示意图。请参照图 1A,此传统显示控制驱动器 (Display Controller Driver) 100 连接至外部的处理器 110 与显示面板 140。显示控制驱动器 100 包括系统接口电路 (System Interface Circuit) 120、存储器控制电路 (Memory Control Circuit) 122、影像数据存储器 (Image Data Memory) 124、时序控制电路 (Timing Control Circuit) 126、移位寄存器 (Shift Register) 128、数据线驱动电路 (Data Line Driving Circuit) 130、灰阶电压产生电路 (Grayscale Voltage Generating Circuit) 132 与栅极线驱动电路 (Gate Line Driving Circuit) 134。系统接口电路 120 耦接到外部的处理器 110,而数据线驱动电路 130 与栅极线驱动电路 134 则是耦接到显示面板 140。

[0003] 当显示控制驱动器 100 操作在正常操作模式 (Normal Operation Mode) 时,处理器 110 将显示数据经系统接口电路 120 传送给存储器控制电路 122。存储器控制电路 122 将显示数据暂存于影像数据存储器 124。处理器 110 将控制信号经由系统接口电路 120 传送给时序控制电路 126。而时序控制电路 126 则是按时序对存储器控制电路 122、移位寄存器 128、数据线驱动电路 130、栅极线驱动电路 134 与灰阶电压产生电路 132 发出对应的控制信号。控制流程如下,时序控制电路 126 经由存储器控制电路 122 将影像数据从影像数据存储器 124 读出,并且由时序控制电路 126 将影像数据传送到移位寄存器 128。移位寄存器 128 依据时序控制电路 126 的锁存脉冲,将影像数据进行锁存并传送到数据线驱动电路 130。而时序控制电路 126 亦按一预定时序发出控制信号控制数据线驱动电路 130 与栅极线驱动电路 134,用以将影像数据传送到显示面板 140 的像素中,据以显示对应的影像。

[0004] 显示控制驱动器 100 正常操作流程时序图 (Timing Diagram) 则如图 1B 所示。当第一列 (row) 的显示数据由影像数据存储器 124 读出且输入至移位寄存器 128 后,时序控制电路 126 发出数据线驱动电路的锁存使能信号将第一列显示数据储存至数据线驱动电路 130,而后时序控制电路 126 再发出数据线驱动电路的输出使能信号将第一列显示数据从数据线驱动电路 130 输出至显示面板 140 进行显示。在数据线驱动电路 130 输出第一列显示数据的同时,第二列显示数据将由影像数据存储器 124 读出并传送至移位寄存器 128。在下一个显示线周期,数据线驱动电路 130 将输出第二列显示数据。所有的显示数据依照上述的时序经数据线驱动电路 130 输出至显示面板 140。

[0005] 当显示控制驱动器 100 进行测试操作时,显示控制驱动器 100 操作在测试操作模式 (Test Operation Mode),而外部的处理器 110 (例如测试平台) 要先通过系统接口电路 120 与存储器控制电路 122 将测试样式 (Test Pattern) 事先写入影像数据存储器 124,以便对影像数据存储器 124 进行测试。也就是说,在测试操作模式中,外部的处理器 110 会测试

影像数据（即测试样式）是否可以正确的储存于影像数据存储单元 124 内。上述测试模式，请参照图 1C，整个测试样式的传送路径包括写入路径 112 与读出路径 114。写入路径 112 包括从处理器 110 经由系统接口电路 120、存储器控制电路 122 到影像数据存储单元 124。读出路径 114 则是从影像数据存储单元 124 经由存储器控制电路 122、系统接口电路 120 到处理器 110。测试样式将经由写入路径 112 储存至影像数据存储单元 124，再从影像数据存储单元 124 读出，经由读出路径 114 传送至处理器 110（例如测试平台）后进行判断。

[0006] 为说明整个测试的流程请参照图 1D。首先，如步骤 S210，外部的处理器 110 经由写入路径 112 将测试样式写入影像数据存储单元 124。而后，如步骤 S220，外部的处理器 110 经由读出路径 114（经系统接口电路 120）将测试样式从影像数据存储单元 124 读出。接着，如步骤 S230，外部的处理器 110 会对从影像数据存储单元 124 中所读出的测试样式进行判断是否与预期的样式一致。若未与预期的样式一致则未通过测试，则如步骤 S250，结束此测试流程。如与预期的样式一致则通过测试，则接着如步骤 S240 判断是否为最后一个测试样式。若步骤 S240 判断是最后一个测试样式，则如步骤 S250，结束此测试流程。若步骤 S240 判断不是最后一个测试样式，则回到步骤 S210 针对下一个测试样式进行测试。

[0007] 图 2A 是处理器 110 对一解析度为 QVGA（即 240×320 ）的显示控制驱动器 100 做写入测试样式和读出测试样式的时序示意图，上半部为写入时序示意图，而下半部为读出时序示意图。图 2A 中 CSX、WRX、D/CX 和 RDX 是处理器 110 对显示控制驱动器 100 发出的控制信号。D 则是连接于处理器 110 与显示控制驱动器 100 之间的双向数据总线。控制信号 CSX 是芯片选择信号，控制信号 WRX 是写入使能信号，控制信号 D/CX 用来指出目前双向数据总线 D 的信号是“指令”或是“数据”，而控制信号 RDX 是读出使能信号。当写入测试样式时，由处理器 110 对显示控制驱动器 100 发出指令（图 2A 中标示为“COMMAND”）和测试样式（图 2A 中标示为“DATA”）。当读出测试样式时，则是显示控制驱动器 100 对处理器 110 送出之前写入的测试样式。

[0008] 下述的写入周期（Write Cycle）是指写入一个指令或数据所需的时间，而读取周期（Read Cycle）则是读出一笔数据的时间。图 2A 中标示为“DUMMY”者则表示此笔数据是多余的，并非真正的数据。对一传统 QVGA 解析度的显示控制驱动器 100，写入周期是 65 纳秒（ns, nanosecond）、读取的周期是 450 纳秒。如果以两个测试样式为例，则执行一次测试模式操作所需的时间可由下列算式得知大约是 79 毫秒（ms, millisecond）：

$$[0009] \quad [65 \times (320 \times 240 + 1) + 65 + (320 \times 240 + 1) \times 450] \times 2 = 79105160\text{ns}$$

[0010] 图 2B 是处理器 110 对一解析度为 WVGA（即 480×864 ）的显示控制驱动器 100 做写入测试样式和读出测试样式的时序示意图，上半部为写入时序示意图，而下半部为读出时序示意图。图 2B 可以参照图 2A 的相关说明。当写入测试样式时，由处理器 110 对显示控制驱动器 100 发出指令（图 2B 中标示为“COMMAND”）和测试样式（图 2B 中标示为“DATA”）。当读出测试样式时，则是显示控制驱动器 100 对处理器 110 送出之前写入的测试样式。对传统 WVGA 解析度的显示控制驱动器 100，写入周期是 33 纳秒、读取的周期是 400 纳秒。如果以两个测试样式为例，则执行一次测试模式操作所需的时间可由下列算式得知大约是 359 毫秒（ms）：

$$[0011] \quad [33 \times (864 \times 480 + 1) + 65 + (864 \times 480 + 1) \times 400] \times 2 = 359148452\text{ns}$$

[0012] 在上述的传统显示控制驱动器架构中，当对显示控制驱动器 100 进行测试操作

时,因接口传输的通信协议与共用同一传输通道(即双向数据总线D)的限制将无法降低测试时间。

发明内容

[0013] 本发明提供一种显示控制驱动器与其测试方法,以缩短测试时间。

[0014] 本发明实施例提出一种显示控制驱动器,包括影像数据存储器和时序控制电路以及数据线驱动电路。影像数据存储器用以储存数据。时序控制电路从该影像数据存储器获得所述数据。数据线驱动电路耦接至时序控制电路以接收所述数据,并经由该显示控制驱动器的至少一数据线输出端输出对应所述数据的灰阶电压信号。于测试操作模式下,时序控制电路还将来自于影像数据存储器的所述数据传输至该显示控制驱动器的至少一测试输出端口。

[0015] 本发明实施例提出一种显示控制驱动器的测试方法。其中,该显示控制驱动器包括时序控制电路、影像数据存储器和数据线驱动电路。该测试方法包括:储存数据于该影像数据存储器;从该影像数据存储器将所述数据传输至该时序控制电路;从该时序控制电路将所述数据传输至该数据线驱动电路,其中该数据线驱动电路经由该显示控制驱动器的至少一数据线输出端输出对应所述数据的灰阶电压信号;以及于一测试操作模式下,从该时序控制电路将来自于该影像数据存储器的所述数据传输至该显示控制驱动器的至少一测试输出端口。

[0016] 在本发明的一实施例中,上述的时序控制电路还包括至少一输出端以耦接至所述至少一测试输出端口。于该测试操作模式下,该时序控制电路经由所述至少一输出端将来自于该影像数据存储器的所述数据传输至所述至少一测试输出端口。

[0017] 在本发明的一实施例中,上述的显示控制驱动器还包括系统接口电路。系统接口电路于该显示控制驱动器与外部的一处理器之间提供一通信接口。其中,该处理器通过该系统接口电路将所述数据储存至该影像数据存储器。

[0018] 在本发明的一实施例中,上述的显示控制驱动器还包括耦接于该系统接口电路与该影像数据存储器之间的存储器控制电路。其中,该处理器通过系统接口电路与存储器控制电路将所述数据储存至影像数据存储器,而且时序控制电路通过存储器控制电路取得将来自于影像数据存储器的所述数据。

[0019] 在本发明的一实施例中,上述的系统接口电路耦接至所述至少一测试输出端口。于测试操作模式下,时序控制电路经由系统接口电路将来自于影像数据存储器的所述数据传输至所述至少一测试输出端口。

[0020] 在本发明的一实施例中,当显示控制驱动器操作在一正常操作模式时,所述至少一测试输出端口为关闭状态,不对外输出任何信号。

[0021] 基于上述,当显示控制驱动器操作在测试操作模式时,因为对于数据(测试样式)的写入路径与读出路径是不同的传输路径,因此本发明实施例所述显示控制驱动器可大幅缩短测试时间。

[0022] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

- [0023] 图 1A 为说明传统显示控制驱动器组成的方框示意图。
- [0024] 图 1B 为说明图 1A 所示显示控制驱动器于正常操作模式下的信号时序示意图。
- [0025] 图 1C 为说明图 1A 所示显示控制驱动器于测试操作模式下的测试样式传送路径示意图。
- [0026] 图 1D 为说明图 1C 所示测试操作模式的流程示意图。
- [0027] 图 2A 是说明图 1C 所示处理器对解析度为 QVGA (240×320) 的显示控制驱动器进行写入测试样式和读出测试样式的时序示意图。
- [0028] 图 2B 是说明图 1C 所示处理器对解析度为 WVGA (480×864) 的显示控制驱动器进行写入测试样式和读出测试样式的时序示意图。
- [0029] 图 3A 为依照本发明实施例说明一种显示控制驱动器的方框示意图。
- [0030] 图 3B 为依照本发明实施例说明图 3A 所示显示控制驱动器于测试操作模式下的测试样式传送路径示意图。
- [0031] 图 4A 为依照本发明实施例说明对图 3B 所示显示控制驱动器做写入测试样式和读出测试样式的流程示意图。
- [0032] 图 4B 为依照本发明实施例说明图 3B 所示显示控制驱动器于测试操作模式下的信号时序示意图。
- [0033] 图 5A 为依照本发明另一实施例说明显示控制驱动器于测试操作模式下的测试样式传送路径示意图。
- [0034] 图 5B 为依照本发明另一实施例说明图 5A 所示显示控制驱动器于测试操作模式下的信号时序示意图。
- [0035] 附图标记：
- [0036] 100、300、500 :显示控制驱动器
- [0037] 110、310、510 :处理器
- [0038] 112 :写入路径
- [0039] 114 :读出路径
- [0040] 120、320、520 :系统接口电路
- [0041] 122、322、522 :存储器控制电路
- [0042] 124、324、524 :影像数据存储器
- [0043] 126、326、526 :时序控制电路
- [0044] 128、328、528 :移位寄存器
- [0045] 130、330、530 :数据线驱动电路
- [0046] 132、332、532 :灰阶电压产生电路
- [0047] 134、334、534 :栅极线驱动电路
- [0048] 140、340、540 :显示面板
- [0049] 312、512 :测试样式的写入路径
- [0050] 350、550 :测试输出端口
- [0051] 350₁、350_n、550₁、550_n :输出端
- [0052] 352、552 :测试样式的读出路径

- [0053] 410 ~ 422、560 ~ 572 :标号
- [0054] COMMAND :指令
- [0055] CSX、WRX、D/CX、RDX :控制信号
- [0056] D :双向数据总线
- [0057] DATA :测试样式
- [0058] Data Output[0]、Data Output[n] :数据输出位元
- [0059] S210 ~ S250、S410 ~ S470 :步骤

具体实施方式

[0060] 请参照图 3A,为本发明实施例所提出显示控制驱动器架构的方框示意图。此显示控制驱动器 (Display Controller Driver)300 包括系统接口电路 (System Interface Circuit)320、存储器控制电路 (Memory Control Circuit)322、影像数据存储器 (Image Data Memory)324、时序控制电路 (Timing Control Circuit)326、移位寄存器 (Shift Register)328、数据线驱动电路 (Data Line Driving Circuit)330、灰阶电压产生电路 (Grayscale Voltage Generating Circuit)332 与栅极线驱动电路 (Gate Line Driving Circuit)334。系统接口电路 320 耦接到外部的处理器 310。数据线驱动电路 330 与栅极线驱动电路 334 可以被耦接到显示面板 340 或是外部测试平台的量测仪器。在正常操作模式中,显示控制驱动器 300 连接到一处理器 310 与一显示面板 340,此处理器 310 与显示面板 340 可为显示装置、手持式电子装置 (例如手机或个人数字助理 PDA 等)或其他电子装置中的内部处理装置与显示装置。数据线驱动电路 330 将时序控制电路 326 所提供的显示数据转换为对应的灰阶电压信号,并且经由显示控制驱动器 300 的多个数据线输出端将所述灰阶电压信号输出给显示面板 340。在测试操作模式中,此处理器 310 亦可为外部测试平台的处理器。

[0061] 在此实施例中,显示控制驱动器 300 还包括至少一测试输出端口 350。时序控制电路 326 还包括对应的输出端以耦接至显示控制驱动器 300 的测试输出端口 350。时序控制电路 326 可以经由测试输出端口 350 输出数据至显示控制驱动器 300 的外部。此测试输出端口 350 可以是在既有的输出端中选择一或部分的输出端作为此测试输出端口 350,或是额外新增的输出端口,都属本实施例的范畴。在一实施例中,此测试输出端口 350 可包括具有多位元的输出端 $350_1 \sim 350_n$,例如图 3A 中标示的数据输出位元 Data Output[0] ~ Data Output[n],分别对应到输出端 $350_1 \sim 350_n$,其中 n 为整数。前述位元数量 n 可视设计上的条件而定,使测试输出端口 350 具有不同的输出端数量。

[0062] 当显示控制驱动器 300 操作在正常操作模式 (Normal Operation Mode) 时,外部的处理器 310 将显示数据经系统接口电路 320 传送给存储器控制电路 322。存储器控制电路 322 将显示数据暂存于影像数据存储器 324。而时序控制电路 326 则是按时序对存储器控制电路 322、移位寄存器 328、数据线驱动电路 330、栅极线驱动电路 334 与灰阶电压产生电路 332 发出控制信号。

[0063] 例如,时序控制电路 326 发出控制信号,将影像数据从影像数据存储器 324 经由存储器控制电路 322 读出至时序控制电路 326,并且从时序控制电路 326 将影像数据传送到移位寄存器 328。移位寄存器 328 依据时序控制电路 326 的锁存脉冲,将影像数据进行门

锁并传送到数据线驱动电路 330。而时序控制电路 326 更进一步控制数据线驱动电路 330 与栅极线驱动电路 334,用以将影像数据传送到显示面板 340 的像素中,据以显示对应的影像。在正常操作模式时,关闭测试输出端口 350,此时显示控制驱动器 300 的测试输出端口 350 为关闭状态,不对外输出任何信号。

[0064] 当对显示控制驱动器 300 进行测试操作时,显示控制驱动器 300 操作在测试操作模式 (Test Operation Mode)。在测试操作模式中,外部测试平台 (处理器 310) 将对影像数据存储单元 324 进行测试,以测试影像数据或测试样式 (Test Pattern) 是否可以正确地储存于影像数据存储单元 324 内。图 3B 为依照本发明实施例说明图 3A 所示显示控制驱动器 300 于测试操作模式下的测试样式传送路径示意图。于上述测试操作模式中,请参照图 3B,测试样式的传送路径包括写入路径 312 与读出路径 352。测试样式的写入路径 312 包括从处理器 310 经由系统接口电路 320、存储器控制电路 322 到影像数据存储单元 324。测试样式的读出路径 352 则是从影像数据存储单元 324 经由存储器控制电路 322、时序控制电路 326 到测试输出端口 350。外部测试平台的量测仪器 (例如处理器 310 或是其他电路) 从测试输出端口 350 读出测试样式后进行判断是否通过测试。在整个测试操作过程中,因利用不同的传输通道 312 与 352,故可以不需要考虑传输接口的通信协议使测试时间得以降低。

[0065] 请参照图 4A,为依照本发明实施例说明对图 3B 所示显示控制驱动器 300 做写入测试样式和读出测试样式的流程示意图。首先,如步骤 S410,经由写入路径 312 将第一个测试样式写入影像数据存储单元 324。而后,如步骤 S420,例如,由处理器 310 下指令将显示控制驱动器 300 启动,并且使显示控制驱动器 300 切换到测试操作模式,例如下指令“Sleep out”、“Display on”和“Turn on test mode”。接着,如步骤 S430,经由读出路径 352 (经由时序控制电路 326) 将测试样式的一列 (Row) 数据从影像数据存储单元 324 中读出,同时通过时序控制电路 326 与测试输出端口 350 将测试样式输出至显示控制驱动器 300 外。接着,如步骤 S440,外部测试平台的量测仪器 (例如处理器 310 或是其他电路) 判断经由时序控制电路 326 从影像数据存储单元 324 中所读出的测试样式是否与预期的样式一致。若未与预期的样式一致则未通过测试,则如步骤 S470,结束此测试流程。如果步骤 S440 判断测试输出端口 350 所输出的测试样式与预期的样式一致则通过测试,则接着如步骤 S450 判断是否为最后测试样式的最后一列,若是,则如步骤 S470,结束此测试流程。若步骤 S450 判断不是最后测试样式的最后一列,则进行步骤 S460,处理器 310 经由写入路径 312 写入另一个测试样式的下一列数据到影像数据存储单元 324,并且接着回到步骤 S430 以便进行下一列的测试。

[0066] 对图 3B 所示显示控制驱动器 300 于测试操作模式下做写入测试样式和读出测试样式的信号时序示意图则如图 4B 所示。时序控制电路 326 通过存储器控制电路 322 将一列的测试样式由影像数据存储单元 324 中读出后输入至移位寄存器 328,同时将此列的测试样式通过时序控制电路 326 与测试输出端口 350 输出至显示控制驱动器 300 外部做样式比对。当每一列的测试样式传送至移位寄存器 328 后,下一个测试样式 (Next Test Pattern) 的一列数据也同时通过写入路径 312 储存到影像数据存储单元 324。如图 4B 所示,目前测试样式 (以下称为第一测试样式) 中的第一列数据 (如标号 410) 由时序控制电路 326 输入至移位寄存器 328 时,测试输出端口 350 亦将第一测试样式中的第一列数据 410 输出至外部测试平台的量测仪器 (例如处理器 310 或是其他电路) 做样式比对。而后,下一个测试样式 (以下称为第二测试样式) 中的第一列数据 (如标号 420) 通过写入路径 312 储存到

影像数据存储单元 324 内。在此同时,时序控制电路 326 依序将第一测试样式中的第二列数据(如标号 412)输入移位寄存器 328,以及通过测试输出端口 350 将第一测试样式中的第二列数据 412 输出至外部测试平台的量测仪器(例如处理器 310 或是其他电路)做样式比对。

[0067] 以此类推,下一个测试样式(第二测试样式)的第二列数据(如标号 422)通过写入路径 312 储存到影像数据存储单元 324 内,同时时序控制电路 326 将第一测试样式中的第三列数据输入移位寄存器 328,以及通过测试输出端口 350 将第一测试样式中的第三列数据输出至外部测试平台的量测仪器(例如处理器 310 或是其他电路)做样式比对。依照上述的时序,将测试样式所有列的数据都完成写入与读出比对。

[0068] 综上所述,当显示控制驱动器 300 操作在测试操作模式时,对于测试数据(测试样式)的传输,是采用不同的传输路径 312 与 352。因此,可以不需要考虑显示控制驱动器 300 的传输接口的通信协议与传输通道的限制条件,这样可大幅减少测试的时间。

[0069] 请参照图 5A,为说明本发明另一实施例所提出显示控制驱动器于测试操作模式下的测试样式传送路径示意图。此显示控制驱动器 500 连接到处理器 510 与显示面板 540。而显示控制驱动器 500 包括系统接口电路 520、存储器控制电路 522、影像数据存储单元 524、时序控制电路 526、移位寄存器 528、数据线驱动电路 530、灰阶电压产生电路 532 与栅极线驱动电路 534。

[0070] 图 5A 所示实施例可以参照图 3A 与图 3B 的相关说明。不同于图 3A 与图 3B 所示实施例之处,在于此实施例中显示控制驱动器 500 的测试输出端口 550 耦接至系统接口电路 520。时序控制电路 526 可以经由系统接口电路 520 与测试输出端口 550 输出数据。此测试输出端口 550 可以是在既有的输出端中选择一或部分的输出端作为此测试输出端口 550,或是额外新增的输出端口作为此测试输出端口 550,都属本实施例的范畴。在一实施例中,此测试输出端口 550 可包括具有多位元的输出端 $550_1 \sim 550_n$,例如图 5A 中标示的数据输出位元 Data Output[0] ~ Data Output[n],分别对应到输出端 $550_1 \sim 550_n$,其中 n 为整数。前述位元数量 n 可视设计上的条件而定,使测试输出端口 350 具有不同的输出端数量。

[0071] 当显示控制驱动器 500 操作在正常操作模式时,外部的处理器 510 将显示数据经系统接口电路 520 传送给存储器控制电路 522。存储器控制电路 522 将显示数据暂存于影像数据存储单元 524。而时序控制电路 526 则是按时序对存储器控制电路 522、移位寄存器 528、数据线驱动电路 530、栅极线驱动电路 534 与灰阶电压产生电路 532 发出控制信号。显示控制驱动器 500 在正常操作模式的操作过程可以参照图 3A 的相关说明,故不再赘述。在正常操作模式时关闭测试输出端口 550,使测试输出端口 550 为关闭状态,不对外输出任何信号。

[0072] 当对显示控制驱动器 500 进行测试操作时,显示控制驱动器 500 操作在测试操作模式。显示控制驱动器 500 在测试操作模式的操作过程可以参照图 4A 的相关说明。在测试操作模式中,外部测试平台的处理器 510 将对影像数据存储单元 524 进行测试,以测试影像数据或测试样式是否可以正确地储存于影像数据存储单元 524 内。图 5B 为依照本发明另一实施例说明图 5A 所示显示控制驱动器 500 于测试操作模式下的信号时序示意图。于上述测试模式,请参照图 5A,测试样式的传送路径包括写入路径 512 与读出路径 552。测试样式的写入路径 512 包括从处理器 510 经由系统接口电路 520、存储器控制电路 522 到影像数

据存储器 524。测试样式的读出路径 552 则是从影像数据存储器 524 经由存储器控制电路 522、时序控制电路 526、系统接口电路 520 到测试输出端口 550。外部测试平台的量测仪器（例如处理器 510 或是其他电路）从测试输出端口 550 读出测试样式后进行判断是否通过测试。在整个测试操作过程中，因利用不同的传输通道 512 与 552，故可以不需要考虑传输接口的通信协议使测试时间得以降低。

[0073] 对图 5A 所示显示控制驱动器 500 于测试操作模式下做写入测试样式和读出测试样式的信号时序示意图则如图 5B 所示。时序控制电路 526 通过存储器控制电路 522 将一系列的测试样式由影像数据存储器 524 中读出后输入至移位寄存器 528，同时时序控制电路 526 将此列的测试样式通过系统接口电路 520 与测试输出端口 550 输出至显示控制驱动器 500 外部做样式比对。时序控制电路 526 在每个传送周期内将一次传送 2 笔测试数据给移位寄存器 528，同时测试输出端口 550 以分时多工的方式将此 2 笔测试数据输出。

[0074] 当每一列的测试样式传送至移位寄存器 528 后，下一个测试样式的一列数据也同时通过写入路径 512 储存到影像数据存储器 524。如图 5B 所示，时序控制电路 526 将目前测试样式（以下称为第一测试样式）中的第一列数据（如标号 560）经由存储器控制电路 522 从影像数据存储器 524 读出，然后由时序控制电路 526 将第一列数据 560 输入至移位寄存器 528，以及由时序控制电路 526 将第一列数据 560 传输至系统接口电路 520。在时序控制电路 526 将第一列数据 560 输入至移位寄存器 528 时，系统接口电路 520 亦以分时多工的方式通过测试输出端口 550 将第一测试样式中的第一列数据 560 输出至外部测试平台的量测仪器（例如处理器 510 或是其他电路）做样式比对。而后，下一个测试样式（以下称为第二测试样式）中的第一列数据（如标号 570）通过写入路径 512 储存到影像数据存储器 524 内。在此同时，时序控制电路 526 依序将第一测试样式中的第二列数据（如标号 562）输入移位寄存器 528，以及通过测试输出端口 550 将第一测试样式中的第二列数据 562 输出至外部测试平台的量测仪器（例如处理器 510 或是其他电路）做样式比对。

[0075] 以此类推，下一个测试样式（第二测试样式）的第二列数据（如标号 572）通过写入路径 512 储存到影像数据存储器 524 内，同时时序控制电路 526 将第一测试样式中的第三列数据输入移位寄存器 528，以及通过系统接口电路 520 与测试输出端口 550 将第一测试样式中的第三列数据输出至外部测试平台的量测仪器（例如处理器 510 或是其他电路）做样式比对。依照上述的时序，将测试样式所有列的数据都完成写入与读出比对。

[0076] 一般而言，显示面板的画面更新率 (Frames per Second, FPS) 为 60Hz 以上，即显示控制驱动器必须每秒驱动显示面板 60 画面以上，亦即时序控制电路将对影像数据存储器的全部数据做每秒 60 次以上的读取。若将显示控制驱动器设定在画面更新率为 60Hz 的条件下，则一个画面的时间约为 16.6ms；即时序控制电路在 16.6ms 内将对影像数据存储器内所有的数据进行一次读取操作。运用上述实施例所提出的显示控制驱动器 300 或 500 操作在测试模式时，执行一次测试模式操作所需的时间可由以下分析得知。

[0077] 以 QVGA (即 240×320) 解析度的条件下为例，假设写入周期 (Write Cycle) 是 65 纳秒 (ns, nanosecond)，而且以执行一次测试模式操作使用两个测试样式 (Test Pattern) 为例，则执行一次测试模式操作所需的时间是：

[0078]

$$2 \times 16.6\text{ms} + 65 \times (320 \times 240 + 1) \text{ ns} \approx 38.2\text{ms}$$

[0079] 若以 WVGA (即 480×864) 解析度的条件下为例, 假设写入周期 (Write Cycle) 是 33 纳秒 (ns), 而且以执行一次测试模式操作使用两个测试样式为例, 则执行一次测试模式操作所需的时间是:

[0080]

$$2 \times 16.6\text{ms} + 33 \times (864 \times 480 + 1) \text{ ns} \doteq 46.87\text{ms} \bullet \bullet$$

[0081] 综上所述, QVGA 解析度的传统显示控制驱动器在相同的条件下进行测试模式需 79ms, 而 WVGA 解析度的传统显示控制驱动器则需 359ms。因此可以得知, 上述实施例所提出的显示控制驱动器 300 或 500 可大幅缩短测试时间。

[0082] 虽然本发明已以实施例揭示如上, 然其并非用以限定本发明, 任何所属技术领域的普通技术人员, 当可作些许更动与润饰, 而不脱离本发明的精神和范围。

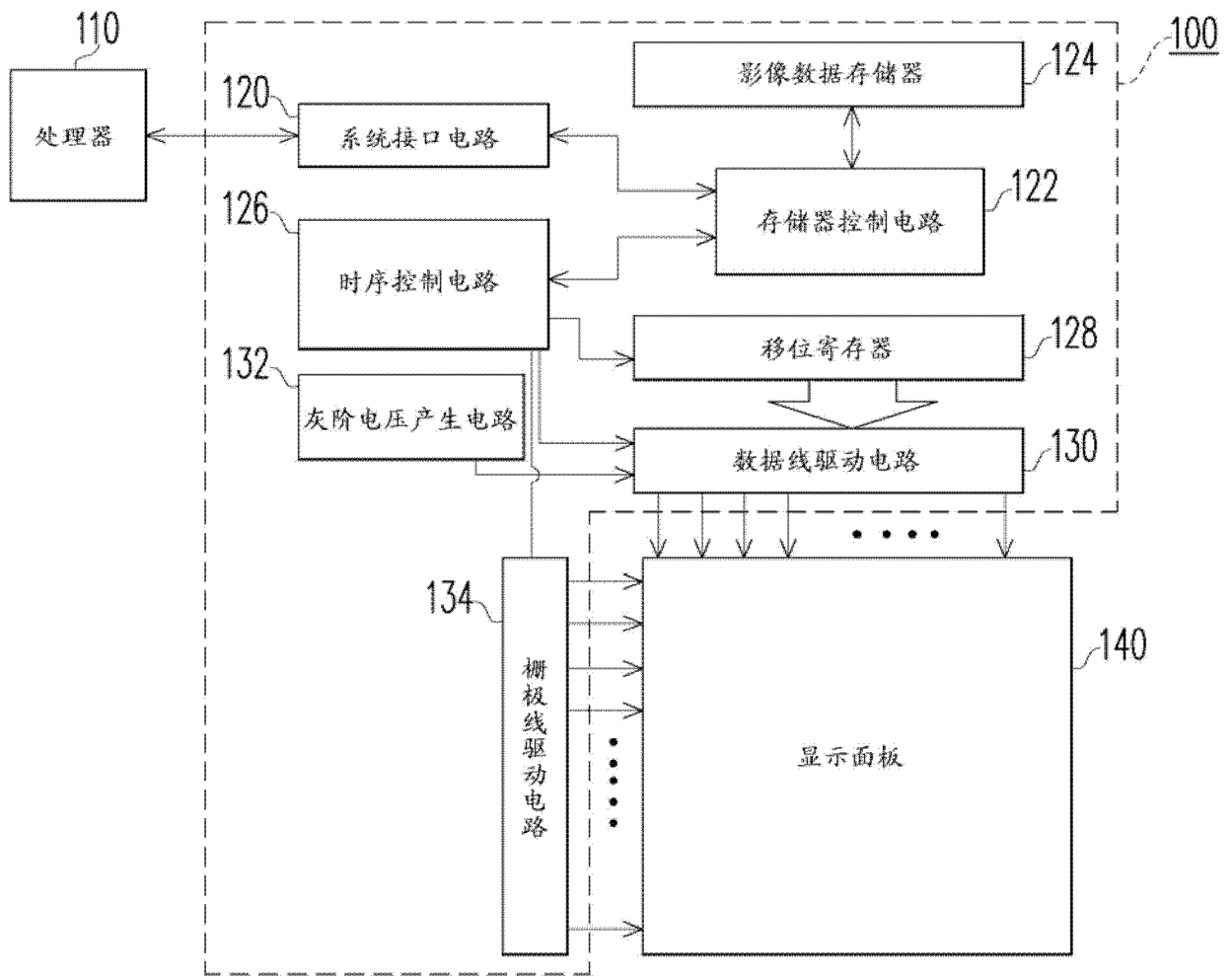


图 1A

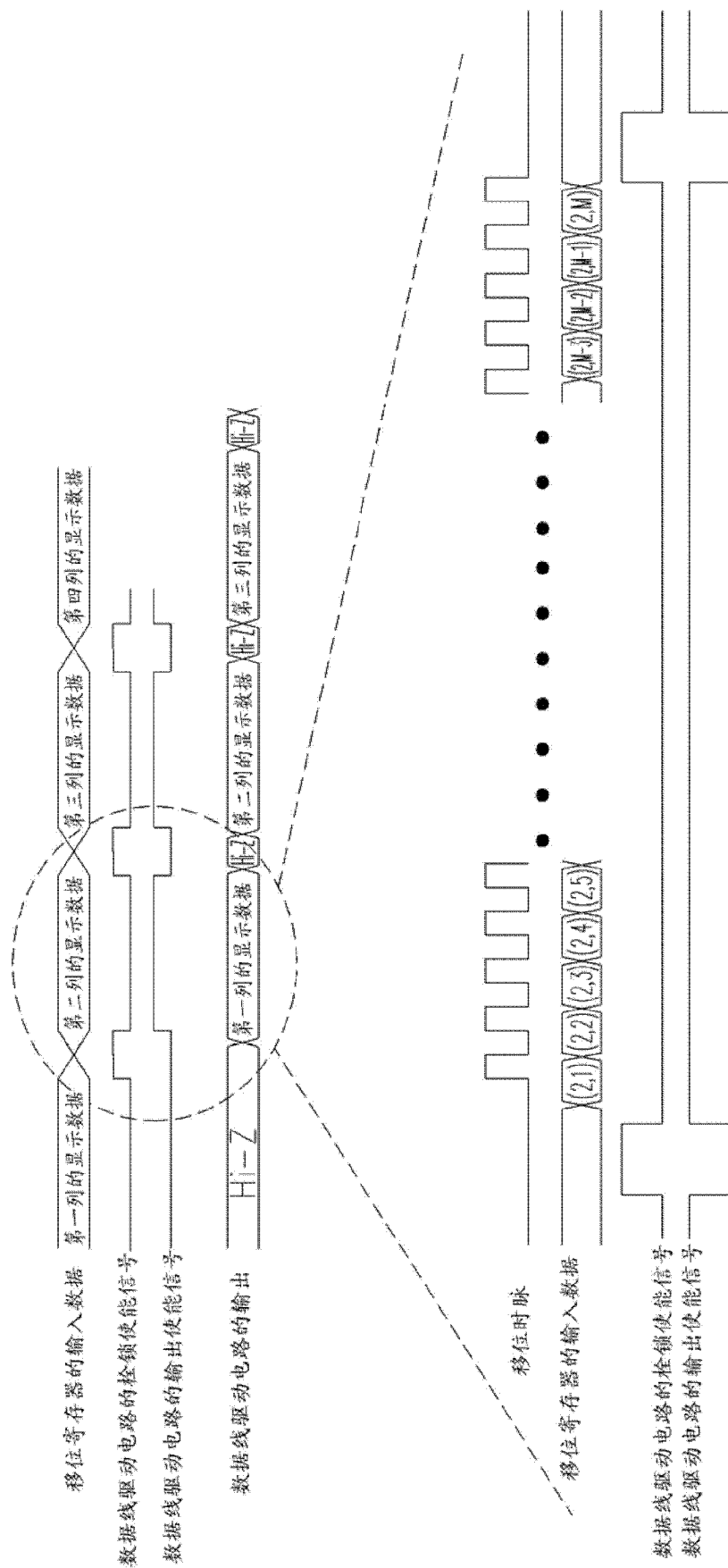


图 1B

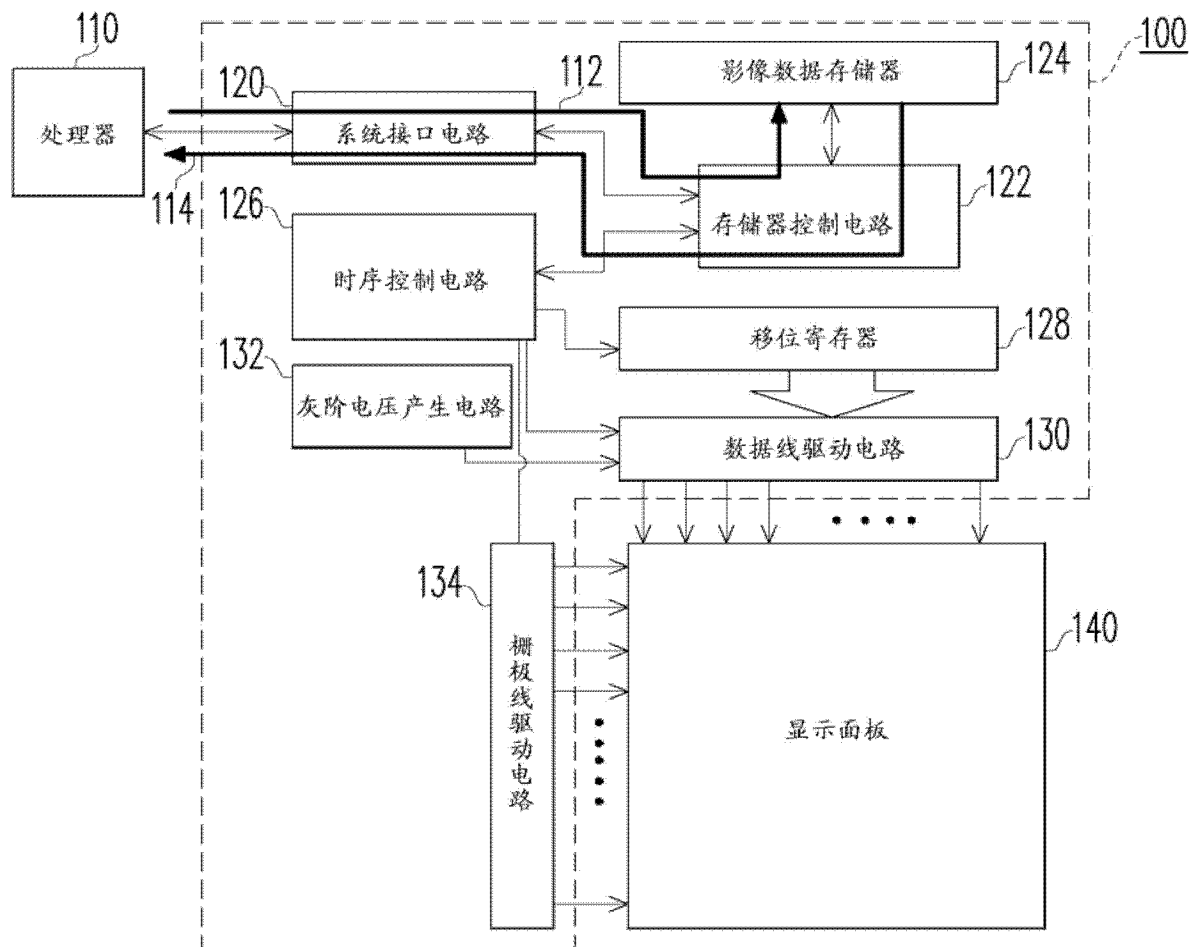


图 1C

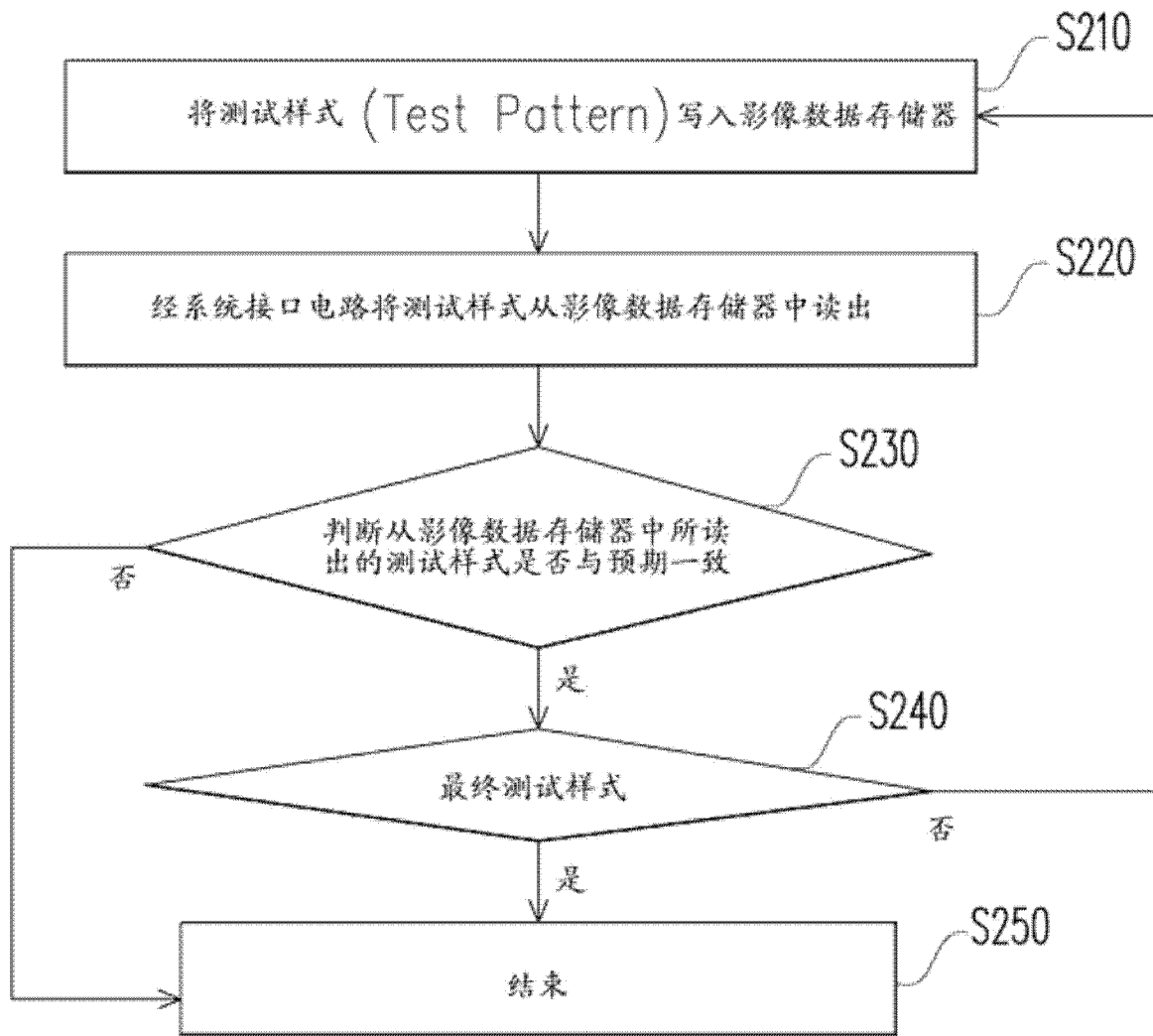


图 1D

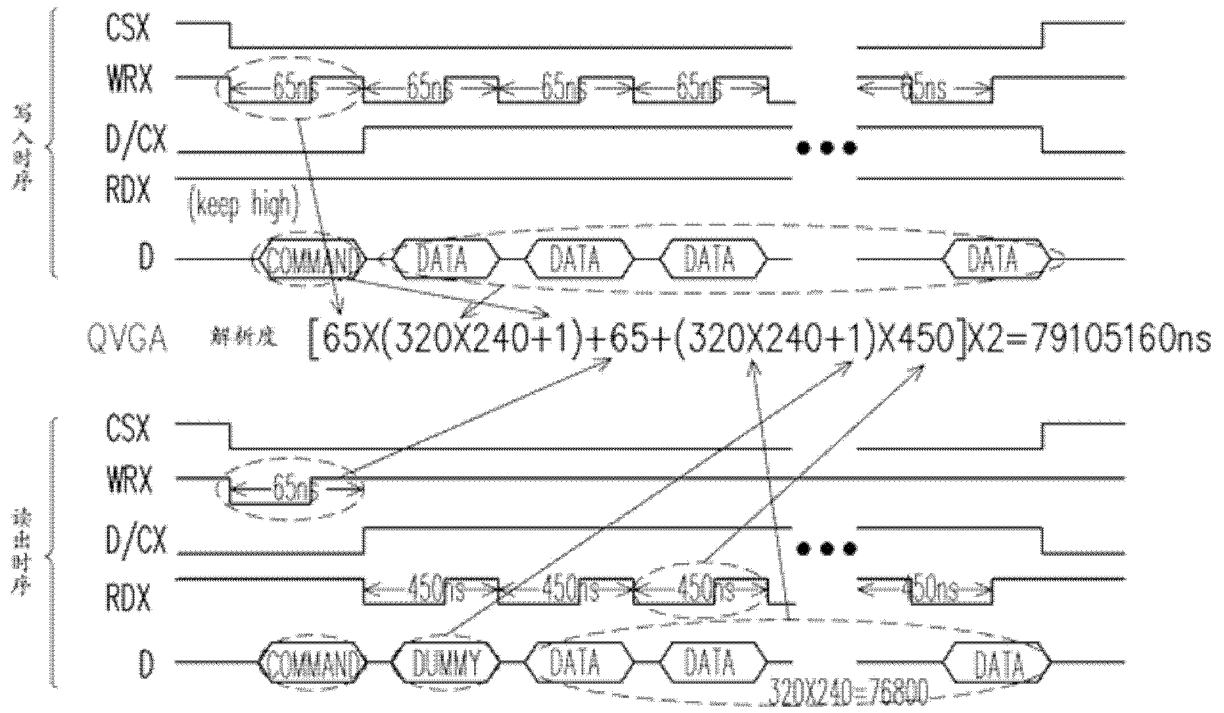


图 2A

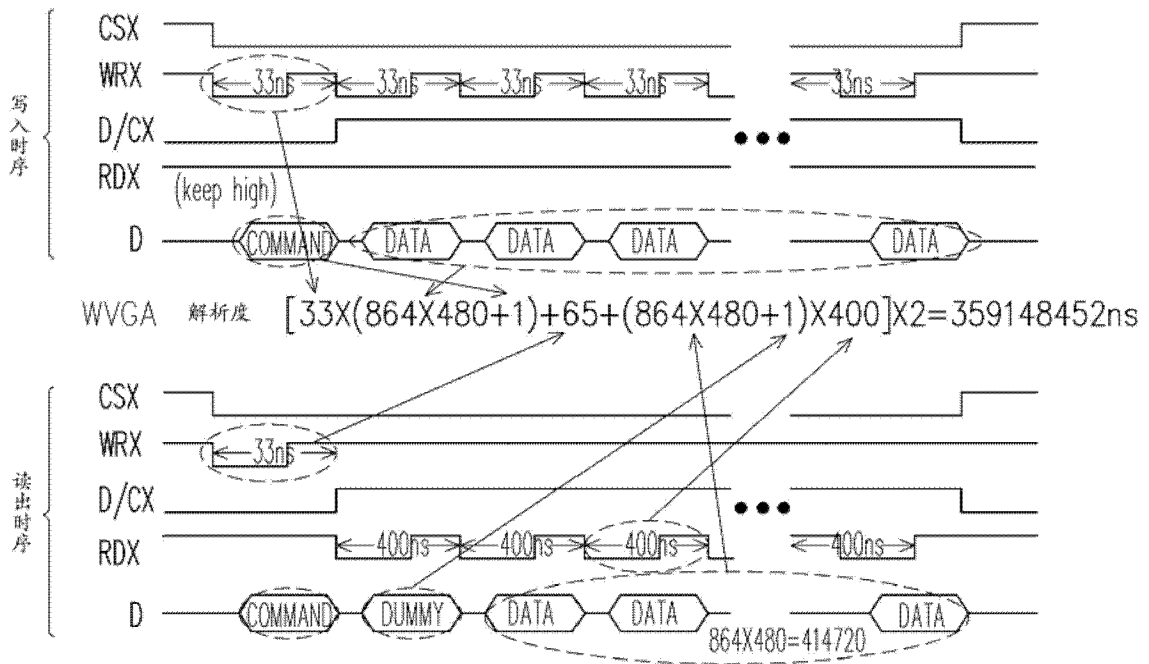


图 2B

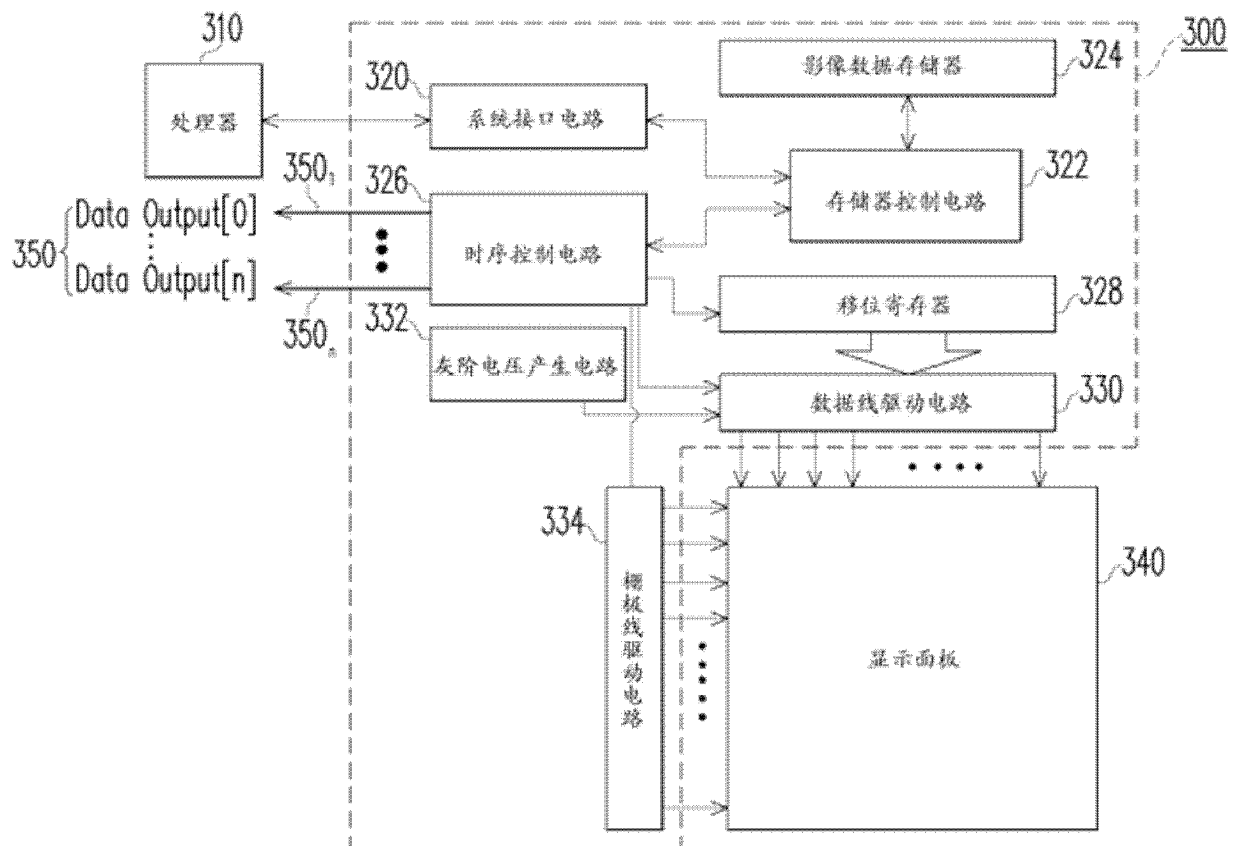


图 3A

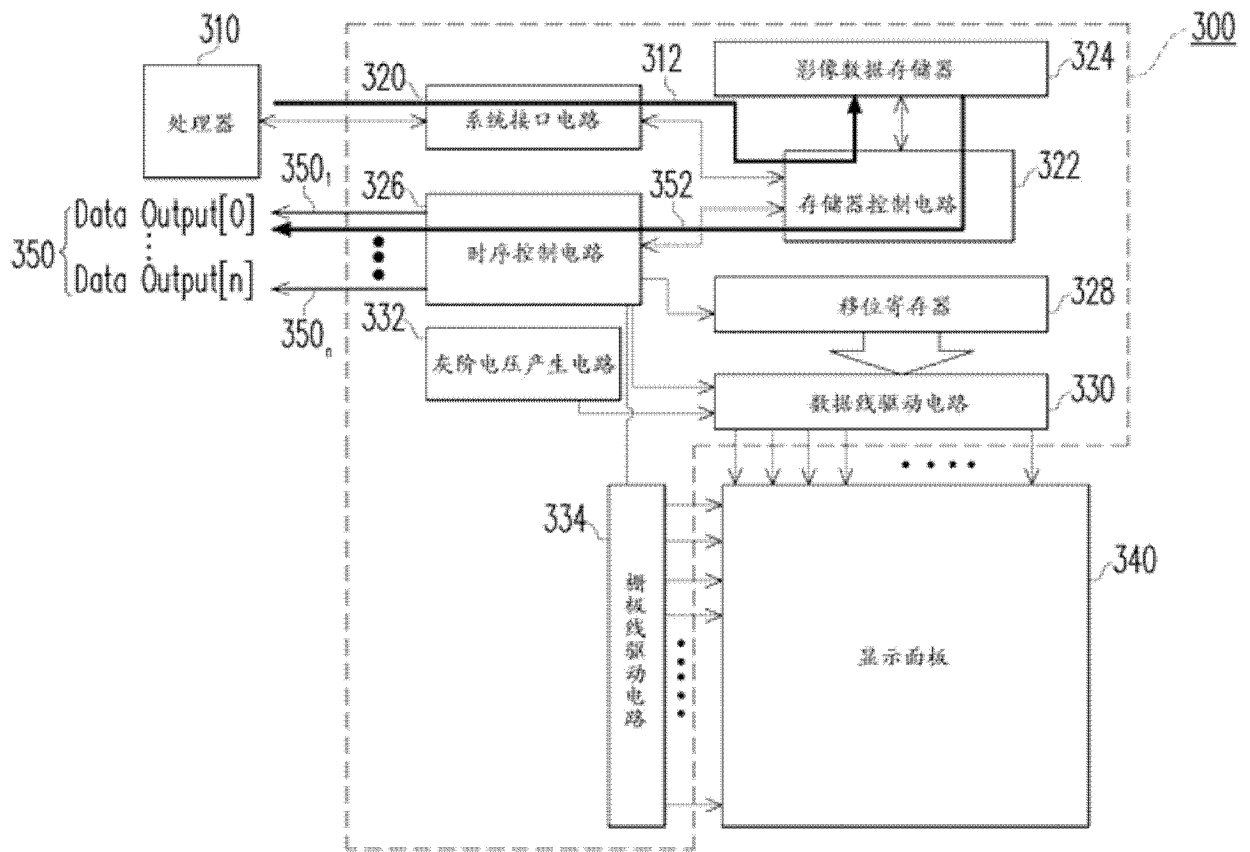


图 3B

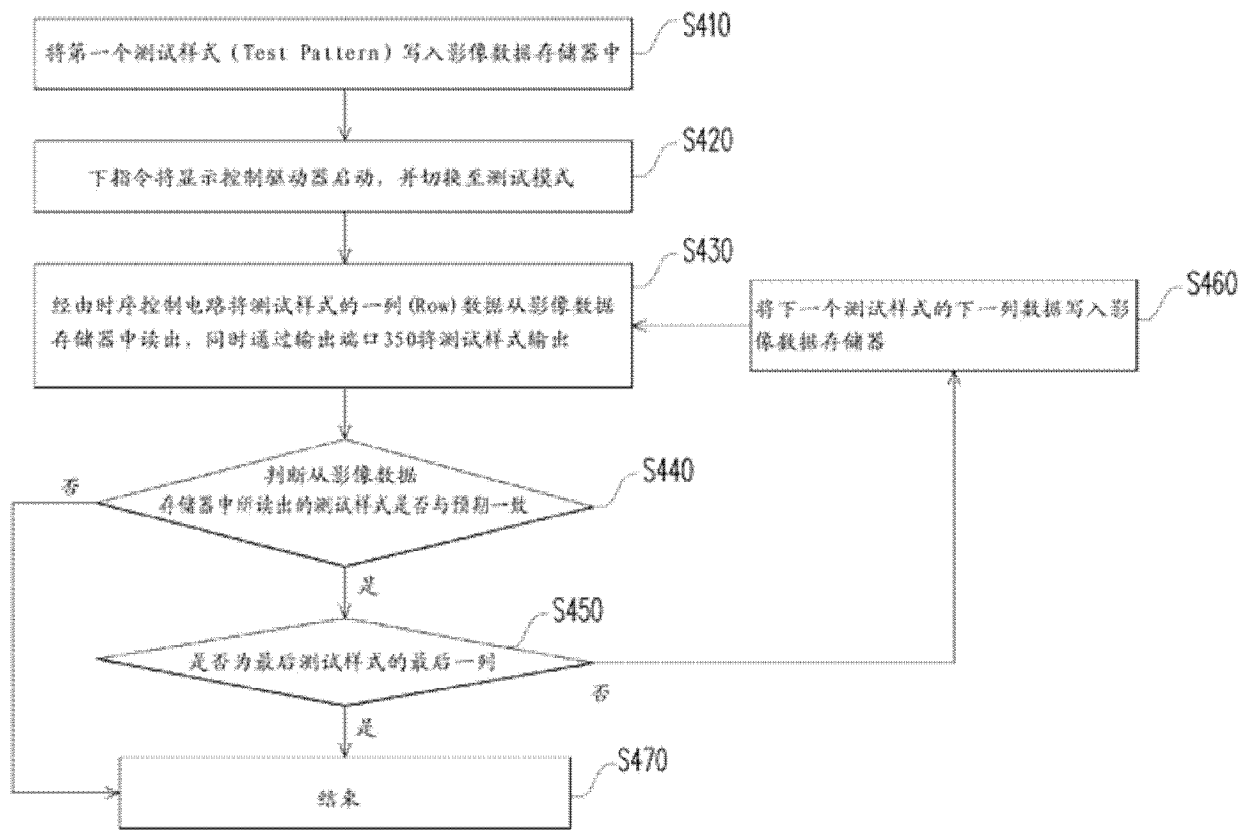


图 4A

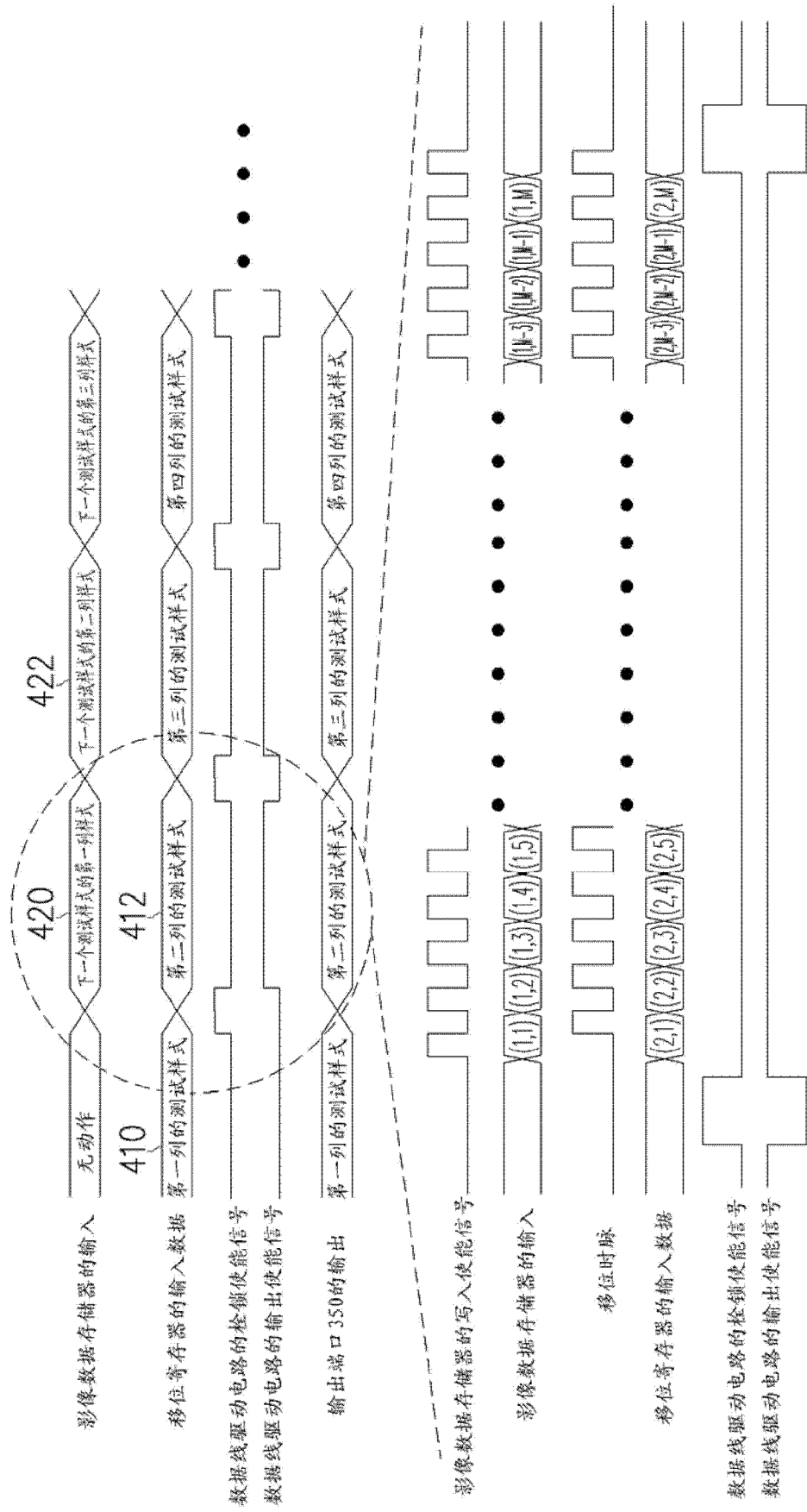


图 4B

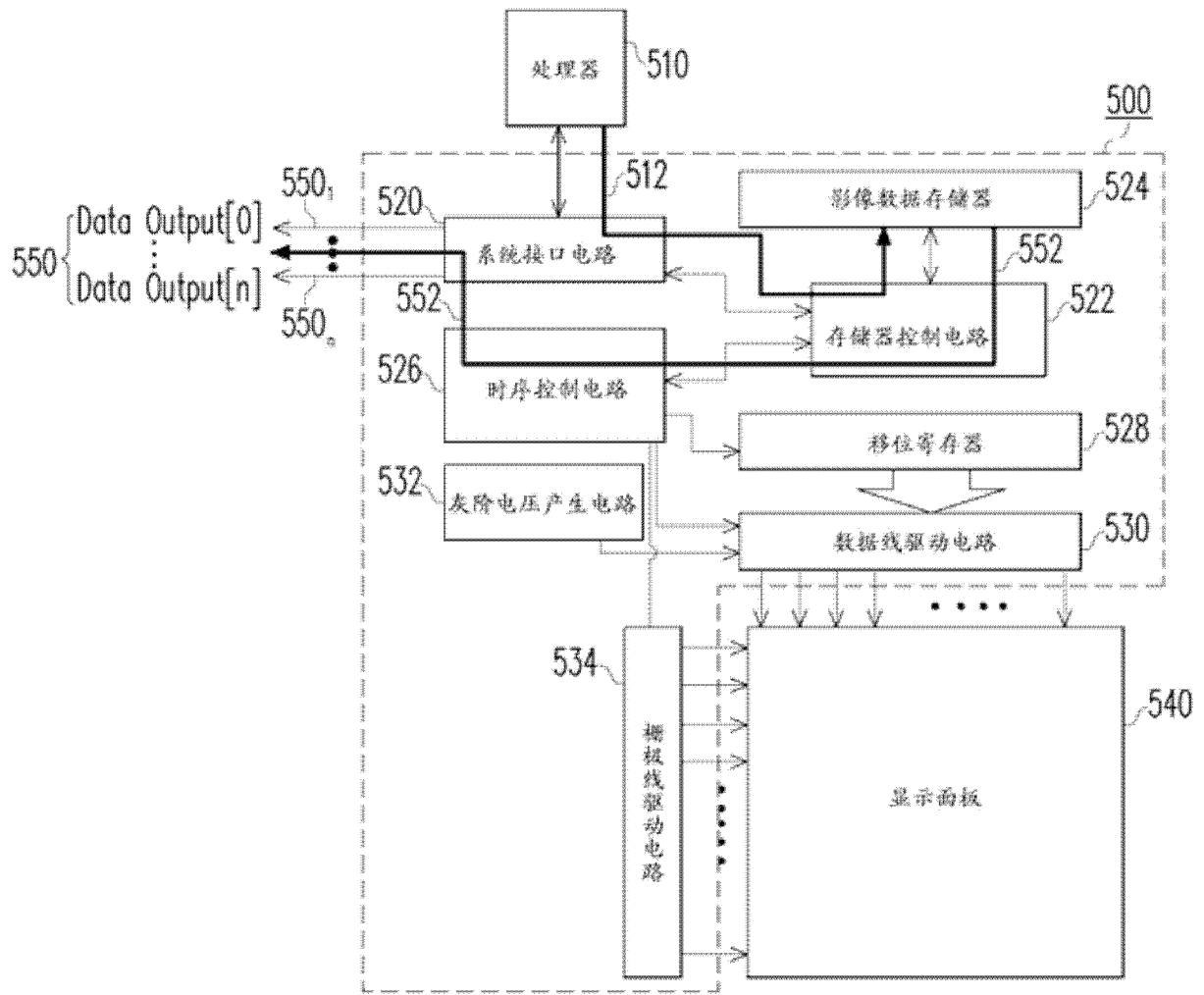


图 5A

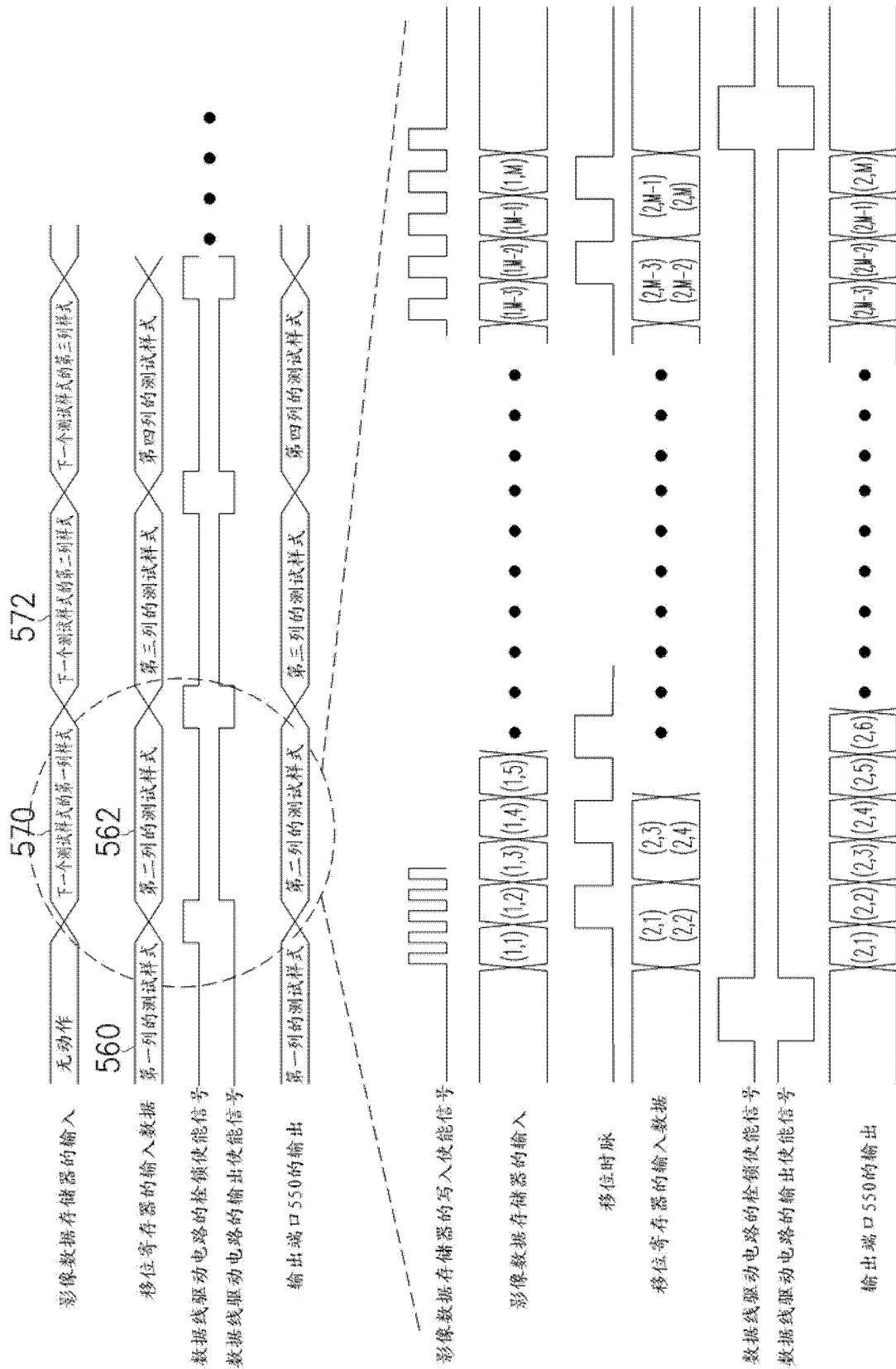


图 5B