

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3805311号
(P3805311)

(45) 発行日 平成18年8月2日(2006.8.2)

(24) 登録日 平成18年5月19日(2006.5.19)

(51) Int. Cl.	F I
H03K 19/0175 (2006.01)	H03K 19/00 I O I F
H03K 17/16 (2006.01)	H03K 17/16 H
H03K 17/687 (2006.01)	H03K 17/687 A
H03K 19/003 (2006.01)	H03K 19/003 C

請求項の数 10 (全 19 頁)

(21) 出願番号	特願2003-27564 (P2003-27564)	(73) 特許権者	000005223
(22) 出願日	平成15年2月4日(2003.2.4)		富士通株式会社
(65) 公開番号	特開2004-241930 (P2004-241930A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成16年8月26日(2004.8.26)	(74) 代理人	100090273
審査請求日	平成16年6月18日(2004.6.18)		弁理士 國分 孝悦
		(72) 発明者	森井 正晴
			東京都品川区大崎2丁目8番8号 富士通デバイス株式会社内
		(72) 発明者	赤木 真治
			東京都品川区大崎2丁目8番8号 富士通デバイス株式会社内
		審査官	官島 郁美

最終頁に続く

(54) 【発明の名称】 出力回路

(57) 【特許請求の範囲】

【請求項1】

内部信号を入力して、前記内部信号の立ち上がり変化後にバイアス信号線の電流パスを導通させ、前記内部信号の立ち下がり変化後にバイアス信号線の電流パスを導通させてバイアス信号を供給するバイアス制御部と、

前記バイアス制御部によって供給されるバイアス信号を入力として前記バイアス信号線のバイアス信号をホールドするホルダー部と、

前記バイアス信号線のバイアス信号を入力として出力線にバイアスを与える出力部とを有し、

前記バイアス制御部の内部信号の変化後に導通される電流パスには、ゲート及びドレインが相互に接続された電界効果トランジスタ又はベース及びコレクタが相互に接続されたバイポーラトランジスタが接続される出力回路。

【請求項2】

さらに、前記内部信号に遅延時間を付与した遅延信号を出力する遅延部を有し、

前記バイアス制御部は、前記内部信号及び前記遅延信号を入力して、前記内部信号の変化後かつその前記遅延時間経過前にバイアス信号線の第1の電流パスを導通させ、前記内部信号の変化後かつその前記遅延時間経過後にバイアス信号線の第2の電流パスを導通させてバイアス信号を供給する請求項1記載の出力回路。

【請求項3】

前記電流パスには、ゲート及びドレインが相互に接続されたMOS電界効果トランジスタ

10

20

タが接続される請求項 1 記載の出力回路。

【請求項 4】

前記 M O S 電界効果トランジスタは、前記バイアス信号線のバイアス信号を該電界効果トランジスタのしきい値電圧にする請求項 3 記載の出力回路。

【請求項 5】

前記出力部は、1 個の M O S 電界効果トランジスタで構成される請求項 3 記載の出力回路。

【請求項 6】

前記バイアス制御部において、前記第 1 の電流パスは、前記バイアス信号線をローレベル又はハイレベルに接続し、前記第 2 の電流パスは、前記バイアス信号線を前記ゲート及びドレインが相互に接続された M O S 電界効果トランジスタに接続する請求項 2 記載の出力回路。

10

【請求項 7】

前記バイアス制御部は、前記バイアス信号線の前記第 1 の電流パスを導通させた後に前記バイアス信号線が前記 M O S 電界効果トランジスタのしきい値電圧に到達する前に、前記バイアス信号線の前記第 2 の電流パスを導通させる請求項 6 記載の出力回路。

【請求項 8】

前記バイアス制御部は、前記バイアス信号線の前記第 2 の電流パスを導通させることにより、前記バイアス信号線のバイアス信号を前記電界効果トランジスタのしきい値電圧にする請求項 7 記載の出力回路。

20

【請求項 9】

前記バイアス制御部の電流パスの M O S 電界効果トランジスタ及び前記出力部の M O S 電界効果トランジスタは、同一極性の電界効果トランジスタである請求項 5 記載の出力回路。

【請求項 10】

前記バイアス制御部において、前記内部信号の立ち上がり変化後にバイアス信号線に導通させる電流パスと前記内部信号の立ち下がり変化後にバイアス信号線に導通させる電流パスとは異なる電流パスである請求項 1 記載の出力回路。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

本発明は、出力回路に関する。

【0002】

【従来の技術】

複数の半導体チップをプリント基板等に装着し、これらチップ間相互の情報伝達手段として、例えばシリアルバス配線等を用いる半導体チップのインターフェイス回路がある。その中でも、GTL(Gunning Transceiver Logic)バス仕様の様な微小振幅信号や高周波信号を扱う場合の半導体入出力回路がある。

【0003】

近年の家庭用機器、通信機器および産業用機器に搭載されるシステムは大規模化の一途をたどっており、例えば情報制御処理回路(マイクロコントローラ等)や汎用回路(LCDドライバ、I/Oポート、RAM/ROM等)や用途別専用回路(デジタルチューナー回路、信号処理回路等)などの機能回路を1枚のプリント基板上に複数の半導体チップを搭載して構成するのが一般的である。

40

【0004】

大規模集積回路の微細化技術により1チップに搭載できる機能回路の規模が飛躍的に増大した今日においても、例えば開発期間や開発費用または技術的に共通の製造プロセスを使用できない等の理由により、今後も当面はこの様な手法を用いる事が考えられる。これら複数の機能回路は、プリント基板上のパターン配線によって相互の情報伝達を行なうが、近年、情報量の増大によりこれらの機能回路及びその周辺装置には、より高速化が要求さ

50

れている。

【0005】

この為、情報形式の標準化や情報の符号化等による通信情報の圧縮や、パラレル伝達経路の増設や、シリアル通信速度の高速化等の方法により、機能回路間相互の情報伝達の高速化、効率化が図られてきた。例えば、シリアル通信速度を高速化する場合、バス配線へのデータ出力時に出力バッファのスイッチングにより生じる電源ノイズが大きいと、論理回路の誤動作やアナログ回路の特性悪化を招く要因となる。この影響は、複数の出力バッファによる同時スイッチングによりさらに顕著なものとなる。

【0006】

よって、従来から、システム構成、情報転送形式に関するI²C(Inter Integrated Circuit)バス仕様や、出力信号の低電圧化、低Slew Rate化により電源ノイズを防止するGTLバス仕様などのバス仕様に準拠して、チップ間通信を行なう事が必要である。

【0007】

図13は、一般的な双方向シリアルバス配線によるGTLバス接続例の概略図である。シリアルバス配線132は、情報を相互伝達する相互バス配線である。半導体チップに搭載された各機能回路は入力回路と出力回路により構成された入出力回路131を介してシリアルバス配線132との情報伝達を行なう。この例では、各機能回路に搭載された入出力回路131が8ビット分接続されている。バス配線132は、終端抵抗RT1,RT2を介して、入出力回路131に供給される正電源VDDよりも低電位の終端電圧VTTに接続されており、負荷容量CT1,CT2を介してグランドに接続される。バス配線132は、出力バッファ(出力回路)より開放されている時はVTT電位(論理値のハイレベル("H"))となる。

【0008】

また、バス配線132に並列接続されている出力バッファはNチャンネルオープンドレイン(またはNPNオープンコレクタ)回路となっており、これらの出力バッファのどれかを通じてバス配線132はグランドGNDに近い低電圧側出力電圧VOL(論理値のローレベル("L"))電位となる。よって回路構成としてはAND(論理積)機能を有する事になる。バス配線132上に伝達された論理情報は、入力回路によって各機能回路に選択的に取り込まれる。また、この例では出力回路と入力回路を1つのモジュールとして表記したが、用途に応じてそれぞれ個別に搭載しても構わない。

【0009】

図14は、図13に示す入出力回路131に相当する第1の従来技術の回路図である。この回路は、機能回路からシリアルバス配線へ出力信号を出力する出力回路OUTと、シリアルバス配線から機能回路へ入力信号を入力する入力回路INから構成されている。また、図15は図14の回路の動作波形である。

【0010】

この回路をシリアルバス配線に接続し、バス配線が他の出力バッファより開放されている場合、内部出力信号Aの電位がグランド側から正電源側へ(論理値が"L"から"H"へ)変化(以下、立ち上がりまたは立ち上げと記す)時は、主出力バッファN7が導通状態(以下、ONと記す)からしゃ断状態(以下、OFFと記す)となり、外部入出力信号EBは終端抵抗を介して終端電圧VTTに立ち上げられる。この時、信号EBの時間に対する電圧変化の割合の絶対値 $|V/t|$ (以下、Slew Rateと記す)は主に終端抵抗RT1,RT2と負荷容量CT1,CT2により決定する。この為、内部出力信号Aの変化が外部出力信号EBに伝達されるまでの論理情報の伝達に要する遅延時間(以下、出力総遅延時間T_{dmax}と記す)も大きい。

【0011】

また、内部出力信号Aの正電源側からグランド側へ(論理値が"H"から"L"へ)変化(以下、立ち下がりまたは立ち下げと記す)時は、主出力バッファN7がOFFからONとなり、外部入出力信号EBは急峻に低電圧側出力電圧VOLまで立ち下げられる。この時、信号EBのSlew Rateへの影響は、終端抵抗RT1,RT2を介した終端電圧VTTのバイアスに比べ、主出力バッファN7の出力インピーダンスが十分に小さい為、抵抗R1と容量C1が支配的となる。

【0012】

10

20

30

40

50

また、容量C1は、バス配線の外部要因による急峻な電圧変動に対し補正する方向に作用する。例えば、外部入出力信号EBが所望の電圧より正電源VDD側に変動した場合、主バイアス信号CAは容量C1のカップリング動作によってVDD側へ立ち上げられ、主出力バッファN7のゲート及びソース間電圧Vgsが大きくなる事によりONし、信号EBをGND電位側に立ち下げる様に作用する。逆に、信号EBがGND側に変動した場合、主出力バッファN7はOFFする事となる。

【 0 0 1 3 】

この回路の問題点は、外部入出力信号EBの立ち下がり時のSlew Rateの調整が抵抗R1と容量C1のCR時定数による調整のみの為、Slew Rateの調整範囲が狭い事である。

【 0 0 1 4 】

Slew Rateを小さくすると出力総遅延時間T_{dmax}が大きくなってしまい、また、Slew Rateを大きくすると、出力波形にオーバー(アンダー)シュートが生じ電源ノイズの発生源となっていた。

【 0 0 1 5 】

図16は、図14に示す出力回路OUTに相当する第2の従来技術の回路図である。この回路は、2つの出力バッファを備えており、それぞれを主出力バッファ及び従出力バッファと呼ぶとすると、主出力バッファN7は、第1の従来技術(図14)のN7と同様な通常の電気特性仕様の低電圧側出力電流I_{OL}によりトランジスタサイズが決定される出力バッファであり、従出力バッファN8は、それよりさらに出力インピーダンスを下げる目的で並列接続されている。

【 0 0 1 6 】

この回路の出力バッファのトランジスタ能力を決定するには、まず、電気特性仕様の低電圧側出力電流I_{OL}に基づき主出力バッファN7のトランジスタサイズを決定し、その後、外部入出力信号EBの立ち下がり急峻にする為に出力インピーダンスを下げた場合のトランジスタ能力を決定し、N7とN8の両方でその能力となる様従出力バッファN8のトランジスタサイズを決定する。

【 0 0 1 7 】

図17は、図16の回路の動作波形である。この回路において、従出力バッファN8がONする期間は、従バイアス信号CBがNチャンネルMOSトランジスタN8のしきい値電圧(以下、V_{thN}と記す)より高電位となる期間、すなわち内部出力信号Aの立ち下がり直後から遅延回路Delayにて設定した遅延時間T_d経過後までの一瞬の期間のみである。よって、内部出力信号Aの立ち下がり時のこの期間のみ主出力バッファN7と従出力バッファN8の両方がONし、出力インピーダンスが低下し外部入出力信号EBのSlew Rateが増大する。その後、通常の出カインピーダンスに戻り、信号EBのSlew Rateも通常となる。

【 0 0 1 8 】

このように内部出力信号Aの立ち上がり直後だけSlew Rateを大きくし急峻に立ち下げた後、Slew Rateを小さくして緩慢にする事によって、出力総遅延時間T_{dmax}を大きくせずオーバー(アンダー)シュートを防止する事が出来る。この例では、2つの出力バッファを備えた例を挙げたが、2つ以上の複数の並列接続された出力バッファを用意すれば、より詳細な出力インピーダンスの制御を行ないSlew Rateを最適化する事が出来る。

【 0 0 1 9 】

図18は、第3の従来技術の出力回路の回路図である。この出力回路の動作は第2の従来技術(図16)とほぼ同様である。第2の従来技術と異なるのは、従出力バッファN8をOFFするタイミングを決める信号を、従出力バッファN8のゲート信号からドレイン信号すなわち外部入出力信号EBに変更した点である。信号EBは負荷容量により、従バイアス信号CBより緩慢に変化する為、遅延回路を削除し、センスアンプI7の回路しきい値電圧(以下、V_{thC}と記す)の調整によって出力総遅延時間T_{dmax}の調整を行なう。

【 0 0 2 0 】

また、外部入出力信号EBをセンスアンプI7にフィードバックする事で、バス配線の何らかの外部要因による電圧変動に応じて、出力インピーダンスを補正する事が可能となる。例

10

20

30

40

50

えば、何らかの原因で信号EBの電位がセンスアンプ17の回路しきい値 V_{thC} よりVDD電位側に変動した時、従出力バッファN8は主出力バッファN7とほぼ同タイミングでON/OFFを行なう。逆にGND電位側に変動した時、従出力バッファN8は常にOFFとなる。

【0021】

第2及び第3の従来技術の回路における第1の問題点は、所望の出力インピーダンスの変化を考慮しながら、電気特性仕様の低電圧側出力電流 I_{OL} を満たす様に複数の大バッファを用意しなければならない点である。例えば、出力電流 I_{OL} に基づく出力インピーダンスを半分にするには、トランジスタサイズに2倍程度の面積が必要となる。この為、レイアウト面積が大きくなる事が避けられない。

【0022】

また、Slew Rateを小さくする為、より高い出力インピーダンスにしたくても、出力電流 I_{OL} に基づく出力インピーダンスより高く設定する事は出来ない。

【0023】

これらの回路における第2の問題点は、遅延回路Delayやセンスアンプ17の製造プロセスのバラつきによりトランジスタしきい値電圧 V_{th} の余裕(以下 V_{th} マージンと記す)が狭くなってしまふ点である。従出力バッファN8をOFFするタイミングは、外部入出力信号EBがグランドGNDに到達するよりも十分前に設定する必要があるが、第2の従来技術の場合、例えば、しきい値電圧 V_{th} が低電位側にバラつくと、出力総遅延時間 T_{dmax} が小さくなり従出力バッファN8をOFFするタイミングが早くなると共に、出力バッファのトランジスタ能力が必要以上に大きくなりアンダーシュートが大きくなる。逆に、しきい値電圧 V_{th} が高電位側にバラつくと、遅延時間 T_{dmax} が大きくなり、従出力バッファN8をOFFするタイミングが遅れアンダーシュートが大きくなる。また、第3の従来技術の場合、 V_{thP} 低N高(PチャンネルMOSトランジスタのしきい値電圧 V_{thP} が低く、NチャンネルMOSトランジスタのしきい値電圧 V_{thN} が高い状態)にて遅延時間 T_{dmax} が小さくなり、また、 V_{thP} 高N低(V_{thP} が高く、 V_{thN} が低い状態)にて遅延時間 T_{dmax} が大きくなり第2の従来技術と同様の傾向が生じる。

【0024】

また、下記の特許文献1～4が公開されている。

【0025】

【特許文献1】

特開平9-200033号公報

【特許文献2】

特開平8-274616号公報

【特許文献3】

米国特許第6,242,942号公報

【特許文献4】

米国特許第6,184,730号公報

【0026】

【発明が解決しようとする課題】

従って、レイアウト面積を増大する事無く、広範囲な V_{th} マージンでの出力バッファの出力インピーダンス制御が出来ない為、最適なSlew Rate制御が出来ず、信号の遅延時間の増大や出力波形にオーバー(アンダー)シュートが生じ、電源ノイズの発生源となっていた。よって、回路動作の高速化が困難であった。

【0027】

本発明の目的は、ノイズを低減しかつ高速に動作する出力回路を提供することである。

【0028】

【課題を解決するための手段】

本発明の一観点によれば、内部信号を入力して、内部信号の立ち上がり変化後にバイアス信号線の電流パスを導通させ、内部信号の立ち下がり変化後にバイアス信号線の電流パスを導通させてバイアス信号を供給するバイアス制御部と、バイアス制御部によって供給

10

20

30

40

50

されるバイアス信号を入力としてバイアス信号線のバイアス信号をホールドするホルダー部と、バイアス信号線のバイアス信号を入力として出力線にバイアスを与える出力部とを有する出力回路が提供される。バイアス制御部の内部信号の変化後に導通される電流パスには、ゲート及びドレインが相互に接続された電界効果トランジスタ又はベース及びコレクタが相互に接続されたバイポーラトランジスタが接続される。

【0029】

内部信号の立ち上がり時だけでなく、立ち下がり時についても、意図的にバイアス信号線の電流パスを導通させることができるので、出力部の出力インピーダンスを最適化し、最適なSlew Rate制御を行うことができる。これにより、信号の遅延時間を増加させることなく、出力波形のオーバーシュート及びアンダーシュートを防止でき、電源のノイズを防止できる。また、出力信号の低電圧化及び回路動作の高速化が可能になる。

10

【0030】

【発明の実施の形態】

(第1の実施形態)

まず、図1～図4を参照しながら、本発明の第1の実施形態の原理を説明する。図13に、一般的な双方向シリアルバス配線によるGTLバス接続例の概略図を示す。図13の詳細な説明は、上記と同じである。図2は、半導体入出力回路の回路図である。図中、INは入力回路、OUTは出力回路である。また、図2は、図13に示す入出力回路131に相当し、図1は、図2の出力回路OUTの回路構成を示したものである。

【0031】

図1は、半導体入出力回路の出力回路の構成例を示す概略図である。遅延部DLYは、内部出力信号Aに遅延時間を付与した遅延信号ADを出力する。バイアス制御部BCNTは、内部出力信号A及び遅延信号ADを入力して、バイアス信号線上にバイアス信号CAを出力する。ホルダー部HOLDは、バイアス制御部BCNTによって供給されるバイアス信号CAを入力としてバイアス信号線のバイアス信号CAをホールドする。出力部OTは、バイアス信号線のバイアス信号CAを入力として出力線に外部出力信号EBを出力する。出力部OTの出力線は、図13のシリアルバス配線132に接続される。

20

【0032】

次に、図2を参照しながら説明する。入力回路INは、オペアンプAMP1を有する。オペアンプAMP1は、外部入出力信号EBを負入力端子に入力し、基準電圧Vrefを正入力端子に入力し、内部入力信号Xを出力する。

30

【0033】

次に、出力回路OUTの構成を説明する。インバータI1,I2は遅延部DLY、回路BCNTはバイアス制御部、回路HOLDはホルダー部、回路N7は出力部、信号Aは内部出力信号、信号AD,ADNは遅延信号、信号CAは主バイアス信号、信号EBは外部入出力信号に相当している。遅延部DLYは、CMOSトランジスタのゲート遅延により入力信号を遅延時間Tdだけ遅らせる遅延回路であり、バイアス制御部BCNTは、主バイアス信号CAをバイアスする組み合わせ回路であり、ホルダー部HOLDは、センスアンプ(インバータ)I4,I5の回路しきい値VthCにより主バイアス信号を再バイアスする回路であり、出力部OTは、主バイアス信号CAのゲート制御によるNチャンネルオープンドレイン出力バッファである。

40

【0034】

遅延部DLYは、インバータI1及びI2の直列接続であり、偶数個のインバータにより構成される。遅延部DLYは、内部出力信号Aに遅延時間を付与した遅延信号ADを出力する。出力部OTは、NチャンネルMOS電界効果トランジスタ(MOSFET)N7を有する。以下、特に断りがない限り、トランジスタは、MOSFETを指すものとする。

【0035】

次に、バイアス制御部BCNTの構成を説明する。PチャンネルMOSトランジスタP1は、ゲートが内部出力信号Aに接続され、ソースが正電源電位VDDに接続される。PチャンネルMOSトランジスタP2は、ゲートが遅延信号ADに接続され、ソースがトランジスタP1のドレインに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN1は、ゲー

50

ト及びドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN2は、ゲートが内部出力信号Aに接続され、ソースがグランドGNDに接続され、ドレインがトランジスタN1のソースに接続される。

【 0 0 3 6 】

インバータI3は、遅延信号ADを論理反転した信号ADNを出力する。PチャンネルMOSトランジスタP3は、ゲートが内部出力信号Aに接続され、ソースが正電源電位VDDに接続される。PチャンネルMOSトランジスタP4は、ゲートが信号ADNに接続され、ソースがトランジスタP3のドレインに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN3は、ゲートが信号ADNに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN4は、ゲートが内部出力信号Aに接続され、ソースがグランドGNDに接続され、ドレインがトランジスタN3のソースに接続される。

10

【 0 0 3 7 】

次に、ホルダー部HOLDの構成を説明する。センスアンプ(インバータ)I4及びI5は、バイアス信号CAの論理反転信号を出力する。PチャンネルMOSトランジスタP5は、ゲートがインバータI4の出力に接続され、ソースが正電源電位VDDに接続される。PチャンネルMOSトランジスタP6は、ゲートが内部出力信号Aに接続され、ソースがトランジスタP5のドレインに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN5は、ゲートが内部出力信号Aに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN6は、ゲートがインバータI5の出力に接続され、ソースがグランドGNDに接続され、ドレインがトランジスタN5のソースに接続される。

20

【 0 0 3 8 】

トランジスタN7は、ゲートがバイアス信号CAの線に接続され、ソースがグランドGNDに接続され、ドレインが外部入力信号EBの線に接続される。

【 0 0 3 9 】

図3は、図2の出力回路OUTの動作波形、図4は、各機能回路の状態を示す。以下、図2、図3、図4を用いて回路動作を説明する。

【 0 0 4 0 】

まず、図3の期間Iにおいて、内部出力信号Aが立ち上がると、トランジスタP2,P5,N2,N3,N4,N5がオン(ON)し、その他のトランジスタがオフする。ただし、トランジスタN1は、ゲート及びドレインが相互に接続されているので、オン/オフの切り替えは生じない。トランジスタN3,N4の電流パスがバイアス信号CAの線に対して導通する。主バイアス信号CAは、GND側へ急峻に立ち下げられる。すると、主出力バッファN7は、短い遅延時間でオフ(OFF)し始め、外部入出力信号EBは終端抵抗RT1,RT2を介して正電源VTT側へ立ち上がり始める。ここで、バイアス信号CAがGND(ローレベル)へ到達する前(好ましくは、トランジスタN1のしきい値電圧VthNに到達する前)に期間IIに切り替える。

30

【 0 0 4 1 】

次に、期間IIにおいて、信号Aの立ち上がり変化が遅延回路I1,I2を介して遅延信号AD,ADNに伝わると、トランジスタN3がOFFし、主バイアス信号CAはNチャンネルMOSトランジスタN2とゲート及びドレイン間を接続し飽和領域で動作させたNチャンネルMOSトランジスタN1の電流パスのみでバイアスされる。トランジスタN1は、ゲート及びドレインが相互に接続されているので、主バイアス信号CAはトランジスタN1のしきい値電圧VthN近傍の電位で一旦安定する。すると、主出力バッファN7の出力インピーダンスは高い状態となる。この結果、信号EBのSlew Rateは小さくなり、オーバーシュートを防止する事が出来る。

40

【 0 0 4 2 】

次に、期間IIIにおいて、主バイアス信号CAの電位が、センスアンプI5の回路しきい値VthCを下回るとトランジスタN6がONし、トランジスタN5,N6の電流パスがバイアス信号CAの線に対して導通する。すると、主バイアス信号CAは最終的にGND電位にホールドされる。よって、主出力バッファN7は完全にOFFし、信号EBはVTT電位(ハイレベル)となる。

【 0 0 4 3 】

次に、期間IVにおいて、信号Aが立ち下がると、トランジスタP3,P4がONし、トランジスタ

50

N2, N5がOFFする。トランジスタP3, P4の電流パスがバイアス信号CAの線に対して導通するので、主バイアス信号CAはVDD側へ立ち上げられる。主出力バッファN7は短い遅延時間でONし始め、信号EBはGND側へ立ち下がり始める。

【 0 0 4 4 】

次に、期間Vにおいて、信号Aの立ち下がり変化が遅延回路I1, I2を介して遅延信号AD, ADNに伝わると、トランジスタP4がOFF、トランジスタP2がONする。トランジスタP1, P2の電流パスがバイアス信号CAの線に対して導通するので、主バイアス信号CAはトランジスタP2とトランジスタ能力の小さいトランジスタP1を介し緩慢にVDD側へ立ち上げられる。主出力バッファN7は徐々にONし始め、信号EBは更にGND電位に近づく。この結果、信号EBのSlew Rateは小さくなりアンダーシュートを防止する事が出来る。

10

【 0 0 4 5 】

次に、期間VIにおいて、主バイアス信号CAの電位が、センスアンプI4の回路しきい値VthCを上回るとトランジスタP5がONする。トランジスタP1, P2の電流パスに加えて、トランジスタP5, P6の電流パスがバイアス信号CAの線に対して導通するので、主バイアス信号CAは最終的に正電源電位VDDとなる。よって、主出力バッファN7は完全にONし、信号EBは低電圧側出力電圧VOLすなわち主出力バッファN7のドレイン及びソース間電圧Vds (ローレベル)となる。

【 0 0 4 6 】

この回路方式の第1の特徴は、外部入出力信号EBをバイアスする主出力バッファN7の出力インピーダンスの調整を、ゲートバイアスにて行なう点である。この為、大バッファを複数用意する必要は無く、低電圧側出力電流IOLを満足する為に必要な出力バッファのみを用意すればよく、レイアウト面積を小さくする事が可能である。バイアス制御部とホルダー部の回路構成が、多少複雑になるが、出力バッファに比べレイアウト面積が十分に小さい為、問題とはならない。例えば、データ入出力ポート等の機能回路の様にバス配線に多くの入出力回路を並列接続しなければならない場合、このレイアウト面積の縮小化は特に大きなメリットとなる。

20

【 0 0 4 7 】

この回路方式の第2の特徴は、主出力バッファの最終的なゲート電位を、ホルダー部にて決定する点である。オーバー(アンダー)シュート防止の為、バイアス制御部により電圧変化の緩慢となった主バイアス信号CAの電位が、センスアンプの回路しきい値VthCに到達するまでの時間は、センスアンプの調整により、通常の遅延回路で設定する遅延時間よりも十分長く設定する事が可能であり、外部入出力信号EBのSlew Rateを非常に広範囲に調整する事が出来る。センスアンプは、PチャンネルとNチャンネルの一对のMOSトランジスタで構成される反転回路であり、回路しきい値VthCはこれらのトランジスタ能力の比によって簡単に調整する事が出来る。例えば、回路しきい値VthCを正電源側にシフトするにはPチャンネルMOSトランジスタの能力を大きくし、グランド側にシフトするにはNチャンネルMOSトランジスタの能力を大きくすれば良い。この為、終端電源VTT、終端抵抗、負荷容量及び、バス配線の特性インピーダンスZ0等の伝送線路パラメータ等の条件に応じたオーバー(アンダー)シュートの防止が容易となる。

30

【 0 0 4 8 】

この回路方式の第3の特徴は、外部入出力信号EBの立ち上がり時と立ち上がり時のSlew Rateをそれぞれ別々に最適化設計する事が可能な点である。信号EBの立ち上がり時は、主出力バッファN7をOFFし、バス配線の電位が終端抵抗を介し終端電圧VTTに立ち上げられる動作であるのに対し、EBの立ち下がり時は、主出力バッファN7をONし、主出力バッファN7の低電圧側出力電流IOLによって低電圧側出力電圧VOLに立ち下げられる動作である。また、一般的に正電源VDDは終端電圧VTTより正側に高電位である為、正電源電位VDDからしきい値電圧VthN近傍までの電位差としきい値電圧VthNからGNDまでの電位差が大きく異なる為、信号EBの立ち上がり時と立ち下がり時で、主バイアス信号CAに必要な動作波形の形状が異なる。この主バイアス信号CAに要求される動作波形を、内部出力信号Aと内部出力信号Aの遅延信号とホルダー部によるバイアスという3つのタイミングによって、外部

40

50

入出力信号EBの立ち上がり時はバイアス制御部BCNTとホルダー部HOLDのNチャンネル側、信号EBの立ち下がり時はバイアス制御部BCNTとホルダー部HOLDのPチャンネル側、の最適化設計を行なう事により実現するものである。

【0049】

なお、上記では、バイアス制御部とホルダー部に貫通電流パスが極力生じない様、入力波形の組み合わせを考慮したが、一時的に貫通電流を流し主バイアス信号CAをVDD及びGND間の任意の電位に設定する事も可能である。また、バイアス制御部の入力に信号Aと遅延信号AD, ADNという2種類の異なるタイミングの信号を使用したが、さらに異なるタイミングを設ける事でより多様な制御が可能となる。また、出力バッファがNチャンネルオープンドレインの場合だけでなく、CMOSやバイポーラトランジスタを用いたプッシュプル型の回路において容易に応用出来る事は明らかである。さらに、特にプリント基板上のパターン配線へのバイアスに限定するものではなく、例えば、半導体チップ内の配線のバイアスにも適用する事が出来る。また、シリアルバス配線に限定するものでもなく、一般信号配線にも適用する事が出来る事は言うまでもない。

【0050】

以上のように、遅延回路によって発生した複数のタイミングの信号によるバイアス制御と、ゲート信号の電位によってさらにバイアスを行なう事によって、出力バッファのゲート信号を最適化し、出力バッファの出力インピーダンス制御を最適化すると良い。

【0051】

出力バッファのゲート信号を複数のタイミングによってバイアスを行なって最適化する事によって出力バッファの出力インピーダンス制御を最適化する為、出力回路のレイアウト面積を増大する事なく、広範囲なしきい値電圧 V_{th} マージンにて、プリント基板上のパターン配線によって伝達されるシリアルバス信号の最適なSlew Rate制御が可能となる。従って、信号の出力総遅延時間 T_{dmax} を増大する事なく出力波形のオーバー(アンダー)シュートを防止し、回路動作を高速化する事が可能となる。

【0052】

次に、図2の出力回路OUTの問題点を説明する。図2の出力回路OUTでは、出力電圧Aの立ち上がり時に、NチャンネルトランジスタN7のゲート電圧を、一旦、しきい値電圧 V_{thN} 近傍でバイアスする期間を設ける事によって、立ち上がり時にオーバーシュートを抑制する事が可能であるが、立ち下がり時はPチャンネルトランジスタのゲートバイアスを制御する為、しきい値電圧 V_{thN} 近傍でバイアスする期間を設ける事が困難であった。その為、トランジスタN7の出力インピーダンスを最適化出来ず、アンダーシュート抑制と遅延時間低減のトレードオフとなり、回路調整が困難になる。

【0053】

次に、図5～図8を参照しながら、本実施形態による出力回路OUTを説明する。図5は、半導体入出力回路の出力回路の構成例を示す概略図である。図5は、図1のバイアス制御部BCNT内に電流パスPTHを追加した以外は図1と同じである。図6は、半導体入出力回路の回路図である。図5は、図6の出力回路OUTの回路構成を示したものである。図6の回路は、図2に対して、電流パスPTHを追加したものである。

【0054】

図6を参照しながら、電流パスPTHの構成を説明する。インバータI11は、バイアス信号CAを論理反転した信号を出力する。NチャンネルMOSトランジスタN11は、ゲート及びドレインがバイアス信号CAの線に接続され、バイアス信号CAの線にしきい値電圧 V_{thN} を与えるためのものである。NチャンネルMOSトランジスタN12は、ゲートがインバータI11の出力に接続され、ドレインがトランジスタN11のソースに接続される。NチャンネルMOSトランジスタN13は、ゲートが信号ADNに接続され、ドレインがトランジスタN12のソースに接続され、ソースがグランドGNDに接続される。

【0055】

図7は、図6の出力回路OUTの動作波形、図8は、各機能回路の状態を示す。図8は、図4の状態に、トランジスタN11, N12, N13の状態を追加したものである。その他のトランジ

10

20

30

40

50

スタについては、図4及び図8は同じである。トランジスタN11は、ゲート及びドレインが相互に接続されているので、オン/オフの切り替えは生じない。トランジスタN12,N13は、期間I及び期間Vにおいて同時にオンする。すなわち、トランジスタN11,N12,N13の電流パスPTHは、期間I及びVにて、バイアス信号CAの線に対して導通する。それ以外の期間では、図6の回路と図2の回路の動作は同じである。

【0056】

期間Iでは、電流パスPTHの他に、トランジスタN3,N4の電流パスもバイアス信号CAの線に対して導通しているため、図6の回路と図2の回路の動作がほぼ同じである。なお、期間Iでは、電流パスPTHを導通させる必然性はない。後に、第2の実施形態では、期間Iでは電流パスPTHを導通させない回路を示す。

10

【0057】

期間Vでは、トランジスタP1,P2の電流パス及びトランジスタN11,N12,N13の電流パスがバイアス信号CAの線に対して導通する。その結果、その電流パスには、図6に示す電流60が流れる。ただし、トランジスタN11は、ゲート及びドレインが相互に接続されているので、図7のエリア71に示すように、バイアス信号CAがトランジスタN11のしきい値電圧 V_{thN} になる。

【0058】

なお、同一半導体プロセスにより出力回路を製造すれば、NチャネルMOSトランジスタN1,N11,N7のしきい値電圧 V_{thN} はほぼ同じになる。これにより、期間II及びVでは、信号EBは、Slew Rateが小さくなり、オーバーシュートを防止する事が出来る。

20

【0059】

より具体的に説明する。期間IVにおいて、トランジスタP3,P4の電流パスがバイアス信号CAの線に対して導通し、主バイアス信号CAは、VDD側へ急峻に立ち上げられる。すると、主出力バッファN7は、短い遅延時間でオンし始め、外部入出力信号EBは低電圧側出力電圧 V_{OL} へ立ち下がり始める。ここで、バイアス信号CAがVDD(ハイレベル)へ到達する前(好ましくは、トランジスタN11のしきい値電圧 V_{thN} に到達する前)に期間Vに切り替える。

【0060】

次に、期間Vでは、トランジスタP1,P2の電流パス及びトランジスタN11,N12,N13の電流パスがバイアス信号CAの線に対して導通する。トランジスタN11は、ゲート及びドレイン間が接続されて飽和領域で動作するので、図7のエリア71に示すように、主バイアス信号CAはトランジスタN11のしきい値電圧 V_{thN} 近傍の電位で安定する。すると、主出力バッファN7の出力インピーダンスは高い状態となる。この結果、図7のエリア72に示すように、信号EBのSlew Rateは小さくなり、アンダーシュートを防止する事が出来る。

30

【0061】

次に、期間VIにおいて、主バイアス信号CAの電位が、センスアンプI4の回路しきい値 V_{thC} を上回るとトランジスタP5,P6がONする。トランジスタP1,P2の電流パスに加えて、トランジスタP5,P6の電流パスがバイアス信号CAの線に対して導通するので、主バイアス信号CAは最終的に正電源電位VDDとなる。よって、主出力バッファN7は完全にONし、信号EBは低電圧側出力電圧 V_{OL} すなわちN7のドレイン及びソース間電圧 V_{ds} (ローレベル)となる。

【0062】

ここで、インバータI4及びI5を1個のインバータにしてもよい。その1個のインバータは、バイアス信号CAの論理反転信号をトランジスタP5及びN6のゲートに出力する。この場合、期間III及びVIの開始タイミングを決めるための回路しきい値 V_{thC} が同じになる。ただし、図6に示すように、2個のインバータI4,I5を設けることにより、インバータI4及びI5の回路しきい値 V_{thC} に応じて、それぞれ期間III及びVIのホールド開始タイミングの信号レベルを別個に制御できる利点がある。

40

【0063】

なお、図6の電流パスPTHが導通すると、電流が消費されることになる。しかし、電流パスPTHを構成するトランジスタN11~N13はトランジスタN7に比べてサイズが小さいので、電流パスPTHを流れる電流は小さい。さらに、電流パスPTHが導通になる期間は極めて短い

50

。したがって、電流パスPTHの消費電流は極めて小さくて済む。

【0064】

図9(A)～(C)は、SPICE (Simulation Program with Integrated Circuit Emphasis) によるシミュレーション電圧波形を示す。縦軸は電圧、横軸は時間を示す。図9(A)は、内部出力信号Aの電圧波形を示す。

【0065】

図9(B)は、バイアス信号CAの電圧波形を示す。波形91が図6の回路のバイアス信号CA、波形92が図2の回路のバイアス信号CAである。内部出力信号Aの立ち下がり時及びその後において、波形91は、一旦、しきい値電圧 V_{thN} に安定させるので、波形92に比べて立ち上がりを遅くできる。

10

【0066】

図9(C)は、外部入出力信号EBの電圧波形を示す。波形93が図6の回路の外部入出力信号EB、波形94が図2の回路の外部入出力信号EBである。内部出力信号Aの立ち下がり時及びその後において、波形93は、波形94に比べて立ち下がり遅くして (Slew Rateを小さくして)、アンダーシュートを抑制することができる。

【0067】

本実施形態によれば、高電位VTT側に終端接続したバス配線に信号出力する複数のNチャンネルオープンドレイン出力バッファN7を用いる。その際、内部出力電圧Aの立ち上がり時だけでなく、立ち下がり時についても、意図的に電流パスを発生し、NチャンネルバッファN7のゲート電圧を、一旦、しきい値電圧 V_{thN} 近傍でバイアスする期間II及びVを設ける事によって、出力バッファN7の出力インピーダンスを最適化し、遅延時間を増大する事なく、オーバーシュート及びアンダーシュートを抑制する事が出来る。よって、出力電圧EBの立ち上がり時と立ち下がり時両方の電源ノイズを生じる事なく、バス信号の低電圧化及び高速化が可能となる。

20

【0068】

(第2の実施形態)

図10は、本発明の第2の実施形態による出力回路OUTの回路図である。図10の出力回路は、図6の出力回路OUTに回路100を追加したものである。追加回路100は、NチャンネルMOSトランジスタN14である。トランジスタN14は、ゲートがインバータI1の出力に接続され、ドレインがトランジスタN13のソースに接続され、ソースがグランドGNDに接続される。

30

【0069】

図11は、図10の出力回路の各機能回路の状態を示す。図11の状態は、図8の状態にトランジスタN14の状態を追加したものである。トランジスタN14は、期間IV,V,VIのみオンになる。その結果、トランジスタN11,N12,N13,N14の電流パスは、期間Vのみにおいて、バイアス信号CAの線に対して導通する。図8では、電流パスPTHを期間I及びVにおいて導通させていたが、図11に示すように、その電流パスを期間Vのみ導通させれば十分である。

【0070】

(第3の実施形態)

図12は、本発明の第3の実施形態による出力回路OUTの回路図である。図12の出力回路は、図6の出力回路OUTに回路120を追加したものである。追加回路120の構成を説明する。ディレイインバータI2Dは、信号ADを遅延及び論理反転した信号ADDを出力する。トランジスタN13のゲートは、信号ADDを入力する。PチャンネルMOSトランジスタP3Dは、ゲートが内部出力信号Aに接続され、ソースが正電源電位VDDに接続される。PチャンネルMOSトランジスタP4Dは、ゲートが信号ADDに接続され、ソースがトランジスタP3Dのドレインに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN3Dは、ゲートが信号ADDに接続され、ドレインがバイアス信号CAの線に接続される。NチャンネルMOSトランジスタN4Dは、ゲートが内部出力信号Aに接続され、ソースがグランドGNDに接続され、ドレインがトランジスタN3Dのソースに接続される。

40

50

【 0 0 7 1 】

図 6 の回路では、内部出力信号 A と、内部出力信号 A を一定時間 T_{dx} だけ遅延させた信号 AD の 2 種類の変化タイミングにてバイアス制御部 BCNT を制御している。これに対し、図 1 2 の回路では、内部出力信号 A と、内部出力信号 A を一定時間 T_{dy} だけ遅延させた信号 AD と、信号 AD を一定時間 T_{dz} だけ遅延させた信号 ADD の 3 種類の変化タイミングにてバイアス制御部 BCNT を制御している。これにより、図 7 の期間 I 及び IV においてバイアス信号 CA を、より細分化したタイミング及びバイアスで制御する事が可能となる。

【 0 0 7 2 】

すなわち、バイアス制御部 BCNT は、内部出力信号 A の変化後の期間 I, IV の電流パス及びその遅延時間後の期間 II, V の電流パスの他に、その時間の間にバイアス信号 CA の線にさら

10

【 0 0 7 3 】

なお、上記の第 1 ~ 第 3 の実施形態では、2 種類及び 3 種類のタイミングにおける例を示したが、電圧及び遅延時間に応じてタイミングをさらに細分化または調整が可能である。

【 0 0 7 4 】

また、第 1 ~ 第 3 の実施形態において、主出力バッファ N7 を P チャンネル MOS トランジスタにしてもよい。その場合、トランジスタの極性をすべて逆にすればよい。

【 0 0 7 5 】

また、トランジスタは、MOS 電界効果トランジスタに限らず、バイポーラトランジスタにしてもよい。その場合、N チャンネル及び P チャンネル MOS 電界効果トランジスタは、それぞれ N

20

【 0 0 7 6 】

PN 及び PNP バイポーラトランジスタに置き換えればよい。ゲート及びドレインを相互接続したトランジスタ N1 及び N11 は、ベース及びコレクタを相互接続したバイポーラトランジスタにすればよい。

【 0 0 7 7 】

また、トランジスタ N7 のゲートは、トランジスタ N1, N11 がしきい値電圧 V_{thN} に制御するバイアス信号 CA を入力するので、トランジスタ N1, N11 及び N7 は、同一極性の電界効果トランジスタ又はバイポーラトランジスタであることが好ましく、特に N チャンネル MOS 電界効果トランジスタであることが好ましい。

30

【 0 0 7 8 】

上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 0 0 7 9 】

（付記 1）内部信号を入力して、前記内部信号の立ち上がり変化後及び立ち下がり変化後にバイアス信号線に電流パスを設けてバイアス信号を供給するバイアス制御部と、前記バイアス制御部によって供給されるバイアス信号を入力として前記バイアス信号線のバイアス信号をホールドするホルダー部と、

40

前記バイアス信号線のバイアス信号を入力として出力線にバイアスを与える出力部とを有し、前記バイアス制御部の内部信号の変化後に設けられる電流パスには、ゲート及びドレインが相互に接続された電界効果トランジスタ又はベース及びコレクタが相互に接続されたバイポーラトランジスタが接続される出力回路。

（付記 2）さらに、前記内部信号に遅延時間を付与した遅延信号を出力する遅延部を有し、

前記バイアス制御部は、前記内部信号及び前記遅延信号を入力して、前記内部信号の変化後かつその前記遅延時間経過前にバイアス信号線に別の電流パスを設けてバイアス信号を供給する付記 1 記載の出力回路。

50

(付記 3) 前記出力部は、情報を相互伝達する相互バス配線にバイアスを与える付記 1 記載の出力回路。

(付記 4) 前記電流パスには、ゲート及びドレインが相互に接続された MOS 電界効果トランジスタが接続される付記 1 記載の出力回路。

(付記 5) 前記 MOS 電界効果トランジスタは、前記バイアス信号線のバイアス信号を該電界効果トランジスタのしきい値電圧にする付記 4 記載の出力回路。

(付記 6) 前記出力部は、1 個の MOS 電界効果トランジスタで構成される付記 4 記載の出力回路。

(付記 7) 前記バイアス制御部は、前記内部信号の変化後の電流パス及び前記遅延時間後の電流パスの他に、その時間の中に前記バイアス信号線にさらに別の電流パスを設けてバイアス信号を供給する付記 2 記載の出力回路。

10

(付記 8) 前記ホルダー部は、前記バイアス信号を入力するインバータを有し、該インバータの回路しきい値に応じて前記バイアス信号をホールドする付記 1 記載の出力回路。

(付記 9) 前記ホルダー部は、前記バイアス信号を入力する 2 個のインバータを有し、該 2 個のインバータの回路しきい値に応じてそれぞれ前記バイアス信号の立ち上がり時及び立ち下がり時にホールドする信号レベルが決まる付記 1 記載の出力回路。

(付記 10) 前記出力部は、電界効果トランジスタ又はバイポーラトランジスタで構成される付記 1 記載の出力回路。

(付記 11) 前記出力部は、1 個の MOS 電界効果トランジスタで構成される付記 1 記載の出力回路。

20

(付記 12) 前記バイアス制御部において、前記内部信号の変化後にバイアス信号線に設けられる第 1 の電流パスは、前記バイアス信号線をローレベル又はハイレベルに接続し、前記遅延時間後にバイアス信号線に設けられる第 2 の電流パスは、前記バイアス信号線を前記ゲート及びドレインが相互に接続された MOS 電界効果トランジスタに接続する付記 4 記載の出力回路。

(付記 13) 前記バイアス制御部は、前記バイアス信号線に前記第 1 の電流パスを設けた後に前記バイアス信号線がローレベル又はハイレベルに到達する前に、前記バイアス信号線に前記第 2 の電流パスを設ける付記 12 記載の出力回路。

(付記 14) 前記バイアス制御部は、前記バイアス信号線に前記第 1 の電流パスを設けた後に前記バイアス信号線が前記 MOS 電界効果トランジスタのしきい値電圧に到達する前に、前記バイアス信号線に前記第 2 の電流パスを設ける付記 12 記載の出力回路。

30

(付記 15) 前記バイアス制御部は、前記バイアス信号線に前記第 2 の電流パスを設けることにより、前記バイアス信号線のバイアス信号を前記電界効果トランジスタのしきい値電圧にする付記 14 記載の出力回路。

(付記 16) 前記バイアス制御部の電流パスの MOS 電界効果トランジスタ及び前記出力部の MOS 電界効果トランジスタは、同一極性の電界効果トランジスタである付記 6 記載の出力回路。

(付記 17) 前記バイアス制御部の電流パスの MOS 電界効果トランジスタ及び前記出力部の MOS 電界効果トランジスタは、N チャンネル MOS 電界効果トランジスタである付記 16 記載の出力回路。

40

(付記 18) 前記バイアス制御部において、前記内部信号の立ち上がり変化後にバイアス信号線に設ける電流パスと前記内部信号の立ち下がり変化後にバイアス信号線に設ける電流パスとは異なる電流パスである付記 1 記載の出力回路。

(付記 19) 前記遅延部は、偶数個のインバータを含む付記 2 記載の出力回路。

(付記 20) 前記出力部は、GTL (Gunning Transceiver Logic) バス配線にバイアスを与える付記 1 記載の出力回路。

【0080】

【発明の効果】

以上説明したように、内部信号の立ち上がり時だけでなく、立ち下がり時についても、意図的に バイアス信号線の電流パスを導通させる ことができるので、出力部の出力インピ

50

ーダンスを最適化し、最適なSlew Rate制御を行うことができる。これにより、信号の遅延時間を増加させることなく、出力波形のオーバーシュート及びアンダーシュートを防止でき、電源のノイズを防止できる。また、出力信号の低電圧化及び回路動作の高速化が可能になる。

【図面の簡単な説明】

【図1】半導体入出力回路の出力回路の構成を示す概略図である。

【図2】半導体入出力回路の回路図である。

【図3】図2の出力回路の動作を示す波形図である。

【図4】図2の各機能回路の状態を示す図である。

【図5】半導体入出力回路の出力回路の構成を示す概略図である。

10

【図6】半導体入出力回路の回路図である。

【図7】図6の出力回路の動作を示す波形図である。

【図8】図6の各機能回路の状態を示す図である。

【図9】図9(A)～(C)はSPICEによるシミュレーション電圧波形を示す図である。

【図10】出力回路の回路図である。

【図11】図10の出力回路の各機能回路の状態を示す図である。

【図12】出力回路の回路図である。

【図13】バス接続例の概略図である。

【図14】第1の従来技術の回路図である。

20

【図15】第1の従来技術の動作波形を示す図である。

【図16】第2の従来技術の回路図である。

【図17】第2の従来技術の動作波形を示す図である。

【図18】第3の従来技術の回路図である。

【符号の説明】

AMP1 オペアンプ

BCNT バイアス制御部

C1 容量

CT1,CT2 負荷容量

Delay 遅延回路

30

HOLD ホルダー部

I1, I2 遅延回路

I3, I6, I11 インバータ回路

I4, I5, I7 センスアンプ

IN 入力回路

N1～N6 NチャネルMOSトランジスタ

N7 主出力バッファ

N8 従出力バッファ

N11～N13 NチャネルMOSトランジスタ

NR1～NR3 NOR回路

40

OUT 出力回路

P1～P6 PチャネルMOSトランジスタ

RT1,RT2 終端抵抗

R1,R2 抵抗

S1 シュミット回路

A, A1～A8 内部出力信号

AD, AND 遅延信号

CA (主)バイアス信号

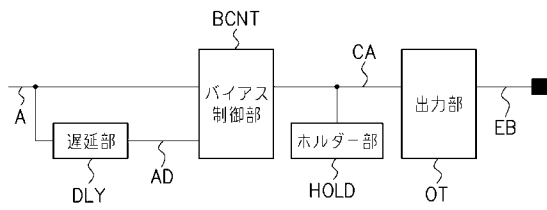
CB 従バイアス信号

EB 外部入出力信号

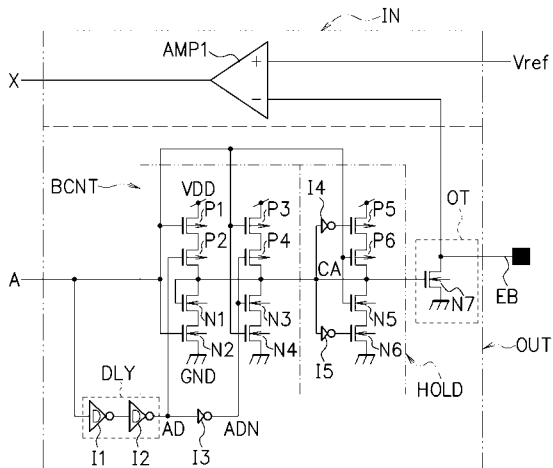
50

GND グランド
Vref 基準電圧
VDD 正電源(正電圧)
VTT 終端電源(終端電圧)
VthN NチャンネルMOSトランジスタのしきい値電圧
VOL 低電圧側出力電圧
X, X1 ~ X8 内部入力信号

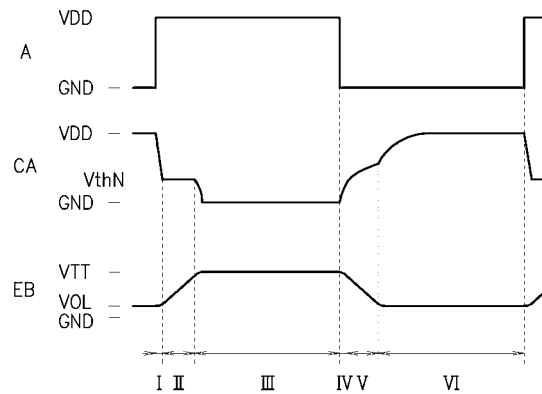
【 図 1 】



【 図 2 】



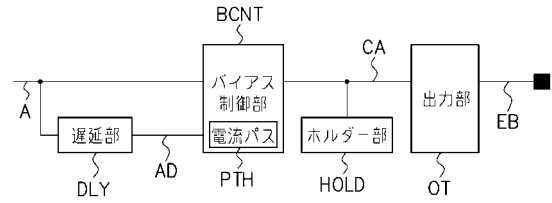
【 図 3 】



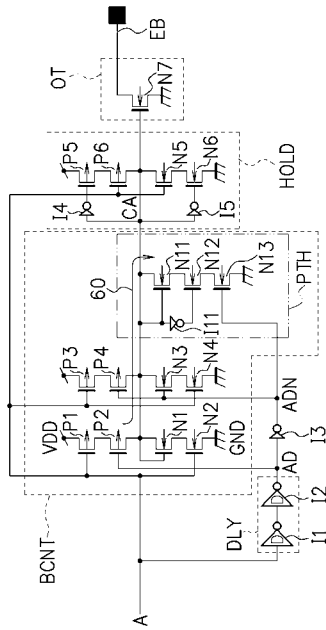
【 図 4 】

機能	トランジスタ	期間 I		期間 II		期間 III		期間 IV		期間 V		期間 VI	
		GND	プリバイアス	GND	主バイアス	GND	ホールド	VDD	プリバイアス	VDD	主バイアス	VDD	ホールド
P-ch 主バイアス部	P1	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON
	P2	ON	OFF	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON
P-ch プリバイアス部	P3	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON
	P4	OFF	OFF	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
P-ch ホールド部	P5	ON	ON	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON
	P6	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON
N-ch 主バイアス部	N1	—	—	—	—	—	—	ON	ON	ON	ON	ON	ON
	N2	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
N-ch プリバイアス部	N3	ON	ON	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON
	N4	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
N-ch ホールド部	N5	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF
	N6	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON

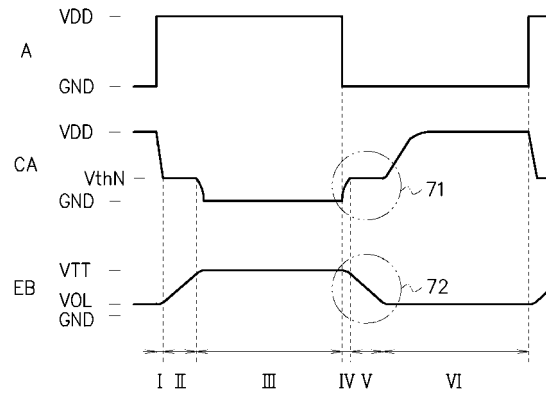
【 図 5 】



【 図 6 】



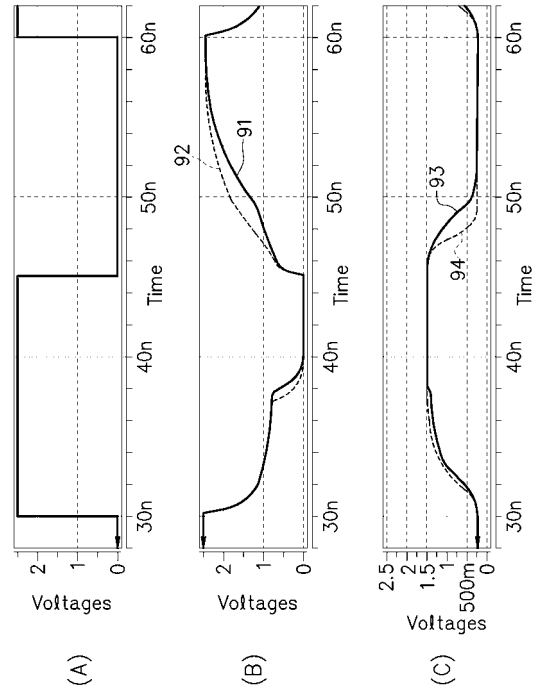
【 図 7 】



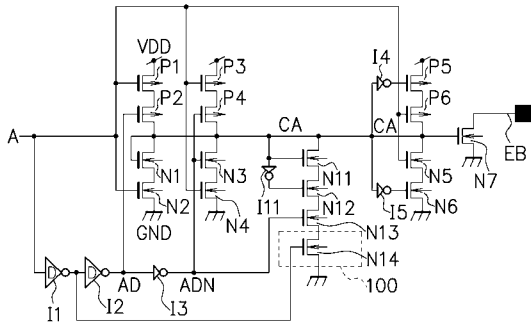
【 図 8 】

機能	トランジスタ	期間 I GNDプリバイアス	期間 II GND主バイアス	期間 III GNDホールド	期間 IV VDDプリバイアス	期間 V VDD主バイアス	期間 VI VDDホールド
P-ch 主バイアス部	P1	OFF	OFF	OFF	ON	ON	ON
	P2	ON	OFF	OFF	ON	ON	ON
P-ch プリバイアス部	P3	OFF	OFF	OFF	ON	ON	ON
	P4	OFF	ON	ON	OFF	OFF	OFF
P-ch ホールド部	P5	ON	ON	OFF	OFF	OFF	ON
	P6	OFF	OFF	OFF	ON	ON	ON
N-ch 主バイアス部	N1	ON	ON	ON	OFF	OFF	OFF
	N2	ON	ON	ON	ON	ON	ON
N-ch プリバイアス部	N3	ON	OFF	OFF	OFF	OFF	ON
	N4	ON	ON	ON	OFF	OFF	OFF
N-ch ホールド部	N5	ON	ON	ON	OFF	OFF	OFF
	N6	OFF	OFF	ON	ON	ON	ON
N-ch DCバス部	N11	ON	ON	ON	ON	ON	ON
	N12	ON	ON	ON	ON	ON	ON
	N13	ON	OFF	OFF	OFF	OFF	ON

【 図 9 】



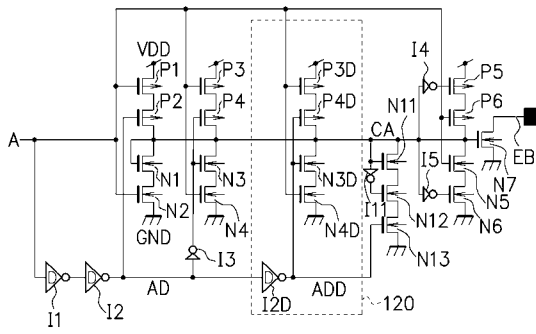
【 図 10 】



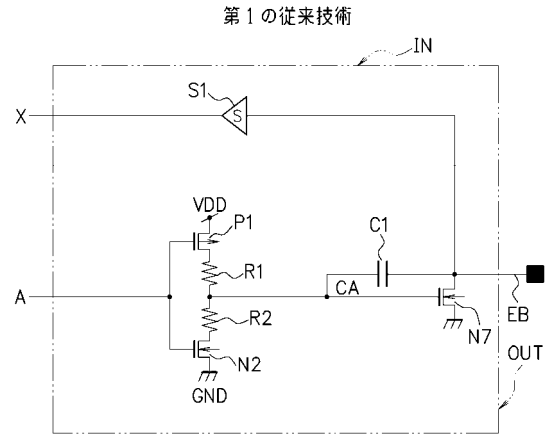
【 図 11 】

機能	トランジスタ	期間 I GNDプリバイアス	期間 II GND主バイアス	期間 III GNDホールド	期間 IV VDDプリバイアス	期間 V VDD主バイアス	期間 VI VDDホールド
P-ch 主バイアス部	P1	OFF	OFF	OFF	ON	ON	ON
	P2	ON	OFF	OFF	ON	ON	ON
P-ch プリバイアス部	P3	OFF	OFF	OFF	ON	ON	ON
	P4	OFF	ON	ON	OFF	OFF	OFF
P-ch ホールド部	P5	ON	ON	OFF	OFF	OFF	ON
	P6	OFF	OFF	OFF	ON	ON	ON
N-ch 主バイアス部	N1	ON	ON	ON	OFF	OFF	OFF
	N2	ON	ON	ON	ON	ON	ON
N-ch プリバイアス部	N3	ON	OFF	OFF	OFF	OFF	ON
	N4	ON	ON	ON	OFF	OFF	OFF
N-ch ホールド部	N5	ON	ON	ON	OFF	OFF	OFF
	N6	OFF	OFF	ON	ON	ON	ON
N-ch DCバス部	N11	ON	ON	ON	ON	ON	ON
	N12	ON	ON	ON	ON	ON	ON
	N13	ON	OFF	OFF	OFF	OFF	ON
	N14	ON	OFF	OFF	OFF	OFF	ON

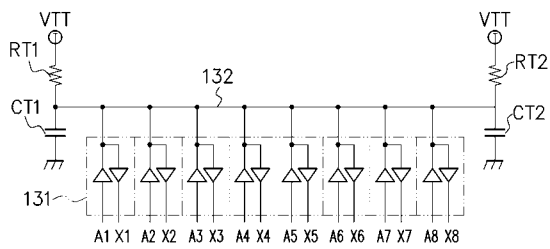
【 図 1 2 】



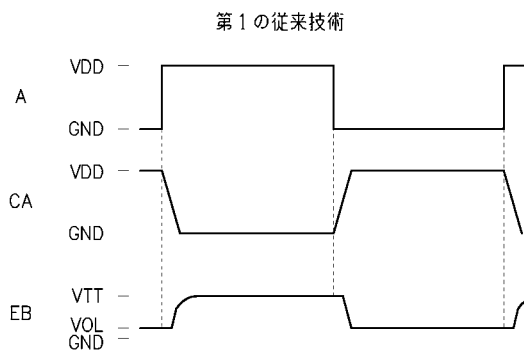
【 図 1 4 】



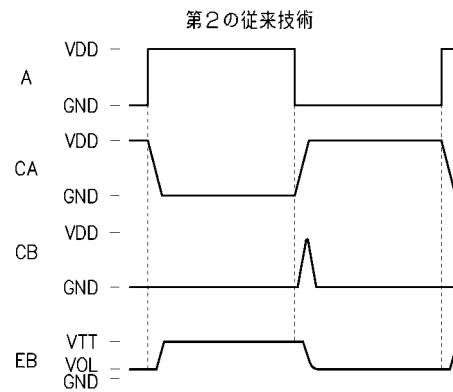
【 図 1 3 】



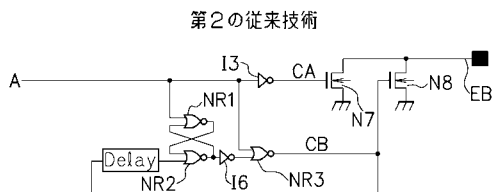
【 図 1 5 】



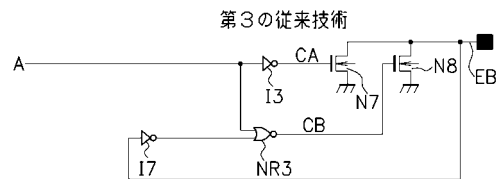
【 図 1 7 】



【 図 1 6 】



【 図 1 8 】



フロントページの続き

- (56)参考文献 特開2001-119287(JP,A)
特開平11-163699(JP,A)
特開平07-066711(JP,A)
特開平07-038409(JP,A)
特開平07-030399(JP,A)
特開平04-268815(JP,A)
特開平04-192718(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/00,19/01-19/082,19/092-19/096
H03K 17/00-17/70