



(12) 发明专利申请

(10) 申请公布号 CN 105051918 A

(43) 申请公布日 2015. 11. 11

(21) 申请号 201480014065. X

(22) 申请日 2014. 03. 17

(30) 优先权数据

1300823 2013. 04. 08 FR

1300860 2013. 04. 11 FR

1300923 2013. 04. 12 FR

61/789, 792 2013. 03. 15 US

61/790, 085 2013. 03. 15 US

61/788, 441 2013. 03. 15 US

(85) PCT国际申请进入国家阶段日

2015. 09. 11

(86) PCT国际申请的申请数据

PCT/EP2014/055316 2014. 03. 17

(87) PCT国际申请的公布数据

W02014/140371 EN 2014. 09. 18

(71) 申请人 索泰克公司

地址 法国伯尔宁

(72) 发明人 J-P·德布雷 尚塔尔·艾尔纳

R·S·克恩

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 庞东成 解延雷

(51) Int. Cl.

H01L 33/00(2006. 01)

H01L 33/32(2006. 01)

C30B 29/40(2006. 01)

H01L 21/02(2006. 01)

H01L 33/08(2006. 01)

H01S 5/343(2006. 01)

权利要求书2页 说明书25页 附图22页

(54) 发明名称

具有包含 InGaN 的有源区的半导体结构体、形成此类半导体结构体的方法以及由此类半导体结构体形成的发光器件

(57) 摘要

本发明涉及一种半导体结构体,其包含位于多个 InGaN 层之间的有源区。所述有源区至少基本由 InGaN 组成。所述多个 InGaN 层包含至少一个包含 $In_wGa_{1-w}N$ 的阱层以及邻近所述至少一个阱层的至少一个包含 $In_bGa_{1-b}N$ 的势垒层。在某些实施方式中,所述阱层的 $In_wGa_{1-w}N$ 中的 w 值可以大于或等于约 0.10 且小于或等于约 0.40,在某些实施方式中,所述至少一个势垒层的 $In_bGa_{1-b}N$ 中的 b 值可以大于或等于约 0.01 且小于或等于约 0.10。

本发明还涉及一种形成半导体结构体的方法,该方法包括生长上述 InGaN 层以形成如 LED 等发光器件的有源区。本发明还涉及照明器件,其包含上述 LED。

1. 一种半导体结构体,其包含:

GaN基体层,所述GaN基体层具有生长平面晶格参数大于或等于约3.189埃的极性生长平面;

设置在所述基体层上的有源区,所述有源区包含多个InGaN层,所述多个InGaN层包含至少一个 $\text{In}_w\text{Ga}_{1-w}\text{N}$ 阱层和至少一个 $\text{In}_b\text{Ga}_{1-b}\text{N}$ 势垒层,其中 $0.10 \leq w \leq 0.40$, $0.01 \leq b \leq 0.10$;

设置在所述有源区与所述GaN基体层相对的一侧上的电子阻挡层;

设置在所述电子阻挡层上的p-型主体层,所述p-型主体层包含 $\text{In}_p\text{Ga}_{1-p}\text{N}$,其中 $0.00 \leq p \leq 0.08$;和

设置在所述p-型主体层上的p-型接触层,所述p-型接触层包含 $\text{In}_c\text{Ga}_{1-c}\text{N}$,其中 $0.00 \leq c \leq 0.10$ 。

2. 如权利要求1所述的半导体结构体,其中,所述基体层还包含生长模板,所述生长模板包含:

支持衬底;和

设置在所述支持衬底上的 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层,其中,所述 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层的生长平面是生长平面晶格参数大于或等于约3.189埃的极性平面,其中 $0.02 \leq s \leq 0.05$,且其中,所述GaN基体层与所述 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层的生长平面基本晶格匹配。

3. 如权利要求1所述的半导体结构体,其中,所述电子阻挡层至少基本由GaN组成。

4. 如权利要求1所述的半导体结构体,其还包含设置在所述GaN基体层和所述有源区之间的电子阻断层,其中,所述电子阻断层包含 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$,其中 $0.01 \leq st \leq 0.20$ 。

5. 如权利要求1所述的半导体结构体,其还包含设置在所述GaN基体层和所述有源区之间的应变消除层,所述应变消除层具有包含交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层的超晶格结构,其中 $0.01 \leq sra \leq 0.10$, $0.01 \leq srb \leq 0.10$,且其中sra大于srb。

6. 如权利要求1所述的半导体结构体,其中,所述有源区还包含附加势垒层,所述附加势垒层包含设置在所述至少一个阱层和所述至少一个势垒层之间的GaN。

7. 如权利要求1所述的半导体结构体,其中,所述半导体结构体的临界应变能由各层厚度(以nm计)乘以各层镉含量(以%计)的乘积的总和限定,且等于或小于4500。

8. 如权利要求1所述的半导体结构体,其中,所述p-型接触层至少基本由GaN组成。

9. 一种形成半导体结构体的方法,其包括:

设置GaN基体层,所述GaN基体层具有生长平面晶格参数大于或等于约3.189埃的极性生长平面;

在所述基体层上生长多个InGaN层以形成有源区,生长多个InGaN层的步骤包括:

生长至少一个包含 $\text{In}_w\text{Ga}_{1-w}\text{N}$ 的阱层和在所述至少一个阱层上生长至少一个势垒层,所述至少一个势垒层包含 $\text{In}_b\text{Ga}_{1-b}\text{N}$,其中 $0.10 \leq w \leq 0.40$,且其中 $0.01 \leq b \leq 0.10$;

在所述有源区上生长电子阻挡层;

在所述电子阻挡层上生长p-型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层,其中 $0.00 \leq p \leq 0.08$;和

在所述p-型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层上生长p-型 $\text{In}_c\text{Ga}_{1-c}\text{N}$ 接触层,其中 $0.00 \leq c \leq 0.10$ 。

10. 如权利要求9所述的方法,其中,形成所述基体层的步骤还包括形成生长模板,形成所述生长模板的步骤包括:

提供支持衬底 ;和

将 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层键合至所述支持衬底,其中,所述 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层的生长平面是生长平面晶格参数大于或等于约 3.189 埃的极性平面,且其中,在所述 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层中, $0.02 \leq s \leq 0.05$ 。

11. 如权利要求 9 所述的方法,其中,生长所述电子阻挡层的步骤包括将所述电子阻挡层生长为至少基本由 GaN 组成。

12. 如权利要求 9 所述的方法,其还包括生长设置在所述 GaN 基体层和所述有源区之间的电子阻断层,其中,所述电子阻断层至少基本由 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 组成,其中 $0.01 \leq st \leq 0.20$ 。

13. 如权利要求 9 所述的方法,其还包括生长设置在所述 GaN 基体层和所述有源区之间的应变消除层,所述应变消除层具有包含交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层的超晶格结构,其中 $0.01 \leq sra \leq 0.10$, $0.01 \leq srb \leq 0.10$,且其中 sra 大于 srb 。

14. 如权利要求 9 所述的方法,其还包括将所述半导体结构体形成为具有由各层厚度(以 nm 计)乘以各层镓含量(以%计)的乘积的总和限定的临界应变能,且所述临界应变能等于或小于 2800。

15. 如权利要求 9 所述的方法,其中,生长所述 p- 型接触层的步骤包括将所述 p- 型接触层生长为至少基本由 GaN 组成。

具有包含 InGaN 的有源区的半导体结构体、形成此类半导体结构体的方法以及由此类半导体结构体形成的发光器件

技术领域

[0001] 本公开涉及半导体结构体和由具有包含 InGaN 的有源区的此类半导体结构体制造的发光器件、制造此类发光器件的方法以及包含此类发光器件的装置。

背景技术

[0002] 如发光二极管 (LED) 等发光器件是对阳极和阴极之间的 LED 有源区施加电压时发射可见光形式的电磁辐射的电子器件。LED 通常包含一个或多个半导体材料层, 在所述半导体材料层中由阳极供给的电子和由阴极供给的空穴进行复合。随着电子和空穴在 LED 有源区内复合, 能量以从 LED 有源区发出的光子的形式释放。

[0003] 可将 LED 制造为包含大范围不同类型的半导体材料, 其包括例如 III-V 族半导体材料和 II-V 族半导体材料。从任何特定 LED 发出的光的波长是电子与空穴复合时所释放的能量的函数。因此, 从 LED 发出的光的波长是电子能级与空穴能级之间的相对能量差的函数。电子能级和空穴能级至少部分地是以下参数的函数: 半导体材料组成、掺杂类型和浓度、半导体材料的构造 (即, 晶体结构和取向) 以及其中发生电子和空穴复合的半导体材料的品质。因此, 通过选择性地定制 LED 内半导体材料的组成和构造, 可以选择性地定制 LED 发出的光的波长。

[0004] 本领域已知可制造包含如 III 族氮化物材料等 III-V 族半导体材料的 LED。已知此类 III 族氮化物 LED 能够发射电磁辐射光谱的蓝色和绿色可见区的辐射, 且已知其能够以相对较高的功率和光度 (luminosity) 工作。

发明内容

[0005] 提供此发明内容部分来以简化形式介绍一部分概念集合。这些概念将在下文公开的示例性实施方式的具体描述中进一步详细描述。本发明内容部分并非意在指定所要求保护的的主题的关键特征或必要特征, 也并非意在用来限制所要求保护的的主题的范围。

[0006] 在某些实施方式中, 本公开包括一种半导体结构体, 其包含 GaN 基体层, 所述 GaN 基体层具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面。在所述基体层上设置有有源区, 且所述有源区包含多个 InGaN 层。所述多个 InGaN 层包含至少一个 $\text{In}_w\text{Ga}_{1-w}\text{N}$ 阱层和至少一个 $\text{In}_b\text{Ga}_{1-b}\text{N}$ 势垒层, 其中 $0.10 \leq w \leq 0.40$, $0.01 \leq b \leq 0.10$ 。在有源区与 GaN 基体层相对的一侧上设置有电子阻挡层。在电子阻挡层上设置有 p- 型主体层 (bulk layer), 且 p- 型主体层包含 $\text{In}_p\text{Ga}_{1-p}\text{N}$, 其中 $0.00 \leq p \leq 0.08$ 。在 p- 型主体层上设置有 p- 型接触层, 且 p- 型接触层包含 $\text{In}_c\text{Ga}_{1-c}\text{N}$, 其中 $0.00 \leq c \leq 0.10$ 。

[0007] 在另一些实施方式中, 本公开包括由所述半导体结构体制造的发光器件。例如, 在另一些实施方式中, 本公开包括一种包含 GaN 基体层的发光器件, 所述 GaN 基体层具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面。在所述基体层上设置有有源区。所述有源区包含多个 InGaN 层, 且所述多个 InGaN 层包含至少一个阱层和至少一个势垒层。

在有源区上设置有电子阻挡层。在电子阻挡层上设置有 p- 型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层。在 p- 型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层上设置有 p- 型 $\text{In}_c\text{Ga}_{1-c}\text{N}$ 接触层。另外,发光器件的临界应变能可以为约 4500 以下。

[0008] 本公开的另一一些实施方式包括制造上述结构体和器件的方法。例如,在某些实施方式中,本公开包括一种形成半导体结构体的方法,所述半导体结构体中设置有 GaN 基体层,所述 GaN 基体层具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面。在所述基体层上生长多个 InGaN 层以形成有源区。生长多个 InGaN 层的过程包括生长至少一个包含 $\text{In}_w\text{Ga}_{1-w}\text{N}$ 的阱层和在所述至少一个阱层上生长至少一个势垒层,所述至少一个势垒层包含 $\text{In}_b\text{Ga}_{1-b}\text{N}$, 其中, $0.10 \leq w \leq 0.40$, $0.01 \leq b \leq 0.10$ 。在有源区上生长电子阻挡层。在电子阻挡层上生长 p- 型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层,其中 $0.00 \leq p \leq 0.08$, 并在 p- 型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层上生长 p- 型 $\text{In}_c\text{Ga}_{1-c}\text{N}$ 接触层,其中 $0.00 \leq c \leq 0.10$ 。

附图说明

[0009] 图 1A 是本公开实施方式所述的半导体结构体的简化侧视图,所述半导体结构体包含处在半导体结构体的有源区内的一个或多个 InGaN 阱层和一个或多个 InGaN 势垒层。

[0010] 图 1B 是示出了图 1A 半导体结构体的不同层中不同材料的能带图中导带能级的相对差异的简化图。

[0011] 图 2A 是与图 1A 的半导体结构体相似的另一半导体结构体的简化侧视图,该另一半导体结构体还包含处在半导体结构体的有源区和基体层之间的电子阻断层。

[0012] 图 2B 是图 2A 的半导体结构体的简化导带图。

[0013] 图 3A 是与图 1A 的半导体结构体相似的另一半导体结构体的简化侧视图,该另一半导体结构体还包含处在半导体结构体的有源区和基体层之间的应变消除层。

[0014] 图 3B 是图 3A 的半导体结构体的简化导带图。

[0015] 图 4A 是与图 1A 的半导体结构体相似的另一半导体结构体的简化侧视图,该另一半导体结构体还包含处在半导体结构体的有源区内的附加 GaN 薄势垒层。

[0016] 图 4B 是图 4A 的半导体结构体的简化导带图。

[0017] 图 5A 是与图 1A 的半导体结构体相似的另一半导体结构体的简化侧视图,该另一半导体结构体还包含处在半导体结构体的有源区内的阱溢流结构体 (well overflow structure)。

[0018] 图 5B 是图 5A 的半导体结构体的简化导带图。

[0019] 图 6A 是可以用来制造生长模板的中间半导体结构体的简化俯视图,所述生长模板用来根据本公开的方法的实施方式制造半导体结构体。

[0020] 图 6B 是图 6A 的中间半导体结构体的部分截面侧视图。

[0021] 图 6C 是可以用来根据本公开的方法的实施方式制造半导体结构体的生长模板的部分截面侧视图。

[0022] 图 6D 示出了外延沉积在如图 6C 那样的生长模板上的生长层叠体。

[0023] 图 7 是根据本公开的方法的实施方式由半导体结构体制造的发光器件的部分截面侧视图。

[0024] 图 8 是根据本公开的方法的实施方式由半导体结构体制造的另一发光器件的部

分截面侧视图。

[0025] 图 9 是示出根据本公开的方法的实施方式形成的半导体结构体的内部量子效率与总应变能之间的关系图。

[0026] 图 10A 是先前已知 LED 的简化侧视图,所述 LED 包括处于该 LED 的有源区中的 InGaN 阱层和 GaN 势垒层。

[0027] 图 10B 是图 10A 的 LED 的简化导带图。

[0028] 图 11A 是示出了在对图 10A 的 LED 的有源区施加 0 电压时导带与价带的计算能带边缘 (band edge) 的图,该计算值利用 LED 的计算模型获得。

[0029] 图 11B 是与图 11A 相似的图,但其示出了在由于对 LED 的有源区施加电压而使流经所述 LED 的有源区的电流密度为 $125\text{A}/\text{cm}^2$ 时导带与价带的计算能带边缘。

[0030] 图 11C 是示出了计算出的发射辐射强度的图,所述发射辐射强度是图 11A 的 LED 中的各个 InGaN 量子阱层的波长的函数。

[0031] 图 11D 是示出了计算出的载流子注入效率的图,所述载流子注入效率是对图 11A 的 LED 的有源区施加的电流密度的函数。

[0032] 图 11E 是示出了计算出的内部量子效率的图,所述内部量子效率是对图 11A 的 LED 的有源区施加的电流密度的函数。

[0033] 图 12A 是本公开的 LED 的简化侧视图,所述 LED 与图 1A 相似并且包括处于 LED 的有源区中的 InGaN 阱层和 InGaN 势垒层。

[0034] 图 12B 是图 12A 的 LED 的简化导带图。

[0035] 图 13A 是示出了在对图 12A 的 LED 的有源区施加 0 电压时导带与价带的计算能带边缘的图,该计算值利用 LED 的计算模型获得。

[0036] 图 13B 是与图 13A 相似的图,但其示出了在由于对 LED 的有源区施加电压而使流经所述 LED 的有源区电流密度为 $125\text{A}/\text{cm}^2$ 时导带与价带的计算能带边缘。

[0037] 图 13C 是示出了计算出的发射辐射强度的图,所述发射辐射强度是图 13A 的 LED 中的格格 InGaN 量子阱层的波长的函数。

[0038] 图 13D 是示出了计算出的载流子注入效率的图,所述载流子注入效率是对图 13A 的 LED 的有源区施加的电流密度的函数。

[0039] 图 13E 是示出了计算出的内部量子效率的图,所述内部量子效率是对图 13A 的 LED 的有源区施加的电流密度的函数。

[0040] 图 14 示出了包括本公开的 LED 的照明器件的实例。

具体实施方式

[0041] 本文呈现的图示并非意在作为任何特定的半导体材料、结构体或器件的实际视图,而仅是用来描述本公开的实施方式理想化表示。

[0042] 图 1A 示出了半导体结构体 100 的实施方式。半导体结构体 100 包含多个 III 族氮化物层 (例如,氮化镓、氮化镓、氮化铝及其合金),并且包含基体层 102、p-型接触层 104 和设置在基体层 102 和 p-型接触层 104 之间的有源区 106,有源区 106 包含多个 InGaN 层。另外,有源区 106 包含至少一个 InGaN 阱层和至少一个 InGaN 势垒层。在某些实施方式中,有源区 106 可以至少基本上由 InGaN 组成 (但存在掺杂物)。半导体结构体 100 还包含设

置于有源区 106 上的电子阻挡层 108、设置于电子阻挡层 108 上的 p- 型主体层 110 以及设置于 p- 型主体层 110 上的 p- 型接触层 104。

[0043] 基体层 102 可以包含 GaN 基体层 112, 其中 GaN 基体层 112 的生长平面是生长平面晶格参数大于或等于约 3.189 埃的极性平面。可以如本文随后详细描述的那样由半导体结构体 100 制造发光器件, 例如发光二极管。然而, 简言之, 可以在 GaN 基体层 112 的一部分上形成第一电极接触部 (electrode contact), 并可在 p- 型接触层 104 的一部分上形成第二电极接触部, 从而可以在所述电极接触部之间提供横穿有源区 106 的电压, 由此使由半导体结构体 100 制造的发光器件发出电磁辐射 (例如, 可见光)。

[0044] 本公开中包含有源区 (该有源区包括至少一个 InGaN 阱层和至少一个 InGaN 势垒层) 的半导体结构体的实施方式可以利用生长或以其他方式形成 III 族氮化物层 (如 InGaN) 的各类方法来制造。作为非限制性实例, 可以利用以下方法的一种或多种来生长或以其他方式沉积各种 III 族氮化物层: 化学气相沉积 (CVD) 法、金属有机化学气相沉积法 (MOCVD)、气相外延 (VPE) 法、原子层沉积 (ALD) 法、氢化物气相外延 (HVPE) 法、分子束外延 (MBE) 法、原子层沉积 (ALD) 法和化学束外延 (CBE) 等。

[0045] 在某些实施方式中, 可以使用以下文献中的一个或全部所公开的方法来生长或者以其他方式沉积各种 III 族氮化物层: 2010 年 7 月 15 日以 Letertre 等名义公开的美国专利申请公开第 US 2010/0176490A1 号; 2010 年 5 月 6 日以 Arena 名义公开的美国专利申请公开第 US 2010/0109126 号; 2012 年 8 月 23 日以 Figuet 名义公开的美国专利申请公开第 US 2012/0211870 号; 和 2012 年 9 月 6 日以 Figuet 名义公开的美国专利申请公开第 US 2012/0225539 号。这类方法能够制造具有下文所述的组成和厚度的 III 族氮化物层, 如 InGaN 层 (和其它可选的 III 族氮化物层)。可以利用这类方法来形成生长模板 113, 在生长模板 113 上可以形成后续 III 族氮化物层。

[0046] 下文参照图 6A ~ 6C 简要描述可以用来制造本公开的实施方案的生长模板 113 的这类方法的实例。

[0047] 图 6A 是可以用来形成 (图 1A 的) 生长模板 113 的中间半导体结构体 650 的俯视图, 在所述生长模板 113 上可以制造本公开的一种或多种半导体结构体和后续发光器件; 且图 6B 是在形成生长模板 113 时利用的中间半导体结构体 650 的一部分的简化截面图。生长模板 113 可以如上述美国专利申请公开第 US 2010/0176490A1 号和 / 或美国专利申请公开第 US 2010/0109126 号公开的那样制造。如该文献中所公开, 中间半导体结构体 650 可以包括牺牲衬底 652、设置在牺牲衬底 652 上的顺应性材料层 654、以及设置在顺应性材料 654 上的各自包含 III 族氮化物材料层的一个或多个 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层 656。一个或多个 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层 656 可以用作“晶种 (seed)”, 在其上可以形成本文所述的半导体结构体 100 的各种后续层。

[0048] 初始 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层可以在初始生长衬底上形成, 并随后利用诸如离子注入、与初始 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层的一部分键合并随后分离 (未示出) 等方法转移至牺牲衬底 652。初始生长衬底可以包含特征如下的生长衬底: 其具有与初始 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层错配的生长平面晶格从而使所述 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层以应变方式形成。例如, 初始生长衬底可以包括包含镓极性 GaN 晶种层的蓝宝石衬底, 从而使所形成的 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 晶种层包含经受拉伸应变的镓极性 GaN 晶种层。

[0049] 可以将初始 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层形成或生长为使 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层包含下述生长平面, 该生长平面包含 III 族氮化物的极性平面。例如, 可以将生长平面形成为使 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层包含镓极性平面。另外, 可以将初始 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层生长或以其他方式形成为使 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层的组成使得 $0.02 \leq s \leq 0.05$ 。作为一个特定的非限制性实例, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层中的 n 值可以等于约 0.03。还可以将 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层生长或者以其他方式形成至厚度大于约 200 纳米 (200nm)。然而, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层以如下方式形成: 所述 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层不超过 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层临界厚度, 该临界厚度是 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层中的应变可以借由形成额外的缺陷而松弛时的厚度。该现象在本领域中通常称作相分离。因此, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层可以包含应变的高品质晶种材料。

[0050] 仅举例而言而并非作为限制, 可以使用工业已知方法 SMART-CUT 工艺来利用作为键合层的顺应性材料层 654 将 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 转移至牺牲衬底 652。这类方法详细描述于例如 Bruel 的美国专利 RE39, 484 号、Aspar 等的美国专利 6, 303, 468 号、Aspar 等的美国专利 6, 335, 258 号、Moriceau 等的美国专利 6, 756, 286 号、Aspar 等的美国专利 6, 809, 044 号和 Aspar 等的美国专利 6, 946, 365 号。

[0051] 牺牲衬底 652 可以包含均质材料或非均质 (即, 复合) 材料。以非限制性实例而言, 支持衬底 652 可以包含蓝宝石、硅、III 族 - 砷化物、石英 (SiO_2)、熔融二氧化硅 (SiO_2) 玻璃、玻璃 - 陶瓷复合材料 (例如, 由 Schott North America, Inc., Duryea, PA 以商标 ZERODUR® 出售的那些)、熔融二氧化硅玻璃复合材料 (例如, SiO_2 - TiO_2 或 Cu_2 - Al_2O_3 - SiO_2)、氮化铝 (AlN) 或碳化硅 (SiC)。

[0052] 顺应性材料层 654 可以包含例如玻璃化转变温度 (T_g) 小于或等于约 800°C 的材料。顺应性材料层 654 的厚度可以在从约 $0.1 \mu\text{m}$ 扩展至约 $10 \mu\text{m}$ 、更特别地为约 $1 \mu\text{m}$ ~ 约 $5 \mu\text{m}$ 的范围内。以非限制性实例而言, 顺应性材料层 100 可以包含以下物质中的至少一种: 氧化物、磷硅酸盐玻璃 (PSG)、硼硅酸盐 (BSG)、硼磷硅酸盐玻璃 (BPSG)、聚酰亚胺、掺杂或未掺杂的准无机硅氧烷旋涂玻璃 (spin-on-glass, SOG)、无机旋涂玻璃 (即, 甲基 -、乙基 -、苯基 - 或丁基 -) 以及掺杂或未掺杂的硅酸盐。

[0053] 顺应性材料层 654 可以利用例如烘箱、熔炉、或沉积反应器加热至足以使顺应性材料层 654 的粘度降低以使顺应性材料层 654 再流动的温度, 从而使一个或多个 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 至少部分地使晶体晶格应变松弛。通过降低顺应性材料层 654 的粘度, $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 中的拉伸应变可以至少部分地得到松弛, 甚至可能消失, 由此形成生长平面晶格参数大于或等于约 3.189 埃的 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656。

[0054] 因此, 通过使 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 内的晶格应变的至少一部分松弛, 在 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 中可以获得大于或等于约 3.189 埃的生长平面晶格参数。大于或等于约 3.189 埃的生长平面晶格参数可以对应于纤锌矿 GaN 的平衡生长平面晶格常数。因此, 根据本公开的某些实施方式, 在本公开的 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 层上方或之上形成的一个或多个 GaN 层可以以无应变状态形成, 即基本没有晶格应变。

[0055] 在一个或多个 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 至少部分松弛后, 可以将 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 转移至支持衬底, 并且随后可以将顺应性材料 654 和牺牲衬底 652 移除以形成图 1A 和图 6C 所示的生长模板 113。更详细而言, 且参照图 6B 和图 6C, 可以使至少部分松弛的 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 附接至支持衬底 658, 且可以利用诸如激光剥离、湿式蚀刻、干式蚀刻和化学机

械抛光中的一种或多种等方法将牺牲衬底 652 和顺应性材料 654 移除。

[0056] 支持衬底 658 可以包含均质材料或非均质（即，复合）材料。以非限制性实例而言，支持衬底 658 可以包含蓝宝石、硅、III 族 - 砷化物、石英 (SiO_2)、熔融二氧化硅 (SiO_2) 玻璃、玻璃 - 陶瓷复合材料（例如，由 Schott North America, Inc., Duryea, PA 以商标 ZERODUR® 出售的那些）、熔融二氧化硅玻璃复合材料（例如， SiO_2 - TiO_2 或 Cu_2 - Al_2O_3 - SiO_2 ）、氮化铝 (AlN) 或碳化硅 (SiC)。

[0057] 如图 6C 所示，在某些实施方式中，生长模板 113 可以可选地包括被覆在支持衬底 100 上的介电材料层 660。介电材料层 660 可选地可以形成于支持衬底 658 的主表面或者一个或多个 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 上，其中介电材料 660 用作辅助 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 键合至支持衬底 658 的键合层。介电材料层 660 可以包括例如氮氧化硅 (SiON)、氮化硅 (Si_3N_4) 或二氧化硅 (SiO_2)，并且可以利用例如化学气相沉积 (CVD)、物理气相沉积 (PVD) 或原子层沉积 (ALD) 形成。因此，如图 1A 和图 6C，生长模板 113 包含支持衬底 658 和设置在支持衬底 658 上的 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656。

[0058] 另外， $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 可以形成在支持衬底 658 之上，并使 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 的组成可以在 $0.02 \leq s \leq 0.05$ 的范围内。作为一个特定非限制性实例， $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 中的 s 值可以等于约 0.03。而且， $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 可以具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面 662。 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层还可以形成为使总层厚 T_s 大于约 100 纳米 (100nm)。

[0059] 生长模板 113 形成图 1A 的基体层 102 的一部分。在某些实施方式中，所述基体层还可以包括 GaN 基体层 112，其中所述 GaN 基体层继承了相邻 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层 656 的晶体性质。因此，GaN 基体层 112 还可以包含生长平面晶格参数大于或等于约 3.189 埃的极性生长平面（例如，镓极性生长平面）。

[0060] GaN 基体层 112 可以至少基本由 GaN 组成（但存在掺杂物）。GaN 基体层 112 的平均层厚 T_n 可以为约 10 纳米 (10nm) ~ 约 3000 纳米 (3,000nm)，或在某些实施方式中为约 10 纳米 (10nm) ~ 约 1000 纳米 (1,000nm)。可选地，GaN 基体层 112 可以进行掺杂。例如，GaN 基体层 112 可以通过用作为电子供体的元素（例如，硅或锗）掺杂来进行 n- 型掺杂。例如，GaN 基体层 112 中掺杂物的浓度可以为约 $3e^{17}\text{cm}^{-3}$ ~ 约 $1e^{20}\text{cm}^{-3}$ ，或在某些实施方式中为约 $5e^{17}\text{cm}^{-3}$ ~ 约 $1e^{19}\text{cm}^{-3}$ 。

[0061] 在形成包含 InGaN 的半导体结构体 100 的一个或多个其它各种层之后，可以在 GaN 基体层 112 的一部分上形成第一电极接触部以由半导体结构体 100 制造发光器件。

[0062] 如图 1A 所述的完成的基体层 102 包括如上文所述的生长模板 113 和 GaN 基体层 112。可以以本文下面进一步详细描述的方法来生长或者以其他方式形成半导体结构体 100 的各种 III 族氮化物层。在某些实施方式中，基体层 102 可以包含其上可以生长或者以其他方式形成的半导体结构体 100 的其它层的基体。因此，半导体结构体 100 的各种 III 族氮化物层可以从基体层 102 开始并沿着按图 1A 的视角从左到右的方向推移而依次生长或者以其他方式形成，但所述结构体可以实际上被定位为使基体层 102 在制造过程中设置在底部上。换言之，结构体在制造过程中可以以图 1A 的定位逆时针转 90 度定位。

[0063] 如下文所进一步详细讨论，有源区 106 设置在基体层 102 和 p- 型接触层 104 之间。有源区 106 包含至少一个 InGaN 阱层 114 和至少一个 InGaN 势垒层 116。在某些实施方式

中,有源区 106 可以至少基本由 InGaN 组成(但存在掺杂物),InGaN 阱层 114 的铟含量严格地大于 InGaN 势垒层 116 的铟含量。特别地,有源区 106 可以包含至少一个阱层 114,该阱层 114 包含 $\text{In}_w\text{Ga}_{1-w}\text{N}$,其中 $0.10 \leq w \leq 0.40$,或在某些实施方式中,其中 $0.12 \leq w \leq 0.25$,或在其它实施方式中,其中 w 等于约 0.14。有源区 106 还包含至少一个势垒层 116,该势垒层 116 包含 $\text{In}_b\text{Ga}_{1-b}\text{N}$,其中 $b < w$ 并且其中 $0.01 \leq b \leq 0.10$,或在某些实施方式中,其中 $0.03 \leq b \leq 0.08$,或在其它实施方式中,其中 b 等于约 0.05。在某些实施方式中,InGaN 势垒层 116 可以邻近(例如,直接相邻于)所述至少一个 InGaN 阱层 114。

[0064] 半导体结构体的有源区 106 是半导体结构体的如下区域:当将半导体结构体制造为如发光二极管(LED)等发光器件时,该区域中的电子与空穴彼此复合产生光子,所述光子从 LED 发射出。在某些实施方式中,光子以可见光的形式发射。可见光的至少一部分可以具有从约 380 纳米(380nm)扩展至约 560 纳米(560nm)的电磁辐射光谱范围内的一个或多个波长。

[0065] 如前文所述,半导体结构体 100 的有源区 106 包含一个或多个 InGaN 阱层 114 和一个或多个 InGaN 势垒层 116,且在某些实施方式中至少基本由 InGaN 组成(但存在掺杂物)。因此,在某些实施方式中,有源区 106 可以实质上由 InGaN 构成。有源区 106 包含一对或多对相邻层,所述相邻层包括一个阱层 114 和一个势垒层 116,其中各阱层 114 包含 $\text{In}_w\text{Ga}_{1-w}\text{N}$,其中 $0.10 \leq w \leq 0.40$,且其中各势垒层 116 包含 $\text{In}_b\text{Ga}_{1-b}\text{N}$,其中 $0.01 \leq b \leq 0.10$ 且 $b < w$ 。

[0066] 在图 1A 和 1B 所示的实施方式中,半导体结构体 100 的有源区 106 包括一(1)对有源层(阱层 114 和势垒层 116),但在另外的实施方式中,半导体结构体 100 的有源区 106 可以包括多于一对有源层。例如,半导体结构体 100 的有源区 106 可以包括一(1)对至二十五(25)对相邻的有源层,每对包括阱层 114 和势垒层 116,由此有源区 106 包括交替的阱层 114 和势垒层 116 的层叠体(在包括多于一对的实施方式中)。然而,应该理解的是,势垒层 116 的数目可以与阱层 114 的数目不相等。阱层 114 可以与势垒层 116 彼此分隔。因此,在某些实施方式中,势垒层 116 的数目可以等于阱层的数目,或比其多 1 个,或比其少 1 个。

[0067] 仍参照图 1A,各阱层 114 的平均层厚 T_w 可以为约 1 纳米(1nm)~约 1000 纳米(1,000nm)、约 1 纳米(1nm)~约 100 纳米(100nm)或者约 1 纳米(1nm)~约 10 纳米(10nm)。在某些实施方式中,阱层 114 可以包括量子阱。在这些实施方式中,各阱层 114 的平均层厚 T_w 可以为约 10 纳米(10nm)以下。在其它实施方式中,阱层 114 可不包括量子阱,且各阱层 114 的平均层厚 T_w 可以大于约 10 纳米(10nm)。在这些实施方式中,有源区 106 可以包含在本领域中称作“双异质结构”的结构。各势垒层 116 的平均层厚 T_b 可以为约 1 纳米(1nm)~约 50 纳米(100nm)或者约 1 纳米(1nm)~约 10 纳米(10nm),但在其它实施方式中势垒层 116 可能更厚。

[0068] 阱层 114 和势垒层 116 中的一者或者两者可进行掺杂。例如,可以通过用作为电子供体的元素(例如,硅或锗)掺杂来对阱层 114 和势垒层 116 中的一者或者两者进行 n-型掺杂。在某些实施方式中,阱层 114 中的掺杂物浓度可以为约 $3e^{17}\text{cm}^{-3}$ ~约 $1e^{19}\text{cm}^{-3}$,或可以为约 $3e^{17}\text{cm}^{-3}$ ~约 $5e^{17}\text{cm}^{-3}$ 。类似地,势垒层 116 中的掺杂物浓度可以为约 $3e^{17}\text{cm}^{-3}$ ~约 $1e^{19}\text{cm}^{-3}$,或可为约 $1e^{18}\text{cm}^{-3}$ ~约 $3e^{18}\text{cm}^{-3}$ 。

[0069] 阱层 114 和势垒层 116 中的一者或者两者可以具有纤锌矿晶体结构。另外,在某些实施方式中,阱层 114 和势垒层 116 中的一者或者两者可以包含极性生长表面(例如镓极性生长表面),其在与阱层 114 和势垒层 116 之间的一个或多个界面平行的生长平面内的平均晶格常数大于或等于约 3.189 埃。更具体地,在某些实施方式中,平均生长平面晶格常数 c 可以为约 3.189 埃~约 3.2 埃。

[0070] 包含至少一个阱层和至少一个势垒层的有源区 106 的平均总厚度可以在约 40 纳米 (40nm) ~约 1000 纳米 (1000nm) 的范围内、在约 40 纳米 (40nm) ~约 750 纳米 (750nm) 的范围内或者在约 40 纳米 (40nm) ~约 200 纳米 (200nm) 的范围内。

[0071] 仍参照图 1A, 半导体结构体 100 可选地可包括处在有源区 106 与 p-型接触层 104 之间和 / 或处在有源区 106 与基体层 102 之间的附加层。例如,在某些实施方式中,半导体结构体 100 可以包括处在有源区 106 与基体层 102 之间的间隔层 118。

[0072] 可选的间隔层 118 可以包含 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 层, 其中 $0.01 \leq sp \leq 0.10$, 或其中 $0.03 \leq sp \leq 0.06$, 或其中 sp 等于约 0.05。间隔层 118 可以用于在基体层 102 和有源区 106 的层之间提供更平缓的过渡, 其相对于 GaN 基体层 112 可能具有不同的组成(且因而具有不同的晶格参数)。因此,在某些实施方式中, $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 间隔层 118 可以直接设置在基体层 102 和有源区 106 之间。通过在基体层 102 和有源区 106 之间提供更平缓的过渡, 各个 InGa_N 层的晶体晶格内的应力可能减小, 且因此可能因所述应力所导致的缺陷也可能减少。 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 间隔层 118 的平均层厚 T_{sp} 可以为约 1 纳米 (1nm) ~约 100 纳米 (100nm) 或者约 1 纳米 (1nm) ~约 25 纳米 (25nm)。作为一个特定的非限制性实例, 平均层厚 T_{sp} 可以等于约 10 纳米 (10nm)。

[0073] 可选地, $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 间隔层 118 可以进行掺杂。例如, 可以通过用作为电子供体的元素(例如, 硅或锗)掺杂来对 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 间隔层 118 进行 n-型掺杂。间隔层 118 中的掺杂物浓度可以为约 $3e^{17}\text{cm}^{-3}$ ~约 $1e^{19}\text{cm}^{-3}$ 。作为一个特定的非限制性实例, 间隔层 118 中的掺杂物浓度可以等于约 $2e^{18}\text{cm}^{-3}$ 。

[0074] 仍参照图 1A, 半导体结构体 100 还可以包括设置在有源区 106 与 p-型接触层 104 之间的可选的 $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 封端层 120。可选的 $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 封端层 120 可以包括 $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 层, 其中 $0.01 \leq cp \leq 0.10$, 或其中 $0.03 \leq cp \leq 0.07$ 。作为一个特定的非限制性实例, cp 的值可以等于约 0.05。 $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 封端层 120 可以用于避免在后续高温加工时下覆的有源区 106 的层中的镉溶解和 / 或蒸发, 和 / 或可以起到与间隔层相同的功能。

[0075] $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 封端层 120 的平均层厚 T_{cp} 可以为约 1 纳米 (1nm) ~约 100 纳米 (100nm) 或者约 1 纳米 (1nm) ~约 25 纳米 (25nm)。作为一个特定的非限制性实例, T_{cp} 可以等于约 10 纳米 (10nm)。可选地, 封端层 120 可以进行掺杂。例如, 可以通过用作为电子受体的元素(例如, 镁、锌或碳)掺杂来对封端层 120 进行 p-型掺杂。然而, 在其它实施方式中, 可以对封端层 120 进行 n-型掺杂。封端层 120 中的掺杂物浓度可以为约 $3e^{17}\text{cm}^{-3}$ ~约 $1e^{19}\text{cm}^{-3}$ 或可以为约 $1e^{18}\text{cm}^{-3}$ ~约 $5e^{18}\text{cm}^{-3}$ 。作为一个特定的非限制性实例, 在某些实施方式中, 封端层 120 中的掺杂物浓度可以等于约 $2e^{18}\text{cm}^{-3}$ 。

[0076] 本公开的半导体结构体 100 还可以包括设置在有源区 106 和 p-型接触层 104 之间的一个或多个电子阻挡层 (EBL)。此类电子阻挡层可以包括其中导带的能带边缘的能级相对于有源区 106 中导带的能带边缘相对较高的材料, 其可以起到将电子限制在有源区 106

内并避免载流子从有源区 106 向外溢流的作用。

[0077] 作为非限制性实例,图 1A 示出了设置在封端层 120 与有源区 106 相对的一侧的电子阻挡层 108。在包括 p- 型主体层 110 的实施方式中,如图 1A 所示,电子阻挡层 108 可以直接设置在封端层 120 和 p- 型主体层 110 之间。

[0078] 电子阻挡层 108 包含 III 族氮化物。作为非限制性实例,电子阻挡层 108 可以至少基本由 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 组成(但存在掺杂物),其中 $0.00 \leq e \leq 0.02$,并且在某些实施方式中可以至少基本由 GaN 组成(但存在掺杂物)。在其它实施方式中,电子阻挡层 108 可以至少基本由 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 组成,其中 $0.00 \leq e \leq 0.20$ 。在某些实施方式中,电子阻挡层 108 可以至少基本由 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 组成(但存在掺杂物)。

[0079] 电子阻挡层 108 可以用选自自由镁、锌和碳组成的组的一种或多种掺杂物进行 p- 型掺杂。电子阻挡层 108 内的一种或多种掺杂物的浓度可以处于从约 $1e^{17}\text{cm}^{-3}$ 扩展至约 $1e^{21}\text{cm}^{-3}$ 的范围,或在某些实施方式中可以等于约 $3e^{19}\text{cm}^{-3}$ 。在某些实施方式中,电子阻挡层 108 的平均层厚 T_e 可以处于从约 5 纳米 (5nm) 扩展至约 50 纳米 (50nm) 的范围,或在某些实施方式中,其平均层厚 T_e 可以等于约 20 纳米 (20nm)。

[0080] 在本公开的半导体结构体 100 的其它实施方式中,半导体结构体 100 可以具有与电子阻挡层 108 相似的电子阻挡层,但其中所述电子阻挡层具有包含交替的不同材料层的超晶格结构,如图 1A 中的插入图 122 所示。例如,电子阻挡层 108 可以具有包含交替的 GaN 层 124 和 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 层 126 的超晶格结构,其中 $0.01 \leq e \leq 0.02$ 。在其他实施方式中,电子阻挡层可以具有包含交替的 GaN 层 124 和 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 层 126 的超晶格结构,其中 $0.01 \leq e \leq 0.20$ 。此类超晶格结构中的各个层的平均层厚均可约为约 1 纳米 (1nm) ~ 约 20 纳米 (20nm)。

[0081] 如前文所述,本公开的半导体结构体 100 还可包括设置在电子阻挡层 108 和 p- 型接触层 104 之间的 p- 型主体层 110。此类 p- 型主体层可以包含 p- 掺杂的 III 族氮化物材料,例如 p- 掺杂的 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 。此类 p- 型主体层可以用作例如空穴载流子的源并用于增强进入和离开有源区 106 的电子传导和光提取。出于载流子流动原因,在 p- 型主体层 110 加入铟是有帮助的,有助于将载流子限制在有源区内。

[0082] p- 型主体层 110 可以至少基本由 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 组成(但存在掺杂物),其中 $0.00 \leq p \leq 0.08$,且优选其中 $0.01 \leq p \leq 0.08$ 。作为一个特定的非限制性实例,p- 型主体层 110 可以至少基本由 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 组成,其中 p 等于约 0.02。p- 型主体层 110 可以用选自自由镁、锌和碳组成的组的一种或多种掺杂物进行 p- 型掺杂。p- 型主体层 110 内的一种或多种掺杂物的浓度可以处于从约 $1e^{17}\text{cm}^{-3}$ 扩展至约 $1e^{21}\text{cm}^{-3}$ 的范围。作为一个特定的非限制性实例,p- 型主体层 110 中的掺杂物的浓度可以等于约 $3e^{19}\text{cm}^{-3}$ 。在某些实施方式中,p- 型主体层 110 的平均层厚 T_p 可以处于从约 50 纳米 (50nm) 扩展至约 600 纳米 (600nm) 的范围。作为一个特定的非限制性实例,p- 型主体层 110 的平均层厚 T_p 可以等于约 175 纳米 (175nm)。

[0083] 半导体结构体 100 还可以包含设置在 p- 型主体层 110 与电子阻挡层 108 相对的一侧的 p- 型接触层 104。p- 型接触层 104 可以包含 III 族氮化物。此类 p- 型接触层可以用来例如增强空穴向有源区 106 内的传导。p- 型接触层 104 可以包含较高浓度的一种或多种掺杂物(例如,p- 型掺杂物),从而对在由半导体结构体 100 制造发光器件的过程中在

p-型接触层的一部分上形成的电极接触部的电阻进行限制。

[0084] 作为非限制性实例, p-型接触层 104 可以包含经 p-型掺杂的 $\text{In}_c\text{Ga}_{1-c}\text{N}$ 。例如, p-型接触层 104 可以至少基本由 $\text{In}_c\text{Ga}_{1-c}\text{N}$ 组成, 其中 $0.01 \leq c \leq 0.10$ (但存在掺杂物), 并且在某些实施方式中, p-型接触层 104 可以至少基本由 GaN 组成 (但存在掺杂物)。在 p-型接触层 104 中加入镧是有帮助的, 原因在于其能够降低与形成于器件上的金属电极的能垒从而得到更低的器件工作电压。p-型接触层 104 可以用选自自由镁、锌和碳组成的组的一种或多种掺杂物进行 p-型掺杂。p-型接触层 104 内的一种或多种掺杂物的浓度可以处于从约 $1e^{17}\text{cm}^{-3}$ 扩展至约 $1e^{21}\text{cm}^{-3}$ 的范围。作为一个特定的非限制性实例, p-型接触层 104 中的一种或多种掺杂物的浓度可以等于约 $1e^{20}\text{cm}^{-3}$ 。p-型接触层 104 的平均层厚 T_c 可以处于从约 2 纳米 (2nm) 扩展至约 50 纳米 (50nm) 的范围。作为一个特定的非限制性实例, p-型接触层 104 的平均层厚 T_c 可以等于约 15 纳米 (15nm)。如图 1A 所示, p-型接触层 104 可以直接形成于 p-型主体层 110 上。

[0085] 如下文更详细所述, 完成的半导体结构体 100 可以用于一种或多种半导体发光器件 (如 LED) 的制造中。简言之, 可以在基体层 102 的半导体层的一部分上 (例如, GaN 基体层 112 的一部分上) 形成电极接触部, 并且可以在 p-型接触层 104 的一部分上形成另一电极接触部, 由此使电荷载流子能够注入有源区 106 内并产生电磁辐射发射 (其可为可见光的形式)。

[0086] 图 1B 是示出了图 1A 的半导体结构体 100 的各种层中不同半导体材料的 (能带图中的) 导带 128 的能级水平相对差异的简化图 (注意, 省略了支持衬底 658 和键合层 660)。图 1B 与图 1A 的半导体结构体 100 垂直对齐。图 1B 中的垂直虚线与图 1A 的半导体结构体 100 中的各层之间的界面对齐。图 1B 中的纵轴为能量, 较高的能级垂直位于较低的能级之上。应该注意的是, 图 1B 示出了示例性半导体结构体 100 的导带能级的非限制性实例。因此, 相对水平的导带能级可能至少作为个体半导体层的组成和掺杂、以及如上文所述的各半导体层的组成范围的函数而在相对位置上有所变化。因此, 图 1B 可以用来查看半导体结构体 100 的各层中的导带 128 的能级的相对差异。如图 1B 所示, 阱层 114 中的导带 128 的能级可能低于半导体结构体 100 的其它层中的导带 128 的能级。

[0087] 如本领域中已知, 对于如 InGaN 等 III 族氮化物而言, 导带 128 的能级是包括但不限于镧含量和掺杂物水平的多个变量的函数。阱层 114 和势垒层 116 可以形成为具有某种组成或者以其他方式进行配置来使得阱层 114 中的导带 128 的能级低于势垒层 116 中的导带 128 的能级。因此, 在由半导体结构体 100 制造的发光器件的工作期间, 电荷载流子 (例如, 电子) 可能在阱层 114 中累积, 而势垒层 116 可能起到阻碍电荷载流子 (例如, 电子) 跨有源区 106 迁移的作用。因此, 在某些实施方式中, 各阱层 114 中的镧含量可能高于各势垒层 116 中的镧含量。例如, 各阱层 114 中的镧含量与各势垒层 116 中的镧含量之间的差异可能大于或等于约 0.05 (即, $w-b \geq 0.05$), 或在某些实施方式中可能大于或等于约 0.20 (即, $w-b \geq 0.20$)。在某些实施方式中, 势垒层 116 中的掺杂物浓度可能不同于阱层 114 中的掺杂物浓度。高掺杂浓度可能导致 InGaN 晶体结构中的缺陷, 而这类缺陷可能造成电子-空穴对的非辐射性结合。在某些实施方式中, 阱层 114 中的掺杂物浓度可能低于势垒层 116 中的掺杂物浓度, 以使阱层 114 中的电子-空穴对的非辐射性结合的速率相对于势垒层 116 中的电子-空穴对的非辐射性结合的速率减小。在其他实施方式中, 势垒层 116 中的掺杂

物浓度可能高于阱层 114 中的掺杂物浓度。

[0088] 如图 1B 所示,电子阻挡层 108 所提供的能垒可能是由电子阻挡层 108 和封端层 120(或在电子阻挡层 108 最靠近有源区 106 的一侧紧邻电子阻挡层 108 的其它层)中的导带 128 的能级差异所产生。能垒的高度可以通过改变电子阻挡层 108 的组成而改变。例如,如图 1B 所示,导带能级 130(以实线显示)可示出至少基本由 GaN 组成(但存在掺杂物)的电子阻挡层的导带能级。通过形成至少基本由 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 组成(其中 $0.01 \leq e \leq 0.02$)的电子阻挡层,由导带能级 132 示出(以虚线显示)的电子阻挡层内的导带能级可以相对于 GaN 电子阻挡层减小。在其它实施方式中,通过形成至少基本由 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 组成(其中 $0.01 \leq e \leq 0.20$)的电子阻挡层,由导带能级 134 示出(以虚线显示)的导带能级可以相对于 GaN 电子阻挡层增大。因此,可以改变电子阻挡层内的导带能级,以在电子阻挡层 108 与半导体结构体 100 的其它 III 族氮化物层之间提供所需的导带偏移。

[0089] 在电子阻挡层 108 具有包含交替的不同材料层的超晶格结构的半导体结构体 100 的实施方式中,导带能级可以以类似周期的方式增大或减小,如图 1B 的插入图 136 所示。例如,电子阻挡层 108 可以具有包含交替的 GaN 层 138 和 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 层 140 的超晶格结构,其中 $0.01 \leq e \leq 0.20$,或者作为另一选择,超晶格结构可以包括交替的 GaN 层和 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 层,其中 $0.01 \leq e \leq 0.02$ 。交替的不同材料层之间的导带能偏移的幅度可以通过 GaN 层与 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 层或 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 层之间的组成差异而进行选择。

[0090] 本公开的半导体结构体还可以包括设置在所述半导体结构体的有源区与半导体结构体的 GaN 基体层之间的电子阻断层。这类电子阻断层可以包含 n- 掺杂的 III 族氮化物材料,所述材料中导带的能带边缘的能级与 GaN 基体层和/或 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 基体层中的导带的能带边缘相比相对更高,这起到进一步将电子限制在有源区内的作用并且可以避免载流子从有源区溢流,由此在有源区内提供了改善的载流子均一性。

[0091] 作为非限制性实例,图 2A 和 2B 示出了包含此类电子阻断层 202 的半导体结构体 200 的实施方式。半导体结构体 200 与半导体结构体 100 相似并且包括有源区 106,该有源区 106 包含如前文关于半导体结构体 100 所描述的一个或多个 InGaN 阱层 114 和一个或多个 InGaN 势垒层 116。半导体结构体 200 还包含如前文关于半导体结构体 100 所描述的基体层 102、间隔层 118、封端层 120、电子阻挡层 108、p- 型主体层 110 和 p- 型接触层 104。半导体结构体 200 的电子阻断层 202 设置在 GaN 基体层 112 和间隔层 118 之间。

[0092] 电子阻断层 202 包含 III 族氮化物。作为非限制性实例,电子阻断层 202 可以包含经 n- 型掺杂的 AlGaIn。例如,在某些实施方式中,电子阻断层 202 可以至少基本由 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 组成(但存在掺杂物),其中 $0.01 \leq st \leq 0.20$ 。在其它实施方式中,电子阻断层 202 可以具有如插入图 204 所示的超晶格结构,其包含交替的 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 层 206(其中, $0.01 \leq st \leq 0.20$)和 GaN 层 208。半导体结构体 200 可以包含任意数目(例如,约一(1)至约二十(20))的交替的 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 层 206 和 GaN 层 208。此类超晶格结构中的层 206 和层 208 的平均层厚可以为约 1 纳米(1nm)~约 100 纳米(100nm)。

[0093] 电子阻断层 202 可以用选自自由硅和锗组成的组的一种或多种掺杂物进行 n- 型掺杂。电子阻断层 202 内的一种或多种掺杂物的浓度可以处于从约 $0.1\text{e}^{18}\text{cm}^{-3}$ 扩展至 $20\text{e}^{18}\text{cm}^{-3}$ 的范围。在某些实施方式中,电子阻断层 202 的平均层厚 T_{st} 可以从约 1 纳米(1nm)扩展至约 50 纳米(50nm)的范围。

[0094] 图 2B 是简化的导带图,且示出了半导体结构体 200 中各种材料的导带 228 的相对能级。如图 2B 所示,在图 2A 的半导体结构体 200 的实施方式中,半导体结构体 200 的电子阻断层 202 的至少一部分内的导带 228 的能级(图 2B)比 GaN 基体层 112 内的导带 200 的能级和 / 或间隔层 118 内的导带 228 的能级相对更高。在电子阻断层 202 包含如图 2B 的插入图 210 所示的超晶格结构(其包含交替的 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 层 206 和 GaN 层 208,其中 $0.01 \leq st \leq 0.20$) 的实施方式中,导带能级可以以周期方式变化。

[0095] 在另外的实施方式中,本公开的半导体结构体可以包括处在有源区和 GaN 基体层之间的用来帮助制造半导体结构体的一个或多个材料层。例如,在某些实施方式中,本公开的半导体结构体以及由此类结构体制造的一种或多种发光器件可以包括设置于有源区和 GaN 基体层之间的应变消除层,其中所述应变消除层被构成和配置为调节 GaN 基体层和 p- 型接触层之间的半导体结构体的各层晶体结构的晶体晶格中的应变,这些层可以以逐层法相互叠加外延生长。

[0096] 作为非限制性实例,图 3A 和 3B 示出了包括此类应变消除层 302 的半导体结构体 300 的实施方式。半导体结构体 300 与半导体结构体 100 相似并且包括有源区 106,该有源区 106 包含如前文关于半导体结构体 100 所描述的一个或多个 InGaN 阱层 114 和一个或多个 InGaN 势垒层 116。半导体结构体 300 还包含如前文关于半导体结构体 100 所描述的基体层 102、间隔层 118、封端层 120、电子阻挡层 108、p- 型主体层 110 和 p- 型接触层 104。半导体结构体 300 的应变消除层 302 设置在 GaN 基体层 112 和间隔层 118 之间。在图 3A 和图 3B 的实施方式中,应变消除层 302 直接设置在 GaN 基体层 112 和 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 间隔层 118 之间。

[0097] 应变消除层 302 可以包含 III 族氮化物。作为非限制性实例,应变消除层 302 可以具有如插入图 304 所示的超晶格结构,其包含交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层 306(其中, $0.01 \leq sra \leq 0.10$) 和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层 308(其中, $0.01 \leq srb \leq 0.10$)。此外,sra 可以大于 srb。半导体结构体 300 可以包含任意数目(例如,约一(1)至约二十(20))的交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层 306 和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层 308。此类超晶格结构中的层 306 和层 308 的平均层厚可以为约 1 纳米(1nm)~约 20 纳米(20nm)。

[0098] 应变消除层 302 可以用选自自由硅和锗组成的组的一种或多种掺杂物进行 n- 型掺杂。应变消除层 302 内的一种或多种掺杂物的浓度可以处于从约 $0.1e^{18}\text{cm}^{-3}$ 扩展至 $20e^{18}\text{cm}^{-3}$ 的范围。在某些实施方式中,应变消除层 302 的平均层厚可以处于从约 1 纳米(1nm)扩展至约 50 纳米(50nm) 的范围。

[0099] 图 3B 是简化的导带图,且示出了半导体结构体 300 中各种材料的导带 328 的相对能级。如图 3B 所示,在图 3A 的半导体结构体 300 的实施方式中,半导体结构体 300(图 3A)的应变消除层 302 的至少一部分内的导带 328 的能级比 GaN 基体层 112 内的导带 328 的能级和 / 或间隔层 118 内的导带 328 的能级相对更低。在其它实施方式中,半导体结构体 300(图 3A)的应变消除层 302 的至少一部分内的导带 328 的能级比 InGaN 基体层 112 内的导带 328 的能级和 / 或间隔层 118 内的导带 328 的能级相对更高。在应变消除层 302 包含如图 3B 的插入图 310 所示的超晶格结构(其包含交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层 306 和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层 308) 的实施方式中,导带能级可以以周期方式变化。

[0100] 图 4A 和 4B 示出了本公开又一实施方式的半导体结构体 400。半导体结构体 400

与半导体结构体 100 相似,并且包括有源区 406,该有源区 406 包含如前文关于半导体结构体 100 所描述的一个或多个 InGaN 阱层 114 和一个或多个 InGaN 势垒层 116。半导体结构体 400 还包含如前文关于半导体结构体 100 所描述的基体层 102、间隔层 118、封端层 120、电子阻挡层 108、p- 型主体层 110 和 p- 型接触层 104。半导体结构体 400 的有源区 406 还包含附加 GaN 势垒层 402。附加 GaN 势垒层 402 各自可以设置在 InGaN 阱层 114 和 InGaN 势垒层 116 之间。所述附加 GaN 势垒层 402 可以起到将电子进一步限制在阱层 114 内的作用,电子在阱层 114 中将更可能与空穴复合并使发射辐射的可能性增大。

[0101] 在某些实施方式中,各 GaN 势垒层 402 可以用选自自由硅和锗组成的组的一种或多种掺杂物进行 n- 型掺杂。例如,GaN 势垒层 402 内的一种或多种掺杂物的浓度可以处于从约 $1.0e^{17}cm^{-3}$ 扩展至 $50e^{17}cm^{-3}$ 的范围。在某些实施方式中,各 GaN 势垒层 402 的平均层厚 T_{b2} 可以处于从约 1/2 纳米 (0.5nm) 扩展至约 20 纳米 (20nm) 的范围。

[0102] 图 4B 是简化的导带图,且示出了半导体结构体 400 中各种材料的导带 428 的相对能级。如图 4B 所示,在图 4A 的半导体结构体 400 的实施方式中,GaN 势垒层 402 (图 4A) 内的导带 428 的能级可能比 InGaN 势垒层 116 内的导带 428 的能级相对更高,并且比 InGaN 阱层 114 内的导带 428 的能级更高。

[0103] 图 5A 和 5B 示出了包括半导体结构体 500 的本公开的另一实施方式。在这些实施方式中,可以利用以 Arena 等的名义于 2012 年 1 月 31 日提交的美国专利申请号 13/362,866 中所公开的方法来形成有源区 506。半导体结构体 500 与半导体结构体 100 相似,并且包括有源区 506,该有源区 506 包含如前文关于半导体结构体 100 所描述的一个或多个 InGaN 阱层 514 和一个或多个 InGaN 势垒层 516。半导体结构体 500 还包含如前文关于半导体结构体 100 所描述的基体层、间隔层、封端层、电子阻挡层、p- 型主体层和 p- 型接触层。为清楚起见,仅示出了有源区 506 周围的层,且这些层可以包括可选的间隔层 118 和封端层 120 以及 GaN 基体层 112 和电子阻挡层 108。如果将所述可选层从半导体结构体 500 中略去,则有源区 506 可以直接设置于 GaN 基体层 112 和电子阻挡层 108 之间。

[0104] 半导体结构体 500 的有源区 506 与半导体结构体 100 的有源区相似,但还包括两个以上的 InGaN 势垒层,其中以图 5A 和图 5B 中从右至左查看时(即,从封端层 120 延伸至间隔层 118 的方向),后续势垒层之间的带隙能以阶梯状方式增加。半导体结构体 500 中有源区 506 的这种配置可以通过避免载流子从有源区 506 向外溢流而辅助将电荷载流子限制在有源区 506 内,由此提高由半导体结构体 500 制造的发光器件的效率。

[0105] 势垒区 516_{Ac} 可以具有如下的材料组成和结构配置:其被选择为各个屏蔽区 516_{Ac} 提供对应的带隙能 550_{Ac} ,其中所述带隙能由构成半导体结构体 500 的各种半导体材料的导带能 528 和价带能 552 的能量差提供。第一势垒区 516_A 中的带隙能 550_A 可以小于第二势垒区 516_B 中的带隙能 550_B ,而第二势垒区 516_B 中的带隙能 550_B 可以小于第三势垒区 516_C 中的带隙能 550_C ,如图 5B 的能带图所示。此外,量子阱区 552_{Ac} 的各个带隙能均可基本等于或者可以小于势垒区 550_{Ac} 的各个带隙能 516_{Ac} 。

[0106] 在该配置中,第一量子阱 514_A 与第二量子阱 514_B 之间的空穴能垒 554_A 可以小于第二量子阱 516_B 与第三量子阱 516_C 之间的空穴能垒 554_B 。换言之,跨势垒区 516_{Ac} 的空穴能垒 554_{Ac} 可以跨有源区 506 沿从封端层 120 延伸至间隔层 118 的方向以阶梯状方式增加。电子空穴能垒 554_{Ac} 是量子阱区 514_{Ac} 与临近势垒区 516_{Ac} 之间的界面两侧的价带 552 的

能量差异。作为使电子空穴能垒 554_{A_c} 跨势垒区 516_{A_c} 沿从封端层 120 向间隔层 108 增加的结果,可以在有源区 506 内实现空穴分布均一性的增大,这可以使由半导体结构体 500 制造的发光器件工作期间的效率改善。

[0107] 如前文所述,势垒区 516_{A_c} 可以具有下述的材料组成和结构配置,其被选择为对各个势垒区 516_{A_c} 提供其不同的对应带隙能 550_{A_c} 。举例而言并非作为限制,各个势垒区 516_{A_c} 可以包含三元 III 族氮化物材料,例如 $In_{b_3}Ga_{1-b_3}N$, 其中 b_3 为至少约 0.01。减少势垒区 516_{A_c} 的 $In_{b_3}Ga_{1-b_3}N$ 中的铟含量(即,减小 b_3 的值)可以增加势垒区 516_{A_c} 的带隙能。因此,第二势垒区 516_B 可以具有相对于第一势垒区 516_A 更低的铟含量,而第三势垒区 516_C 可能具有相对于第二势垒区 516_B 更低的铟含量。另外,势垒区 516_{A_c} 和阱区 514_{A_c} 可以进行掺杂,并且可以具有如前文关于半导体结构体 100 所述的平均层厚。

[0108] 如前文所述,根据本公开的实施方式,(图 1A) 的有源区 106 可以包含至少一个 InGaN 阱层和至少一个 InGaN 势垒层,并且在某些实施方式中,有源区 106 可以至少基本由 InGaN 组成(例如,可以实质上由 InGaN 构成,但存在掺杂物)。大多数目前已知的包含 InGaN 阱层的发光器件结构体包含 GaN(至少基本不含铟)势垒层。InGaN 阱层和 GaN 势垒层之间的导带能级差异相对较高,而根据本发明的教导,这会改善电荷载流子在阱层内的限制并且可以使 LED 结构体的效率改善。然而,现有技术的结构体和方法可能因载流子溢流和压电极化而导致器件效率降低。

[0109] 在载流子溢流理论中,一个或多个量子阱层可以类比为水桶,其俘获和保持注入的载流子的能力随更高的载流子注入而递减。当注入的载流子未被俘获和保持时,其从有源区溢流并损耗,从而致使器件效率的下降。在包含 InGaN 量子阱和 GaN 势垒层的现有技术结构体中,带偏移(即,量子阱和势垒之间的导带能级的差异)显著高于如本文实施方式中所述的基本由 InGaN 组成的有源区的带偏移。本文所述的结构体中的带偏移的减小使得注入的载流子能够更为有效地在有源区的量子阱区中分布,由此提高了由本文所述的半导体结构体制造的发光器件的效率。

[0110] 另外,由于 InGaN 阱层和 GaN 势垒层之间的晶格错配,在这类发光器件结构体的有源区内出现相对较强的压电极化。压电极化可以使发光器件结构体的有源区内的电子波函数与空穴波函数之间的重叠减少。例如 J. H. Son 和 J. L. Lee, Numerical Analysis of Efficiency Droop Induced by Piezoelectric Polarization in InGaN/GaN Light-Emitting Diodes, Appl. Phys. Lett. 97, 032109 (2010) 中所公开,压电极化可能导致这类发光器件结构体(例如,LED)中被称作“效率衰减”的现象。效率衰减现象是随着电流密度增大,LED 结构体的内部量子效率(IQE)图中的衰减(下降)。

[0111] 本公开的发光结构体(例如 LED 结构体)的实施方式可以减轻或克服目前已知的具有 InGaN 阱层和 GaN 势垒层的 LED 结构体中与晶格错配、载流子溢流、压电极化现象和效率衰减相关的问题。可以对本公开实施方式的 LED(例如由图 1A 和 1B 的半导体结构体 100 制造的 LED 结构体)进行配置并对其能带结构进行设计,以使得有源区 106 展示出较小的压电极化效应、较大的电子波函数和空穴波函数的重叠。结果,如 LED 等发光器件可以展示出电荷载流子跨有源区 106 的均一性改善以及效率衰减随电流密度增加而减小。

[0112] 可以通过本公开的实施方式获得的这些优点将在下文参照图 10A 和 10B、11A ~ 11E、12A 和 12B 以及 13A ~ 13E 进一步讨论。图 10A 和 10B 示出了与现有已知 LED 相似的

LED 556 的实施方式。LED 556 包括有源区 558, 该有源区 558 包括五个 (5) InGaN 阱层 562 和设置在 InGaN 阱层 562 之间的 GaN 势垒层 564。LED 556 还包括基体层 560、第一间隔层 566、第二间隔层 568、电子阻挡层 570 和电极层 572。在 LED 556 中, InGaN 阱层 562 包括 $\text{In}_{0.18}\text{Ga}_{0.82}\text{N}$ 层, 其各自的平均层厚为约 2.5 纳米 (2.5nm)。势垒层 564 包括 GaN 层, 其平均层厚为约 10 纳米 (10nm)。基体层 560 包括平均层厚为约 325 纳米 (325nm) 的掺杂 GaN 层, 其用硅以约 $5e^{18}\text{cm}^{-3}$ 的浓度进行 n- 型掺杂。第一间隔层 566 可以包括平均层厚为约 25 纳米 (25nm) 的未掺杂 GaN。第二间隔层 568 也可包含平均层厚为约 25 纳米 (25nm) 的未掺杂 GaN。电子阻挡层 570 可以包含 p- 掺杂的 AlGaIn。电极层 572 可以包含掺杂 GaN 层, 这类电极层的平均层厚为约 125 纳米 (125nm), 其用镁以约 $5e^{17}\text{cm}^{-3}$ 的浓度进行 p- 型掺杂。图 10B 是与图 1B 相似的简化导带图, 且示出图 10A 的 LED 556 的各种层中不同材料的导带 574 (在能带图中) 的能级的相对差异。图 10B 中的垂直虚线与图 10A 的 LED 556 中的各层之间的界面对齐。

[0113] 如本领域已知, 可以使用例如 S. L. Chuang 和 C. S. Chang, *k \cdot p* Method for Strained Wurtzite Semiconductors, *Phys. Rev. B* 54, 2491 (1996) 中所公开的 8×8 Kane 模型来表征如 GaN 和 InGaIn 等 III 族氮化物材料的价带结构。可以假定 Brillouin 区中心的价带的重分支、轻分支和裂出 (split-off) 分支的分裂独立于内嵌电场。因此, 可以从耦合的泊松方程和输运方程的解获得价亚带 (valence subband)。电子和空穴的波函数可以假设分别为以下形式:

[0114] $u_n \Psi_v \cdot \exp(k_n \cdot r)$, 和

[0115] $u_{p,s} \Psi_{v,s} \cdot \exp(k_p \cdot r)$,

[0116] 其中, u_n 和 $u_{p,s}$ 是对应于 Brillouin 区中心的电子和空穴的 Bloch 振幅, k_n 和 k_p 是面内准矩矢量, Ψ_v 和 $\Psi_{v,s}$ 是包络函数, 且下标 "s" 可以为重 (hh)、轻 (lh) 或裂出 (so) 空穴。针对电子和空穴包络函数的一维薛定谔方程分别为:

$$[0117] \quad -\frac{\hbar^2}{2m_n^{\text{eff}}} \frac{d^2 \Psi_v}{dz^2} + U_C^{\text{eff}} \Psi_v = E_v \Psi_v, \text{ 和}$$

[0118]

$$-\frac{\hbar^2}{2m_p^{\text{eff}}} \frac{d^2 \Psi_{v,s}}{dz^2} + U_{V,s}^{\text{eff}} \Psi_{v,s} = E_{v,s} \Psi_{v,s}$$

[0119] 其中, U_C^{eff} 和 $U_{V,s}^{\text{eff}}$ 是量子阱中的电子和空穴的有效电势, E_v 和 $E_{v,s}$ 是电子和空穴能级, 而 m_n^{eff} 和 m_p^{eff} 是外延生长方向上的电子和空穴的有效质量。通过用对应的边界条件求解上述薛定谔方程, 可以由以下获得电子和空穴波函数的重叠积分:

$$[0120] \quad \langle \Psi_i^e | \Psi_j^h \rangle = \int_{-\infty}^{\infty} \Psi_i^e(z) \Psi_j^h(z) dz$$

[0121] 如 S. L. Chuang, *Physics of Phonic Devices*, 第 2 版, (Wiley, New Jersey, 2009) 中所公开, 电子和空穴的辐射复合速率可以如下所给出:

$$[0122] \quad R^{\text{rad}} = B \cdot np \cdot \left[1 - \exp\left(-\frac{F_n - F_p}{kT}\right) \right]$$

[0123] 其中, B 是辐射复合系数, n 是电子浓度, p 是空穴浓度, 而 $F_n - F_p$ 是准费米能级分离。电子和空穴浓度以及准费米能级分离随着 LED 有源区中的位置而变化。可以确定任何量子阱中的最大辐射复合速率并将其认为是该对应量子阱的峰值辐射复合速率。

[0124] 图 11A 是示出了图 10A 和图 10B 的 LED 550 的导带 574 和价带 576 的能带边缘的计算能量的图, 该计算能量是在对 LED 556 施加 0 电流的情况下从基体层 560 与有源区 558 相对的表面起始随 LED 556 中的位置 (以纳米计) 的函数。图 11B 是与图 11A 相似的图, 但其示出了在对 LED 556 施加 125 安培 / 平方厘米 ($125\text{A}/\text{cm}^2$) 的电流密度时, 图 10A 和图 10B 的 LED 556 的导带 574 与价带 576 的能带边缘的计算能量。图 11C 是示出了在对 LED 550 施加 125 安培 / 平方厘米 ($125\text{A}/\text{cm}^2$) 的电流密度时计算强度与 LED 556 的 5 个量子阱层 562 中各层的波长的函数的图。从图 10A 和图 10B 来看, QW1 是最左侧量子阱层 562, 而 QW5 是最右侧量子阱层 562。图 11D 示出了 LED 556 的计算注入效率与施加的电流密度的函数。如图 11D 所示, LED 550 在施加 $125\text{A}/\text{cm}^2$ 的电流密度时可以展示出约 75.6% 的注入效率。图 11E 示出了 LED 556 的计算内部量子效率 (IQE) 与施加的电流密度的函数。如图 11E 所示, LED 556 在施加 $125\text{A}/\text{cm}^2$ 的电流密度时可以展示出约 45.2% 的内部量子效率。此外如图 11E 所示, LED 556 的内部量子效率可以从施加 $20\text{A}/\text{cm}^2$ 的电流密度时的超过 50% 下降至施加 $250\text{A}/\text{cm}^2$ 的电流密度时的低于 40%。如前文所讨论, IQE 的这种下降在本领域称为效率衰减。

[0125] 下表 1 显示了对图 10A 和图 10B 的 LED 550 中的 5 个量子阱层 562 中各层计算出的波函数重叠和峰值辐射复合速率。

[0126] 表 1

[0127]

	QW1	QW2	QW3	QW4	QW5
波函数重叠	0.328	0.326	0.325	0.341	0.362
峰值辐射复合速率	$6.5e^{26}$	$3.3e^{26}$	$3.3e^{26}$	$6.8e^{26}$	$2.4e^{27}$

[0128] 如从图 11C 和上表 1 可以看出, 辐射复合主要来自最后的阱层 562 (最接近 p- 掺杂或阴极的一侧), 其为 LED 556 中的第五号量子阱 (即, QW5)。此外, 如图 11E 所示, LED 556 展示出效率衰减, 这可能至少部分地由于压电极化所造成, 所述压电极化如本文前文所讨论是由 InGaN 阱层 562 和 GaN 势垒层 564 的使用所致。

[0129] 本公开的包括有源区 (其包含至少一个 InGaN 阱层和至少一个 InGaN 势垒层, 如 LED 100 的有源区 106) 的 LED 的实施方式可以展示出在阱层中发生的辐射复合的均一性改善, 并且可以展示出较小的效率衰减。下文参照图 12A 和 12B 以及 13A ~ 13E 提供了对本公开的 LED 实施方式与 LED 550 的对比。

[0130] 图 12A 和 12B 示出了本公开实施方式的 LED 600 的另一实例。LED 600 包括有源区 106, 该有源区 106 包括五个 (5) InGaN 阱层 114 与设置在 InGaN 阱层 114 之间的 InGaN 势垒层 116。InGaN 阱层 114 和 InGaN 势垒层 116 可以如前文参照图 1A 和 1B 关于半导体结构体 100 所述。LED 600 还可以包括基体层 112、第一间隔层 118、封端层 120 和 InGaN 电极层 104。在 LED 600 中, InGaN 阱层 114 包括 $\text{In}_{0.18}\text{Ga}_{0.82}\text{N}$ 层, 其各自的平均层厚为约 2.5 纳

米 (2.5nm)。势垒层 116 包括 $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$ 层,且各自的平均层厚可以为约 10 纳米 (10nm)。基体层 112 包括平均层厚为约 300 纳米 (300nm) 的掺杂 $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ 层,其用硅以约 $5\text{e}^{18}\text{cm}^{-3}$ 的浓度进行 n- 型掺杂。第一间隔层 118 可以包括平均层厚为约 25 纳米 (25nm) 的未掺杂 $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$ 。封端层 120 也可包含平均层厚为约 25 纳米 (25nm) 的未掺杂 $\text{In}_{0.08}\text{Ga}_{0.92}\text{N}$ 。电极层 104 可以包括平均层厚可以为约 150 纳米 (150nm) 的掺杂 $\text{In}_{0.05}\text{Ga}_{0.95}\text{N}$ 层,其用镁以约 $5\text{e}^{17}\text{cm}^{-3}$ 的浓度进行 p- 型掺杂。图 12B 是简化的导带图,其示出了对图 12A 的 LED 600 的各层中不同材料的(能带图中的)导带 602 的能级的相对差异。

[0131] 图 13A 是示出了图 12A 和 12B 的 LED 600 的导带 602 和价带 604 的能带边缘的计算能量的图,该计算能量是在对 LED 600 施加 0 电流的情况下从基体层 112 与有源区 106 相对的表面起始随 LED 600 中的位置(以纳米计)的函数。图 13B 是与图 13A 类似的图,但其示出了在对 LED 600 的施加 125 安培/平方厘米 ($125\text{A}/\text{cm}^2$) 的电流密度时,图 12A 和 12B 的 LED 600 的导带 602 和价带 604 的能带边缘的计算能量。图 13C 是示出在对 LED 600 施加 125 安培/平方厘米 ($125\text{A}/\text{cm}^2$) 的电流密度时计算强度与 LED 600 的 5 个量子阱层 108 中各层的波长的函数的图。从图 12A 和 12B 来看, QW1 是最左侧量子阱层 108,而 QW5 是最右侧量子阱层 108。图 13D 示出了 LED 600 的计算注入效率与施加的电流密度的函数。如图 13D 所示,LED 600 在施加 $125\text{A}/\text{cm}^2$ 的电流密度时可以展示出约 87.8% 的注入效率,且可以在从 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的电流密度范围内展示出至少约 80% 的载流子注入效率。图 13E 示出了 LED600 的计算内部量子效率 (IQE) 与施加的电流密度的函数。如图 13E 所示,LED 600 在施加 $125\text{A}/\text{cm}^2$ 的电流密度时可以展示出约 58.6% 的内部量子效率。此外如图 13E 所示,在从 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的施加电流密度范围内,LED 600 的内部量子效率可以保持在约 55%~约 60%。因此,LED 600 展示出极小的效率衰减,且其效率衰减显著小于 LED 500(该 LED 500 不是本公开的实施方式)所展示出的效率衰减。

[0132] 下表 2 显示了对图 12A 和图 12B 的 LED 600 中的 5 个量子阱层 108 中各层的计算出的波函数重叠和峰值辐射复合速率。

[0133] 表 2

[0134]

	QW1	QW2	QW3	QW4	QW5
波函数重叠	0.478	0.493	0.494	0.494	0.471
峰值辐射复合速率	7.8e^{26}	7.7e^{26}	7.9e^{26}	8.1e^{26}	8.3e^{26}

[0135] 如从图 13C 和上表 2 可以看出,与 LED 500 中的阱层 508 相比,LED 600 的阱层 108 中的辐射复合更为均一。

[0136] 利用可商购自 STR Group, Inc. 的 SiLENSe 软件对图 10A 和 10B 的 LED 550 以及图 12A 和 12B 的 LED 600 进行建模。SiLENSe 软件也可用于生成图 11A~11E 和 13A~13E 的图,以及用于获取表 1 和 2 中列出的数据。

[0137] 根据本公开的某些实施方式,LED 可以在从约 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的电流密度范围内展示出至少约 45% 的内部量子效率,在从约 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的电流密度范围内展示出至少约 50% 的内部量子效率,或者在从约 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的

电流密度范围内展示出至少约 55% 的内部量子效率。此外, LED 可以在从约 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的电流密度范围内展示出至少基本恒定的载流子注入效率。在某些实施方式中, 本公开的 LED 可以在从约 $20\text{A}/\text{cm}^2$ 扩展至约 $250\text{A}/\text{cm}^2$ 的电流密度范围内展示出至少约 80% 的载流子注入效率。

[0138] 下文参照图 6C ~ 图 6D 简要描述了可以利用来制造本公开的实施方式的半导体结构体和发光器件 (例如 LED) 的方法的非限制性实例, 并且参照图 7 和图 8 描述了通过这类方法制造的发光器件的实例。

[0139] 参照图 6C, 可以在沉积室内设置生长模板 113 (如此前上文所述), 并且可以在生长模板 113 的一个或多个晶种层 656 上连续地外延生长包含 III 族氮化物材料的层, 其通常称为生长层叠体 (见图 6D)。应该注意的是, 虽然晶种层以一个或多个 III 族氮化物材料岛示出, 但在某些实施方式中, 晶种层可以包含处在支持衬底 658 上的连续膜。

[0140] 图 6D 示出了包含生长模板 113 的半导体结构体 680, 生长模板 113 包含两个晶种层 656, 其各自具有其上沉积了图 1A 和 1B 的半导体结构体 100 的各个层。特别地, 半导体结构体 100 的 GaN 基体层 112 直接外延沉积在各个晶种层结构体 656 上, 而 InGaN 间隔层 118、InGaN 阱层 114、InGaN 势垒层 116、InGaN 封端层 120、电子阻挡层 108、p- 型主体层 110 和 p- 型接触层 104 依次地外延沉积在生长模板 112 上。

[0141] 可以例如利用金属有机化学气相沉积 (MOCVD) 法和系统在单个沉积室内沉积包括生长层叠体 682 的半导体结构体 680 的各个层, 即, 无需在沉积过程中加载或卸载该生长层叠体。可以将沉积室内的压力减小至约 50mTorr ~ 约 500mTorr 。在生长层叠体 682 的沉积过程中, 可以在沉积过程中增大和 / 或减小反应室内的压力, 因此该压力可以针对沉积的特定层进行调整。作为非限制性实例, 在沉积 GaN 基体层 112、InGaN 间隔层 118、一个或多个阱层 114 / 势垒层 116、InGaN 封端层 120 和电子阻挡层 108 的过程中, 反应室内压力的范围可以为约 50mTorr ~ 约 500mTorr , 而在某些实施方式中可以等于约 440mTorr 。用于沉积 p- 型主体层 110 和 p- 型接触层 104 的反应室内压力的范围可以为约 50mTorr ~ 约 250mTorr , 而在某些实施方式中可以等于约 100mTorr 。

[0142] 生长模板 113 可以在沉积室内加热至约 600°C ~ 约 1000°C 的温度。然后可以使金属有机前体气体和其他前体气体 (以及可选的载气和 / 或吹扫气) 流过沉积室并在生长模板 113 的一个或多个晶种层 656 上流动。金属有机前体气体可以进行反应和 / 或分解, 由此使 III 族氮化物层 (如 InGaN 层) 在生长模板 113 上外延沉积。

[0143] 作为非限制性实例, 可以使用三甲基镧 (TMI) 作为 InGaN 的镧的金属有机前体, 可以使用三乙基镓 (TMG) 作为 InGaN 的镓的金属有机前体, 可以使用三乙基铝 (TMA) 作为 AlGaIn 的铝的金属有机前体, 并且可以使用氨作为 III 族氮化物层的氮的前体。在需要对 III 族氮化物进行 n- 型掺杂时, 可以使用 SiH_4 作为前体来将硅引入 InGaN; 在需要对 III 族氮化物进行 p- 型掺杂时, 可以使用 Cp_2Mg (二 (环戊二烯基) 镁) 作为前体来将镁引入 III 族氮化物。有利的是, 调节镧前体 (例如, 三甲基镧) 与镓前体 (例如, 三乙基镓) 的比例, 由此使 InGaN 中加入的镧的浓度接近沉积温度时镧在 InGaN 中的饱和点。通过控制生长温度, 可以随着 InGaN 的外延生长控制 InGaN 中加入的镧的百分比。在相对较低温度时将加入相对较高量的镧, 而在相对较高温度时将加入相对较低量的镧。作为非限制性实例, 可以在从约 600°C 扩展至约 950°C 的温度范围沉积 InGaN 阱层 108。

[0144] 在沉积过程中可以升高和 / 或降低生长层叠体 100 的各个层的沉积温度, 并因此针对待沉积的特定层进行调整。作为非限制性实例, GaN 基体层 112、p- 型主体层 110 和 p- 型接触层 104 的沉积期间的沉积温度范围可以为约 600°C ~ 约 950°C, 而在某些实施方式中可以等于约 900°C。GaN 基体层 112、p- 型主体层 110 和 p- 型接触层 104 的生长速率范围可以为约 1 纳米 / 分钟 (1nm/min) ~ 约 50 纳米 / 分钟 (50nm/min), 且在某些实施方式中 GaN 基体层 112、p- 型主体层 110 和 p- 型接触层 104 的生长速率可以等于约 6 纳米 / 分钟 (6nm/min)。

[0145] 在另外的非限制性示例实施方式中, 在间隔层 118、一个或多个阱层 114、一个或多个势垒层 116、封端层 120 和电子阻挡层 108 的沉积期间, 沉积温度范围可以为约 600°C ~ 约 950°C, 而在某些实施方式中可以等于约 750°C。间隔层 118、一个或多个阱层 114、一个或多个势垒层 116、封端层 120 和电子阻挡层 108 的生长速率范围可以为约 1 纳米 / 分钟 (1nm/min) ~ 约 30 纳米 / 分钟 (30nm/min), 且在某些实施方式中间隔层 118、一个或多个阱层 114 / 势垒层 116、封端层 120 和电子阻挡层 108 的生长速率可以等于约 1 纳米 / 分钟 (1nm/min)。

[0146] 在包括沉积 InGaN 层的实施方式中, 可以选择前体气体的流速比来提供高品质的 InGaN 层。例如, 用于形成半导体结构体 100 的 InGaN 层的方法可以包括选择气体比例以提供具有低缺陷密度、基本没有应变松弛且基本没有表面陷坑的一个或多个 InGaN 层。

[0147] 在非限制性实例中, 三甲基镓 (TMI) 和三乙基镓 (TEG) 的流量比 (%) 可以定义为:

[0148]

$$\text{流量比 (\%)} = \frac{\text{流速 (TMI)}}{\text{流速 (TMI + TEG)}} \times 100$$

[0149] 并且该流量比可以在沉积过程中增大和 / 或减小, 由此针对待沉积的特定 InGaN 层调整。作为非限制性实例, p- 型主体层 110 沉积期间的流量比范围可以为约 50% ~ 约 95%, 并且在某些实施方式中可以等于约 85%。在其他实施方式中, 间隔层 118、一个或多个势垒层 116 和封端层 120 沉积期间的流量比范围可以为约 1% ~ 约 50%, 并且在某些实施方式中可以等于约 2%。在另外的实施方式中, 一个或多个量子阱层 114 沉积期间的流量比范围可以为约 1% ~ 约 50%, 并且在某些实施方式中可以等于约 30%。

[0150] 在沉积过程中, 可选地可使生长模板 113 在沉积室内旋转。作为非限制性实例, 生长模板 113 可以在沉积过程中在沉积室内以约 50 转 / 分钟 (RPM) ~ 约 1500 转 / 分钟 (RPM) 的转动速度旋转, 且在某些实施方式中可以以等于约 450 转 / 分钟 (RPM) 的旋转速度旋转。沉积过程中的旋转速度可以在沉积期间增大和 / 或减小, 且因而能针对待沉积的特定层进行调整。作为非限制性实例, 在 GaN 基体层 112、间隔层 118、一个或多个阱层 114、一个或多个势垒层 116、封端层 120 和电子势垒层 108 沉积期间, 生长模板旋转速度可以为约 50 转 / 分钟 (RPM) ~ 约 1500 转 / 分钟 (RPM), 且在某些实施方式中可以以等于约 440 转 / 分钟 (RPM) 的旋转速度旋转。在 p- 型主体层 110 和 p- 型接触层 104 沉积期间, 生长模板 113 的旋转速度可以为约 50 转 / 分钟 (RPM) ~ 约 1500 转 / 分钟 (RPM), 且在某些实施方式中可以以等于约 1000 转 / 分钟 (RPM) 的旋转速度旋转。

[0151] 在包括沉积 III 族氮化物、特别是 InGaN 层的本公开的半导体结构体的实施方式

中,外延沉积在生长模板 113 上的包括生长层叠体 682 的一个或多个 InGa_nN 层的应变能可能影响由所述半导体结构体制造的发光器件的效率。在某些实施方式中,生长层叠体 682 内产生的总应变能可能与由内部量子效率 (IQE) 所定义的本公开的半导体结构体的效率相关。

[0152] 更具体而言,第 n 层 InGa_nN 层内储存的应变能与所述第 n 层 InGa_nN 层的平均总厚度 T_n 成正比,并且与所述第 n 层 InGa_nN 层中的铟浓度 % In_n 成正比。另外,包括生长层叠体 682 的多个 InGa_nN 层内储存的总应变能与各个 InGa_nN 层的平均总厚度 T_n 之和成正比,并且与各个 InGa_nN 层中的铟浓度 % In_n 成正比,因此包括生长层叠体 702 的 InGa_nN 层中的总应变能可以用一下关系式估算:

[0153] 总应变能 (a. u.) $\propto \Sigma (\% \text{In}_n \times T_n)$

[0154] 其中,第 n 层的平均总厚度 T_n 以纳米 (nm) 表达,而第 n 层 InGa_nN 层中的铟浓度 % In_n 以原子百分比表达。例如,如果第 n 层 InGa_nN 层的平均总厚度 T_n 为 150 纳米 (150nm) 且铟浓度 % In_n 为 2.0at%,则第 n 层 InGa_nN 层内的应变能可以为 300a. u. ($300 = 150(2)$)。

[0155] 图 9 示出了显示本公开的半导体结构体的 IQE (a. u.) 与总应变能 (a. u.) 之间关系的图 900。如图 900 的线 902 所示,在称作半导体结构体的“临界应变能”的总应变能值处,本公开的半导体结构体的 IQE 可能降低。低于临界应变能时半导体结构体的 IQE (由线 904 代表) 可能比高于临界应变能时半导体结构体的 IQE (由线 906 代表) 明显更大。例如,图 900 示出了本公开的几种半导体结构体的 IQE 值 (如矩形标记所示)。在某些实施方式中,低于临界应变能时的 IQE 可能比高于临界应变能时的 IQE 大约 500%。在其它实施方式中,低于临界应变能时的 IQE 可能比高于临界应变能时的 IQE 高约 250%。在其它实施方式中,低于临界应变能时的 IQE 可能比高于临界应变能时的 IQE 高约 100%。

[0156] 对于本公开的半导体结构体,由各层厚度 (以 nm 计) 乘以各层铟含量 (以 % 计) 的乘积之和所定义的临界应变能 902 的值可以为约 1800 以下、约 2800 以下或者约 4500 以下。

[0157] 在本公开中,可以将包括图 6D 的生长层叠体 682 的多个 III 族氮化物层沉积为使生长层叠体 682 基本完全应变以与生长模板 113 的 In₅Ga₁₋₅N 晶种层 656 的晶体晶格匹配。在此类实施方式中,当生长层叠体 682 生长为基本完全应变时 (即,基本没有应变松弛),该生长层叠体可以继承 In₅Ga₁₋₅N 晶种层的晶体晶格。在本公开的某些实施方式中,In₅Ga₁₋₅N 晶种层可以展示出大于或等于约 3.189 埃的生长平面晶格参数,且所述生长层叠体可以展示出大于或等于约 3.189 埃的生长平面晶格参数。因此,在非限制性实例中,可将半导体结构体 100、200、300、400 和 500 形成为由完全应变的材料构成,并且可以具有上述生长平面晶格参数。在某些实施方式中,由于 GaN 基体层 112 生长得与 In₅Ga₁₋₅N 晶种层 656 晶格匹配,因而形成于 In₅Ga₁₋₅N 晶种层 656 上的 GaN 基体层 112 将以松弛方式生长。

[0158] 在其它实施方式中,可以将包括图 6D 的生长层叠体 682 的多个 III 族氮化物层沉积为使生长层叠体 682 部分松弛,即,生长层叠体 682 的晶格参数不同于下覆的 In₅Ga₁₋₅N 晶种层。在此类实施方式中,应变松弛百分比 (R) 可以定义为:

[0159]
$$R (\%) = \frac{a - a_s}{a_l - a_s} \times 100$$

[0160] 其中, a 是生长层叠体 682 的平均生长平面晶格参数, a_s 是 In₅Ga₁₋₅N 晶种的平均

生长平面晶格参数,而 a_1 是生长层叠体的平衡 (或自然状态) 平均生长平面晶格参数。例如,在某些实施方式中,生长层叠体 682 可以展示出小于约 0.5% 的应变松弛百分比 (R),在其它实施方式中生长层叠体 682 可以展示出小于约 10% 的应变松弛百分比 (R),且在另外的实施方式中生长层叠体 682 可以展示出小于约 50% 的应变松弛百分比 (R)。

[0161] 在外延沉积包含 III 族氮化物材料的半导体结构体的各个层之后,可以进行进一步加工以完成半导体结构体向如 LED 等发光器件的制造。例如,可以利用本领域已知和下文参照图 7 和图 8 简要描述的方法在 III 族氮化物材料层上形成电极接触部。

[0162] 图 7 中示出了由半导体结构体 100 制造的如 LED 等发光器件 700 的实例。虽然以下说明内容描述了用于从半导体结构体 100 制造发光器件的实施方式,但应该注意这类制造方法也可以应用于半导体结构体 200、300、400 和 500。

[0163] 更详细而言,可以移除半导体结构体的一部分由此使 GaN 基体层 112 的一部分暴露出。通过对半导体结构体 100 暴露出的 p- 接触层 100 的表面应用光敏化学物可以实现对半导体结构体 100 的选定部分的去除 (未示出)。在透过图案化的透明板进行电磁辐射曝光并随后显影之后,可以利用光敏层作为“掩模层”以便能够选择性移除 GaN 基体层 112 上的 III 族氮化物层。GaN 基体层 112 上方的 III 族氮化物层的选定部分的移除可以包括蚀刻过程,例如,湿式化学蚀刻和 / 或干式等离子体类蚀刻 (例如,反应性离子蚀刻、电感耦合等离子体蚀刻)。

[0164] 可以在暴露出的 GaN 基体层 112 的一部分上形成第一电极接触部 702。第一电极接触部 702 可以包括一种或多种金属,其可包括钛、铝、镍、金以及一种或多种其合金。可以在 p- 型接触层 104 的一部分上形成第二电极接触部 704。第二电极接触部 704 可以包括一个或多个金属层,其可包括镍、金、铂、银以及一种或多种其合金。形成第一电极接触部 702 和第二电极接触部 704 之后,可以使电流通过发光器件 700 以产生电磁辐射,例如,可见光形式的电磁辐射。应该注意,发光器件 700 在本领域中通常称为“横向器件”,因为第一电极接触部 702 和第二电极接触部 704 之间的电流通路的至少一部分包括横向通路。

[0165] 图 8 中示出了由半导体结构体 100 制造的如 LED 等发光器件 800 的另一实例。同样,虽然以下说明内容描述了用于从半导体结构体 100 制造发光器件的实施方式,但应该注意这类制造方法也可以应用于半导体结构体 200、300、400 和 500。

[0166] 更详细而言,可以从半导体结构体 100 移除生长模板 113 的全部或者一部分,从而能够使 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 层 656 暴露或者在某些实施方式中使 GaN 基体层 112 暴露出。生长模板 113 的全部或者一部分的移除可以包括一种或多种移除方法,包括湿式蚀刻、干式蚀刻、化学机械抛光、磨光和激光剥除。在移除生长模板 113 的全部或者一部分之后,可以如上文所述对 GaN 基体层 112 施加第一电极接触部 802。随后,可以对 p- 接触层 104 的一部分施加第二电极接触部 804,由此形成发光器件 800。形成第一电极接触部 802 和第二电极接触部 804 之后,可以使电流通过发光器件 800 以产生电磁辐射,例如,可见光形式的电磁辐射。应该注意,发光器件 800 在本领域中通常称为“纵向器件”,因为第一电极接触部 802 和第二电极接触部 804 之间的电流通路包括基本纵向的通路。

[0167] 除上文所述的用于制造非限制性示例性发光器件 700 和 800 的制造方法和工艺之外,应该注意,也可以利用本领域已知的另外的方法和工艺,例如,表面粗糙化以改善光提取、与金属载体结合以改善散热和本领域中称为“倒装键合 (flip-chip bonding)”的工艺

以及其它公知的制造方法。

[0168] 可以制造本公开实施方式中如 LED 等发光器件并将其用于其中并入有一个或多个 LED 的任何类型发光器件中。本公开实施方式的 LED 特别适合用在受益于在相对高功率下工作的 LED 并且需要相对高照度的应用中。例如,本公开的 LED 可以特别适合用在 LED 台灯和 LED 类灯泡中,后者可以用于建筑照明、街道照明、汽车照明等。

[0169] 本公开的另外的实施方式包括用于发光的照明器件,其包括本文所述的一种或多种 LED,例如图 7 的发光器件 700 和图 8 的发光器件 800。作为非限制性实例,照明器件可以如例如 2003 年 7 月 29 日授予 Baretz 等的美国专利 6,600,175 号(本文通过援引并入其整体公开内容)中描述,但包括本文所述的一种或多种 LED。

[0170] 图 14 示出了包含发光器件(如参照图 7 和 8 所述的器件 700、800)的本公开的照明器件 900 的示例实施方式。如图 14 所示,照明器件 900 可以包括容器 902,该容器 902 的至少一部分对于电磁辐射光谱的可见区中的电磁辐射至少基本透明。容器 902 可以包括例如非晶或晶体陶瓷材料(例如,玻璃)或聚合物材料。LED 800 设置在容器 902 内,且可安装在容器 902 内的支持结构体 904 上(例如,印刷电路板或其它基板)。照明器件 900 还可以包括第一电极接触结构体 906 和第二电极接触结构体 908。第一电极接触结构体 906 可以与 LED 的一个电极接触部(例如,第一电极接触部 802(图 8))电连通,而第二电极接触结构体 908 可以与 LED 的另一电极接触部(例如,第二电极接触部 804(图 8))电连通。作为非限制性实例,第一电极接触结构体 906 可以通过支持结构体 904 与第一电极接触部 804 电连通,并且可以使用导线 910 将第二电极接触结构体 908 与第二电极接触部 804 电连接。因此,可以在照明器件 900 的第一电极接触结构体 906 和第二电极接触结构体 908 之间施加电压,以在 LED 的第一电极接触部 802 和第二电极接触部 804 之间提供电压和对应的电流,由此导致 LED 发出辐射。

[0171] 可选地,照明器件 900 还可以包括荧光或磷光材料,该荧光或磷光材料会通过吸收容器 902 内的一个或多个 LED 800 所发射的电磁辐射被激活或激发而自身发射电磁辐射(例如,可见光)。例如,容器 902 的内表面 912 可以至少部分涂覆有此类荧光或磷光材料。一个或多个 LED 800 可以发射在一个或多个特定波长的电磁辐射,而所述荧光或磷光材料可以包括将发射不同可见波长辐射的不同材料的混合物,从而使照明器件 900 从容器 902 向外发射白光。各种类型的荧光或磷光材料是本领域中已知的并且可以用在本公开的照明器件的实施方式中。例如,一些这类材料公开在前述美国专利 6,600,175 号中。

[0172] 下文描述本公开的实施方式的另外的非限制性实例。

[0173] 实施方式 1:一种半导体结构体,其包含:GaN 基体层,所述 GaN 基体层具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面;设置在所述基体层上的有源区,所述有源区包含多个 InGa_wN 层,所述多个 InGa_wN 层包含至少一个 In_wGa_{1-w}N 阱层和至少一个 In_bGa_{1-b}N 势垒层,其中 $0.10 \leq w \leq 0.40$, $0.01 \leq b \leq 0.10$;设置在所述有源区与所述 GaN 基体层相对的一侧上的电子阻挡层;设置在所述电子阻挡层的 p-型主体层,所述 p-型主体层包含 In_pGa_{1-p}N,其中 $0.00 \leq p \leq 0.08$;和设置在所述 p-型主体层上的 p-型接触层,所述 p-型接触层包含 In_cGa_{1-c}N,其中 $0.00 \leq c \leq 0.10$ 。

[0174] 实施方式 2:实施方式 1 的半导体结构体,其中,所述基体层还包含生长模板,所述生长模板包含:支持衬底;和设置在所述支持衬底上的 In_sGa_{1-s}N 晶种层,其中所述

$\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层的生长平面是生长平面晶格参数大于或等于约 3.189 埃的极性平面,其中 $0.02 \leq s \leq 0.05$,且其中所述 GaN 基体层与所述 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层的生长平面基本晶格匹配。

[0175] 实施方式 3:实施方式 2 的半导体结构体,其还包括设置在 $\text{In}_s\text{Ga}_{1-s}\text{N}$ 晶种层与所述 GaN 基体层相对的一侧上的 $\text{In}_{sp}\text{Ga}_{1-sp}\text{N}$ 间隔层,其中 $0.01 \leq sp \leq 0.10$ 。

[0176] 实施方式 4:实施方式 1 至 3 中任一个的半导体结构体,其还包括设置在有源区和电子阻挡层之间的 $\text{In}_{cp}\text{Ga}_{1-cp}\text{N}$ 封端层,其中 $0.01 \leq cp \leq 0.10$ 。

[0177] 实施方式 5:实施方式 1 至 4 中任一个的半导体结构体,其中,所述电子阻挡层包含 $\text{In}_e\text{Ga}_{1-e}\text{N}$,其中 $0.01 \leq e \leq 0.02$ 。

[0178] 实施方式 6:实施方式 1 至 5 中任一个的半导体结构体,其中,所述电子阻挡层至少基本由 GaN 组成。

[0179] 实施方式 7:实施方式 1 至 6 中任一个的半导体结构体,其中,所述电子阻挡层至少基本由 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 组成,其中 $0.1 \leq e \leq 0.2$ 。

[0180] 实施方式 8:实施方式 7 的半导体结构体,其中,所述电子阻挡层具有包含交替的 GaN 层和 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 层的超晶格结构,其中 $0.1 \leq e \leq 0.2$ 。

[0181] 实施方式 9:实施方式 1 至 8 中任一个的半导体结构体,其还包含设置在所述 GaN 基体层和有源区之间的电子阻断层,其中,所述电子阻断层包含 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$,其中 $0.01 \leq st \leq 0.20$ 。

[0182] 实施方式 10:实施方式 9 的半导体结构体,其中,所述电子阻断层具有包含交替的 GaN 层和 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 层的超晶格结构,其中 $0.01 \leq st \leq 0.2$ 。

[0183] 实施方式 11:实施方式 1 至 10 中任一个的半导体结构体,其还包含设置在所述 GaN 基体层和所述有源区之间的应变消除层,所述应变消除层具有包含交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层的超晶格结构,其中 $0.01 \leq sra \leq 0.10$, $0.01 \leq srb \leq 0.10$,且其中 sra 大于 srb。

[0184] 实施方式 12:实施方式 1 至 11 中任一个的半导体结构体,其中,所述有源区还包含附加势垒层,所述附加势垒层包含设置在所述至少一个阱层和所述至少一个势垒层之间的 GaN。

[0185] 实施方式 13:实施方式 1 至 12 中任一个的半导体结构体,其中,所述半导体结构体的临界应变能为约 4500 以下。

[0186] 实施方式 14:实施方式 1 至 13 中任一个的半导体结构体,其中,所述 GaN 基体层、所述有源区、所述电子阻挡层、所述 p-型主体层和所述 p-型接触层限定了展示出小于 1% 的应变松弛百分比的生长层叠体。

[0187] 实施方式 15:实施方式 1 至 14 中任一个的半导体结构体,其中,所述 p-型接触层至少基本由 GaN 组成。

[0188] 实施方式 16:实施方式 1 至 15 中任一个的半导体结构体,其还包含处于所述 GaN 基体层的至少一部分上的第一电极接触部和处于所述 p-型接触层的至少一部分上的第二电极接触部。

[0189] 实施方式 17:一种发光器件,所述发光器件包含:GaN 基体层,所述 GaN 基体层具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面;设置在所述基体层上的有源

区,所述有源区包含多个 InGa_N 层,所述多个 InGa_N 层包含至少一个阱层和至少一个势垒层;设置在所述有源区上的电子阻挡层;设置在所述电子阻挡层的 p- 型 In_pGa_{1-p}N 主体层;和设置在所述 p- 型 In_pGa_{1-p}N 主体层上的 p- 型 In_cGa_{1-c}N 接触层,其中,所述发光器件的临界应变能为 4500 以下。

[0190] 实施方式 18:实施方式 17 的发光器件,其中,所述至少一个阱层包括 In_wGa_{1-w}N,其中 $0.10 \leq w \leq 0.40$ 。

[0191] 实施方式 19:实施方式 17 或实施方式 18 的发光器件,其中,所述至少一个势垒层包括 In_bGa_{1-b}N,其中 $0.01 \leq b \leq 0.10$ 。

[0192] 实施方式 20:实施方式 17 至 19 中任一个的发光器件,其中,所述电子阻挡层至少基本由 GaN 组成。

[0193] 实施方式 21:实施方式 17 至 20 中任一个的发光器件,其中,在 p- 型 In_pGa_{1-p}N 主体层中, $0.00 \leq p \leq 0.08$ 。

[0194] 实施方式 22:实施方式 17 至 21 中任一个的发光器件,其中,在所述 p- 型 In_cGa_{1-c}N 接触层中, $0.01 \leq c \leq 0.10$ 。

[0195] 实施方式 23:实施方式 17 至 22 中任一个的发光器件,其中,所述 p- 型 In_cGa_{1-c}N 接触层基本由 GaN 组成。

[0196] 实施方式 24:实施方式 17 至 23 中任一个的发光器件,其还包括处于所述 GaN 基体层的至少一部分上的第一电极接触部和处于所述 p- 型 In_cGa_{1-c}N 接触层的至少一部分上的第二电极接触部。

[0197] 实施方式 25:实施方式 17 至 24 中任一个的发光器件,其中,所述 GaN 基体层、所述有源区、所述电子阻挡层、所述 p- 型主体层和所述 p- 型接触层限定了展示出小于 1% 的应变松弛百分比的生长层叠体。

[0198] 实施方式 26:一种形成半导体结构体的方法,其包括:设置 GaN 基体层,所述 GaN 基体层具有生长平面晶格参数大于或等于约 3.189 埃的极性生长平面;在所述基体层上生长多个 InGa_N 层以形成有源区,生长多个 InGa_N 层的步骤包括生长至少一个包含 In_wGa_{1-w}N 的阱层和在所述至少一个阱层上生长至少一个势垒层,所述至少一个势垒层包含 In_bGa_{1-b}N,其中 $0.10 \leq w \leq 0.40$,且其中 $0.01 \leq b \leq 0.10$;在所述有源区上生长电子阻挡层;在所述电子阻挡层上生长 p- 型 In_pGa_{1-p}N 主体层,其中 $0.00 \leq p \leq 0.08$;和在所述 p- 型 In_pGa_{1-p}N 主体层上生长 p- 型 In_cGa_{1-c}N 接触层,其中 $0.00 \leq c \leq 0.10$ 。

[0199] 实施方式 27:实施方式 26 的方法,其中,形成所述基体层的步骤还包括形成生长模板,形成所述生长模板的步骤包括:提供支持衬底;和将 In_sGa_{1-s}N 晶种层键合至所述支持衬底,其中,所述 In_sGa_{1-s}N 晶种层的生长平面是生长平面晶格参数大于或等于约 3.189 埃的极性平面,且其中,在所述 In_sGa_{1-s}N 晶种层中, $0.02 \leq s \leq 0.05$ 。

[0200] 实施方式 28:实施方式 27 的方法,其还包括在 In_sGa_{1-s}N 晶种层与所述 GaN 基体层相对的一侧上生长 In_{sp}Ga_{1-sp}N 间隔层,其中,在所述 In_{sp}Ga_{1-sp}N 间隔层中, $0.01 \leq sp \leq 0.10$ 。

[0201] 实施方式 29:实施方式 26 至 28 中任一个的方法,其还包括在所述有源区和所述电子阻挡层之间设置 In_{cp}Ga_{1-cp}N 封端层,其中,在所述 In_{cp}Ga_{1-cp}N 封端层中, $0.01 \leq cp \leq 0.10$ 。

[0202] 实施方式 30:实施方式 26 至 29 中任一个的方法,其中,生长所述电子阻挡层的步

骤包括将所述电子阻挡层生长为至少基本由 $\text{In}_e\text{Ga}_{1-e}\text{N}$ 组成,其中 $0.00 \leq e \leq 0.02$ 。

[0203] 实施方式 31:实施方式 26 至 30 中任一个的方法,其中,生长所述电子阻挡层的步骤包括将所述电子阻挡层生长为至少基本由 GaN 组成。

[0204] 实施方式 32:实施方式 26 至 31 中任一个的方法,其中,生长所述电子阻挡层的步骤包括将所述电子阻挡层生长为至少基本由 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 组成,其中 $0.1 \leq e \leq 0.2$ 。

[0205] 实施方式 33:实施方式 26 至 29 中任一个的方法,其中,生长所述电子阻挡层的步骤包括将所述电子阻挡层生长为具有包含交替的 GaN 层和 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ 层的超晶格结构,其中 $0.1 \leq e \leq 0.2$ 。

[0206] 实施方式 34:实施方式 26 至 33 中任一个的方法,其还包括生长设置在所述 GaN 基体和所述有源区之间的电子阻断层,其中,所述电子阻断层至少基本由 $\text{Al}_{st}\text{Ga}_{1-st}\text{N}$ 组成,其中 $0.01 \leq st \leq 0.20$ 。

[0207] 实施方式 35:实施方式 26 至 34 中任一个的方法,其还包括生长设置在所述 GaN 基体和所述有源区之间的应变消除层,所述应变消除层具有包含交替的 $\text{In}_{sra}\text{Ga}_{1-sra}\text{N}$ 层和 $\text{In}_{srb}\text{Ga}_{1-srb}\text{N}$ 层的超晶格结构,其中 $0.01 \leq sra \leq 0.10$, $0.01 \leq srb \leq 0.10$,且其中 sra 大于 srb。

[0208] 实施方式 36:实施方式 26 至 35 中任一个的方法,其中,形成所述有源区的步骤还包括生长一个或多个包含 GaN 的附加势垒层,所述附加势垒层设置在所述至少一个阱层和所述至少一个势垒层之间。

[0209] 实施方式 37:实施方式 26 至 36 中任一个的方法,其中,所述 GaN 基体层、所述有源区、所述电子阻挡层、所述 p-型主体层和所述 p-型接触层共同限定了展示出小于 1% 的应变松弛百分比的生长层叠体。

[0210] 实施方式 38:实施方式 37 的方法,其还包括形成临界应变能为约 2800 以下的生长层叠体。

[0211] 实施方式 39:实施方式 26 至 38 中任一个的方法,其中,生长 p-型接触层的步骤包括将所述 p-型接触层生长为至少基本由 GaN 组成。

[0212] 实施方式 40:实施方式 37 或实施方式 38 的方法,其还包括在压力为约 50mTorr ~ 约 500mTorr 下于单个化学气相沉积系统中生长所述生长层叠体。

[0213] 实施方式 41:实施方式 26 至 40 中任一个的方法,其还包括在使三甲基镓 (TMI) 和三乙基镓 (TMG) 流动通过反应室时在反应室内生长 p-型 $\text{In}_p\text{Ga}_{1-p}\text{N}$ 主体层,其中,所述三甲基镓 (TMI) 的流速与所述三乙基镓 (TMG) 的流速的流量比 (%) 为约 50% ~ 约 95%。

[0214] 上文所描述的本公开的示例实施方式不对本发明的范围进行限制,因为这些实施方式仅仅是本发明的实施方式的实例,本发明由后附权利要求书及其法律等价物的范围所限定。任何等同实施方式均应在本发明的范围内。事实上,从上述说明出发,除本文显示和描述的那些实施方式以外,本公开的各种变化形式(例如所描述要素的交替有用组合)对于本领域技术人员将变得显而易见。这些变化形式和实施方式也应落入所附权利要求书的范围内。

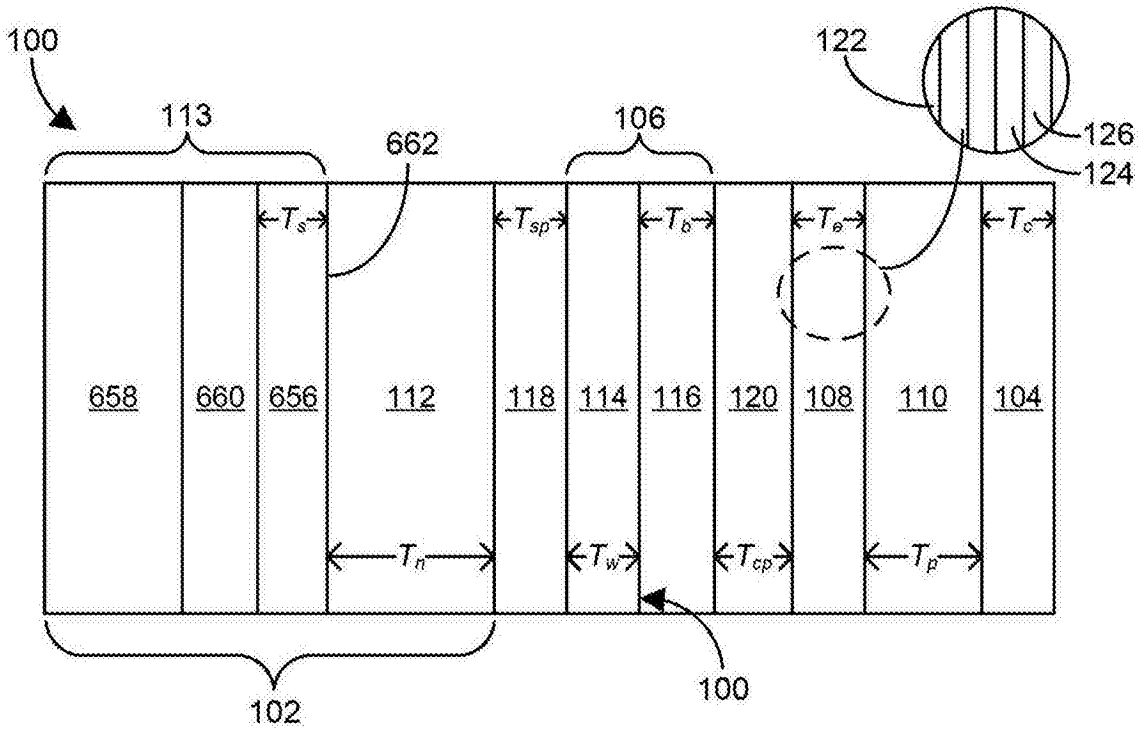


图 1A

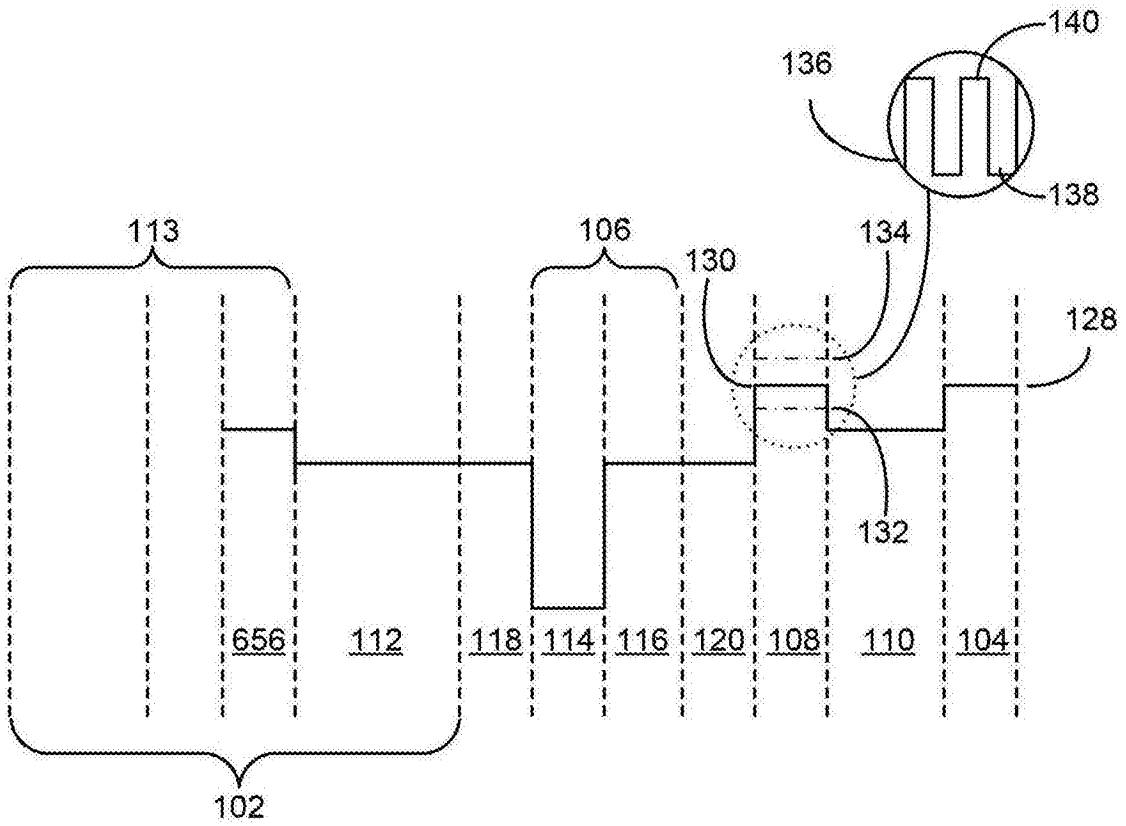


图 1B

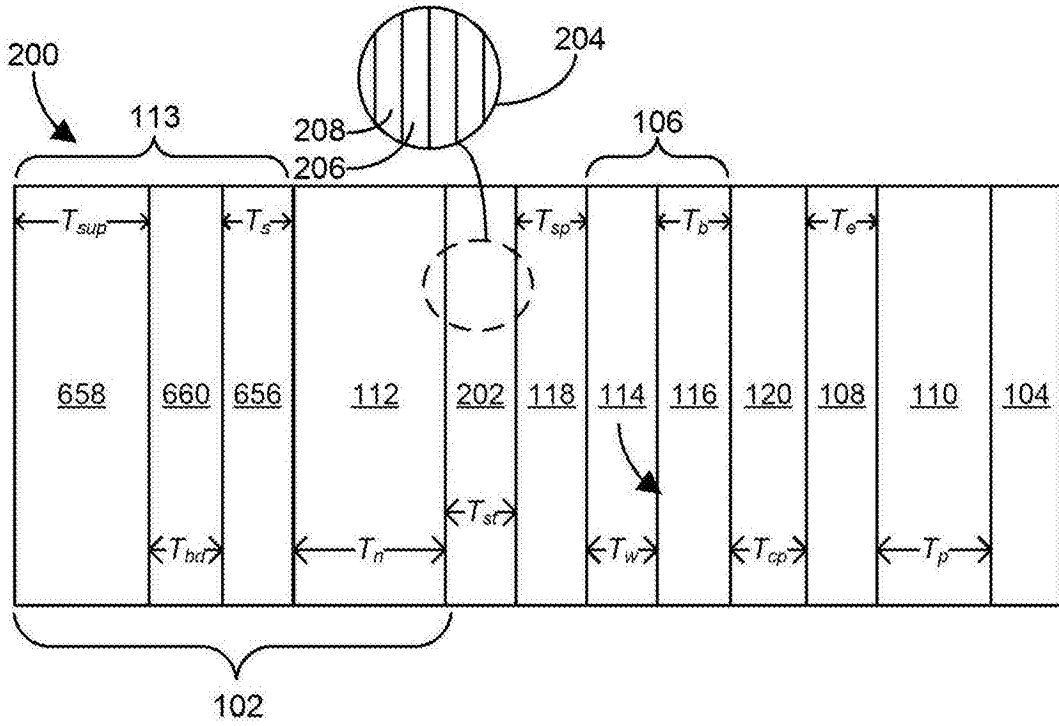


图 2A

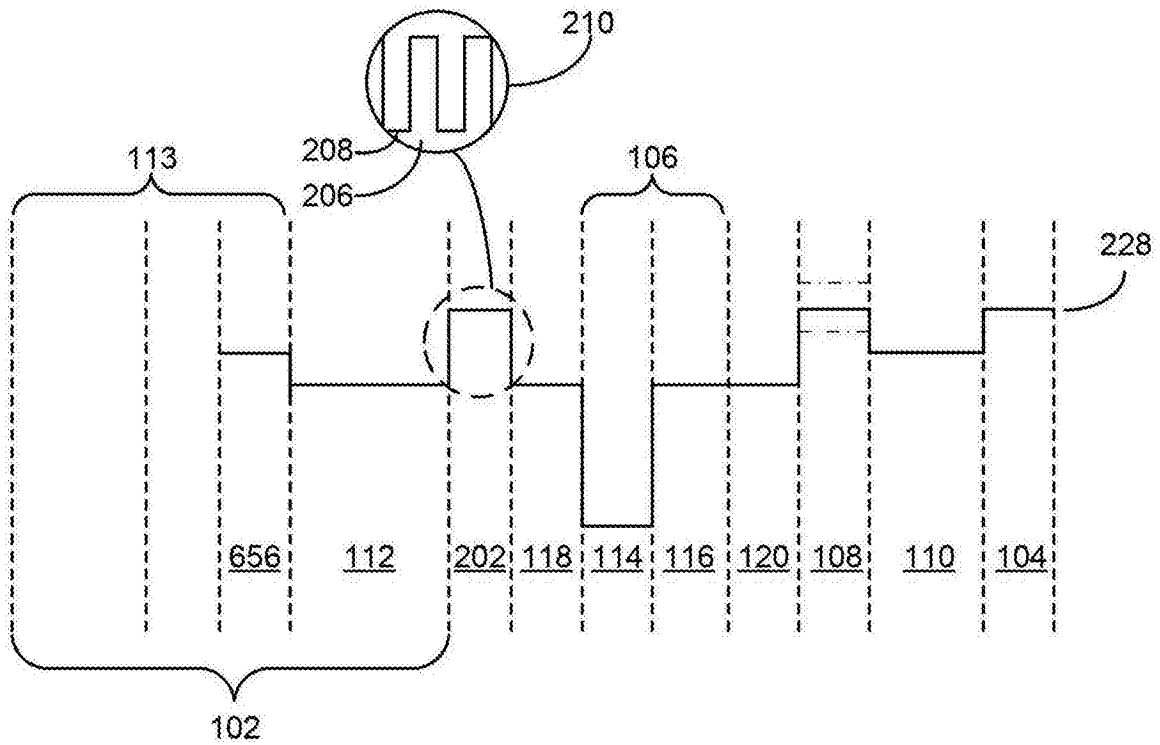


图 2B

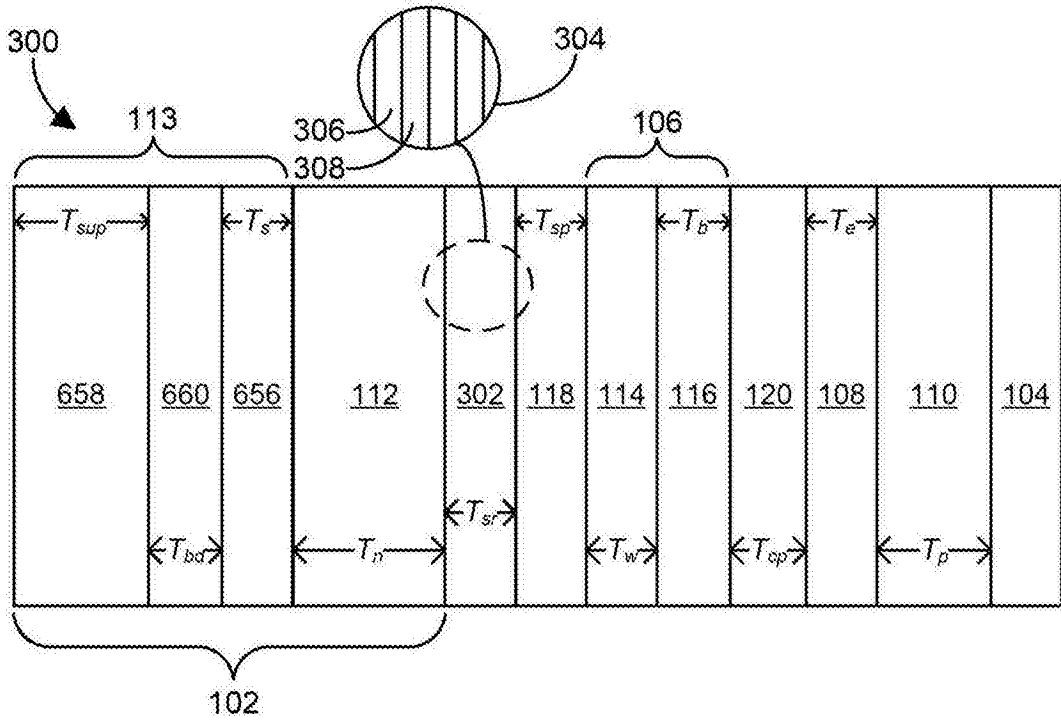


图 3A

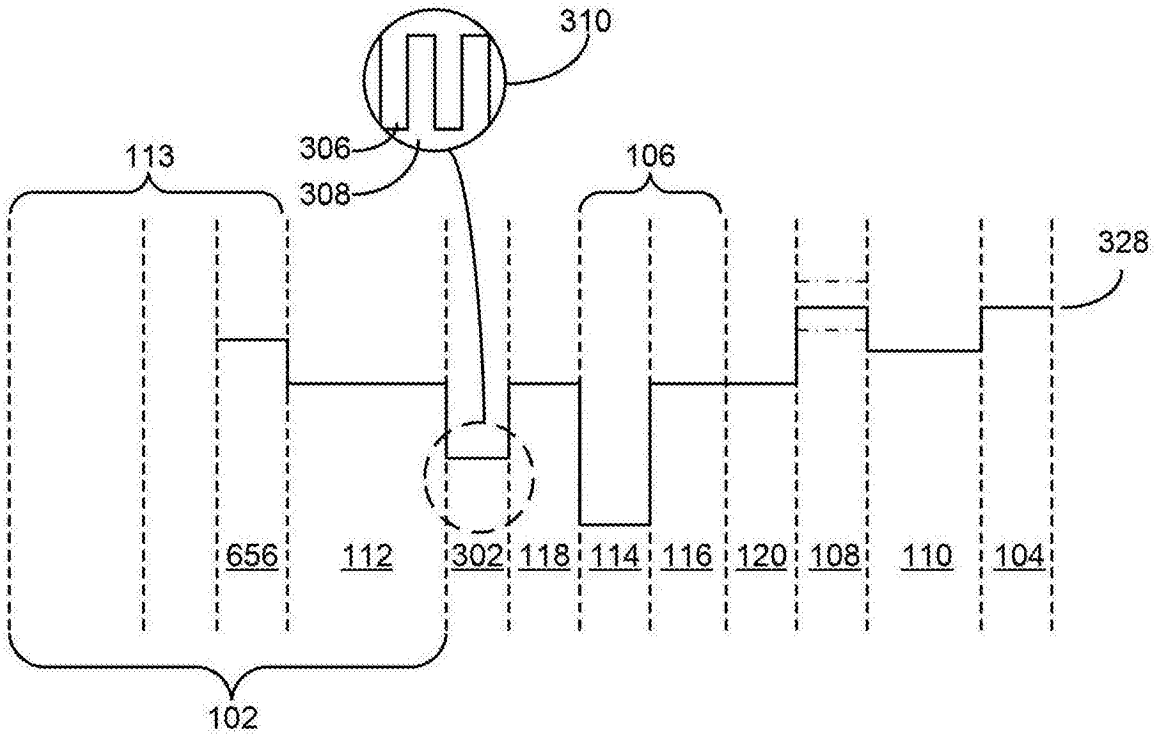


图 3B

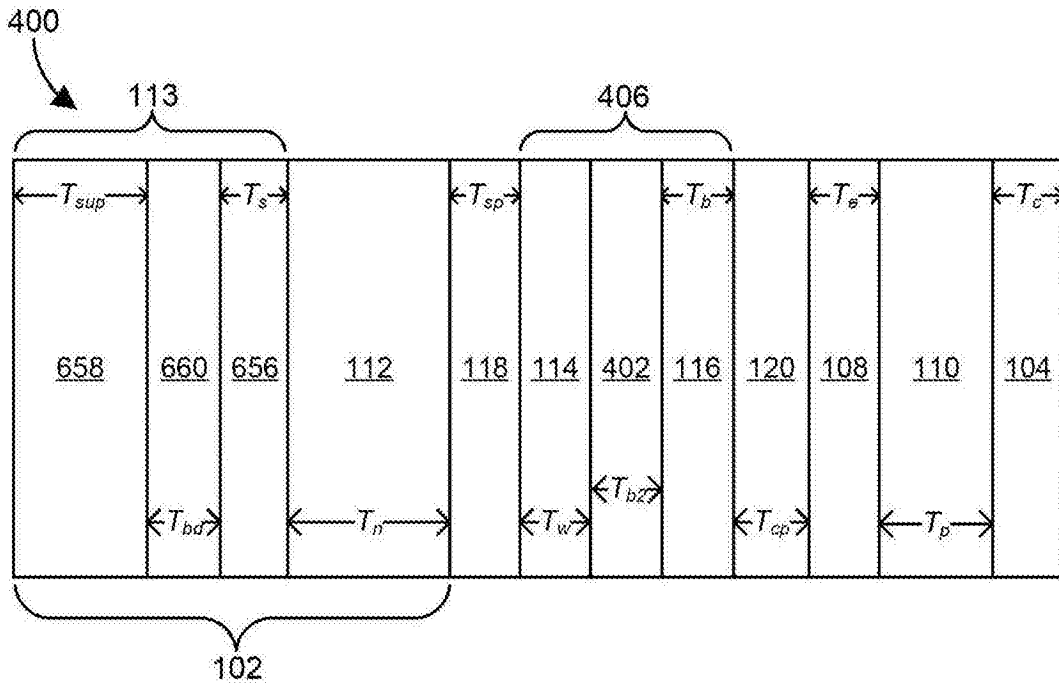


图 4A

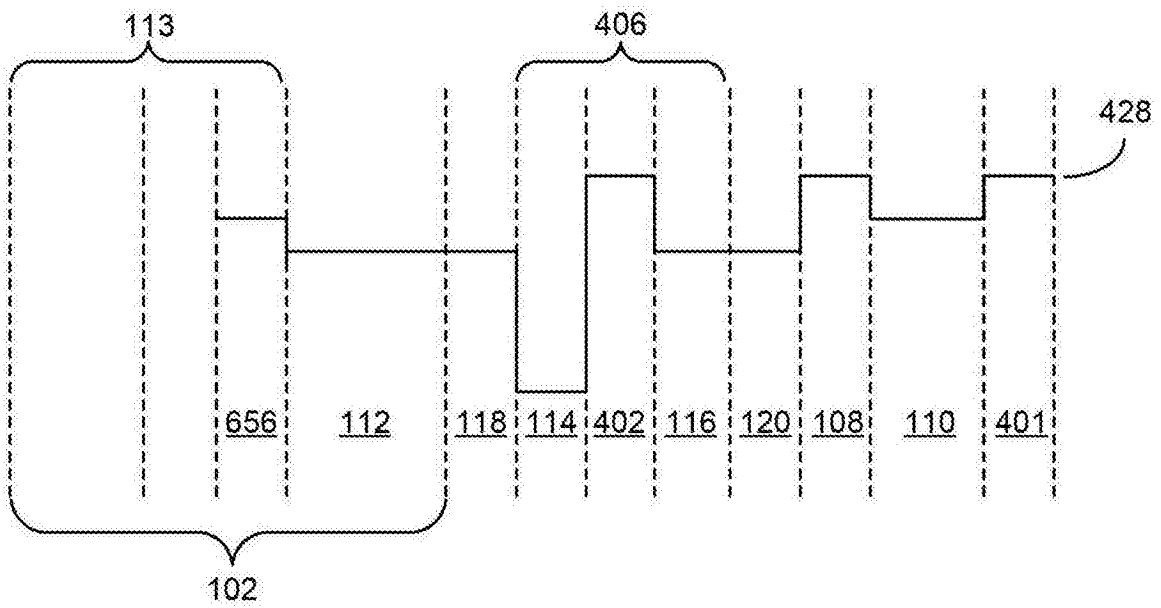


图 4B

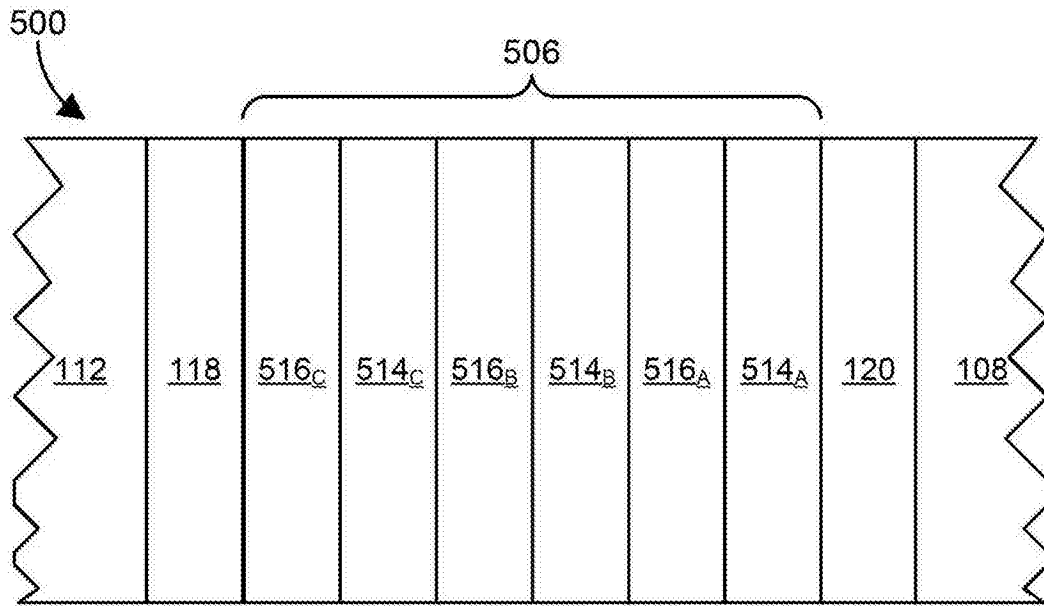


图 5A

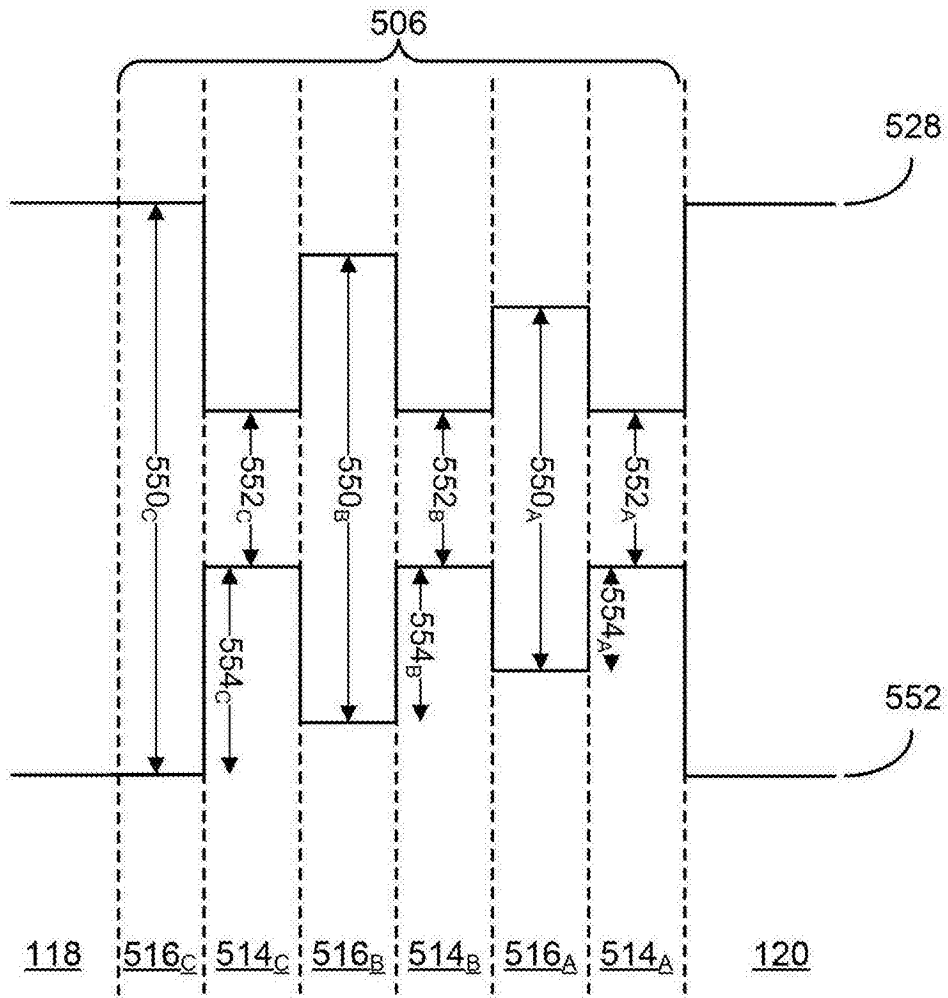


图 5B

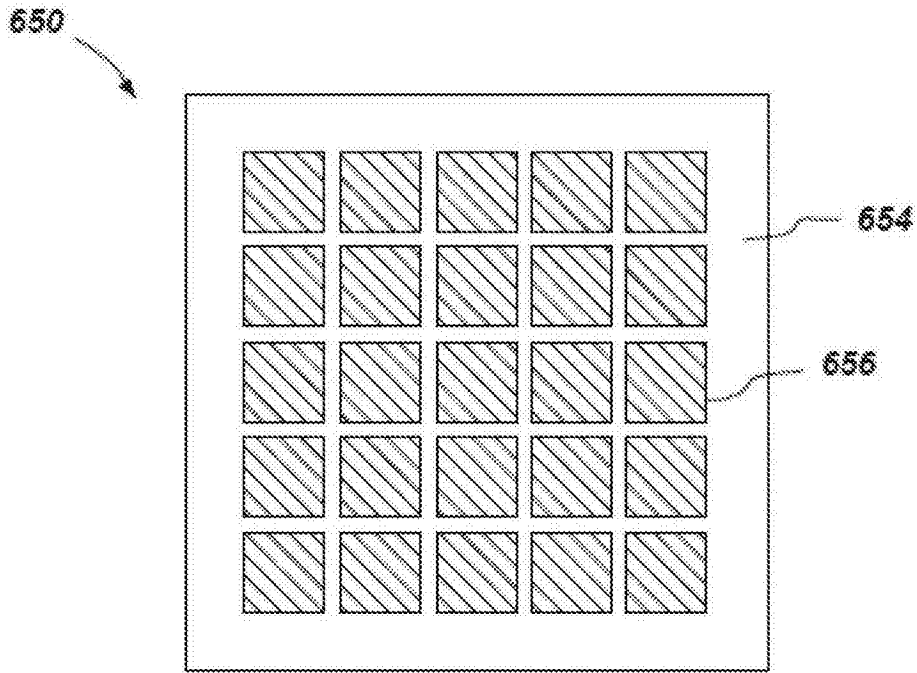


图 6A

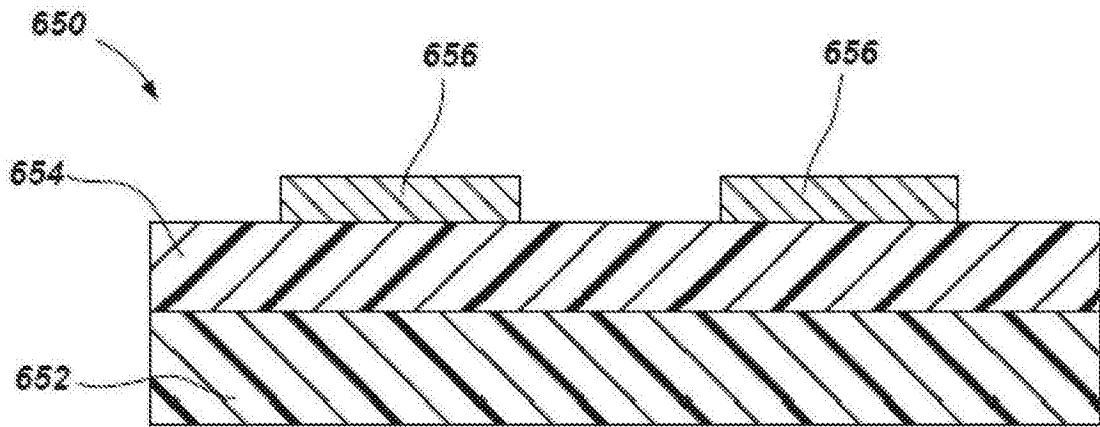


图 6B

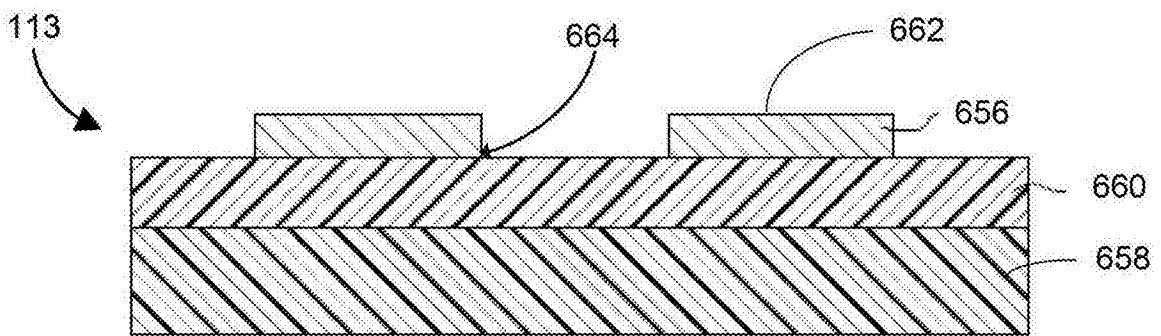


图 6C

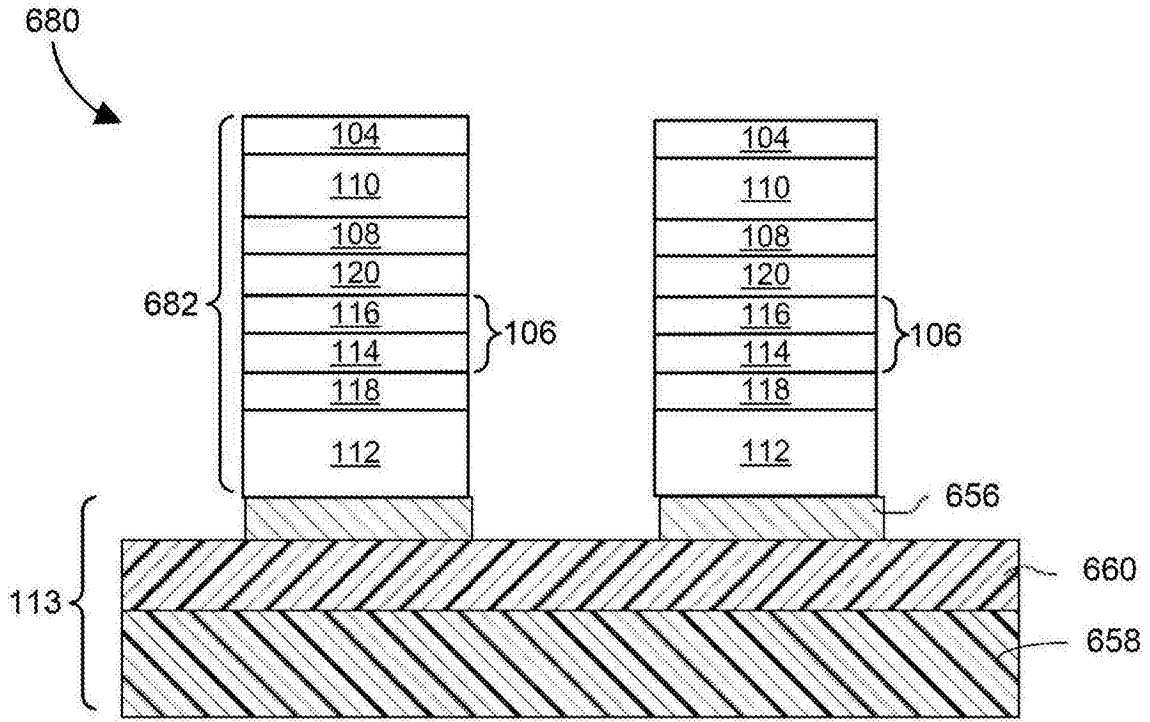


图 6D

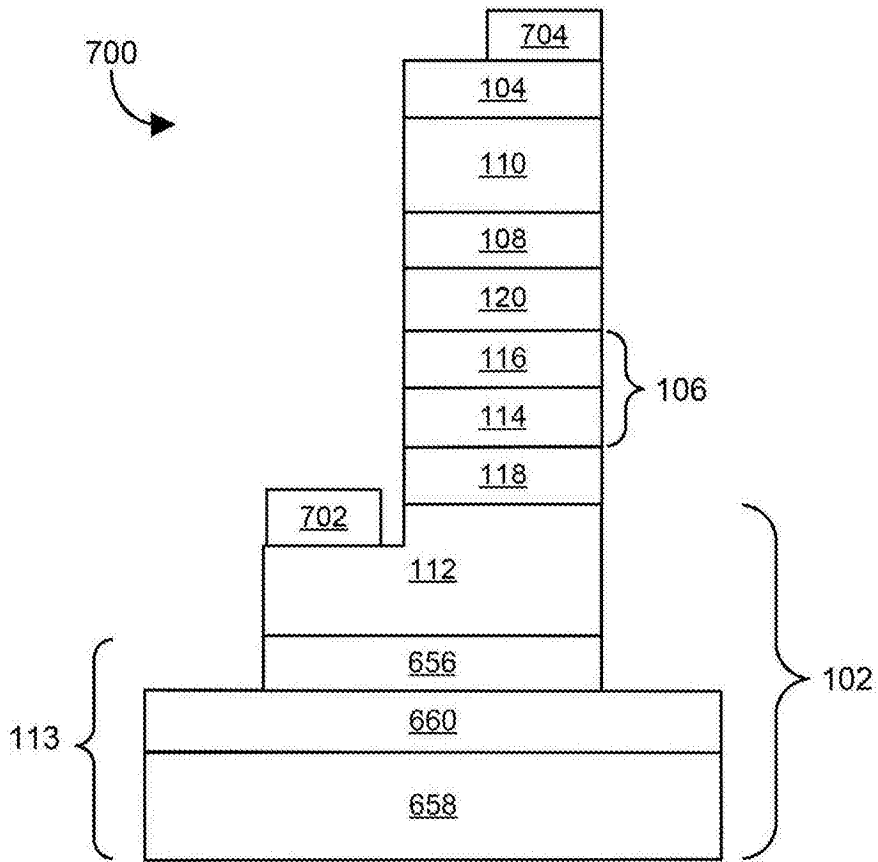


图 7

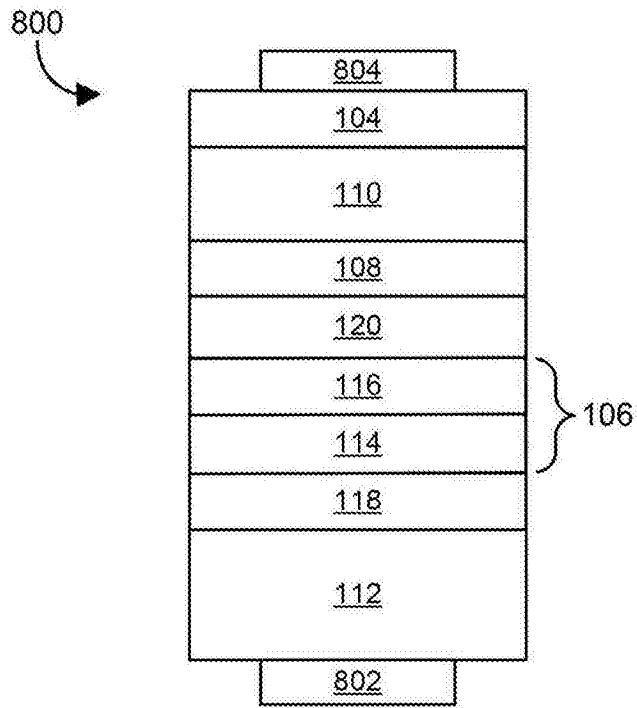


图 8

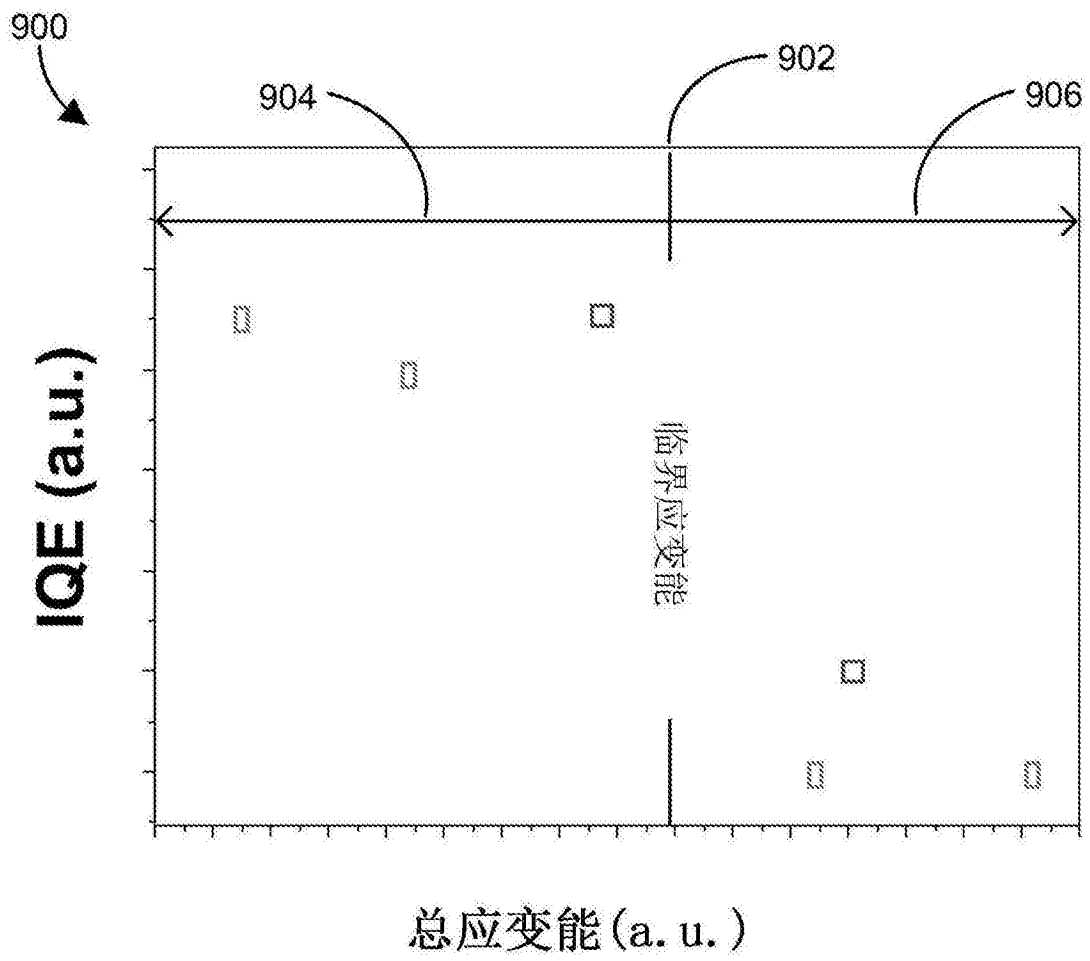


图 9

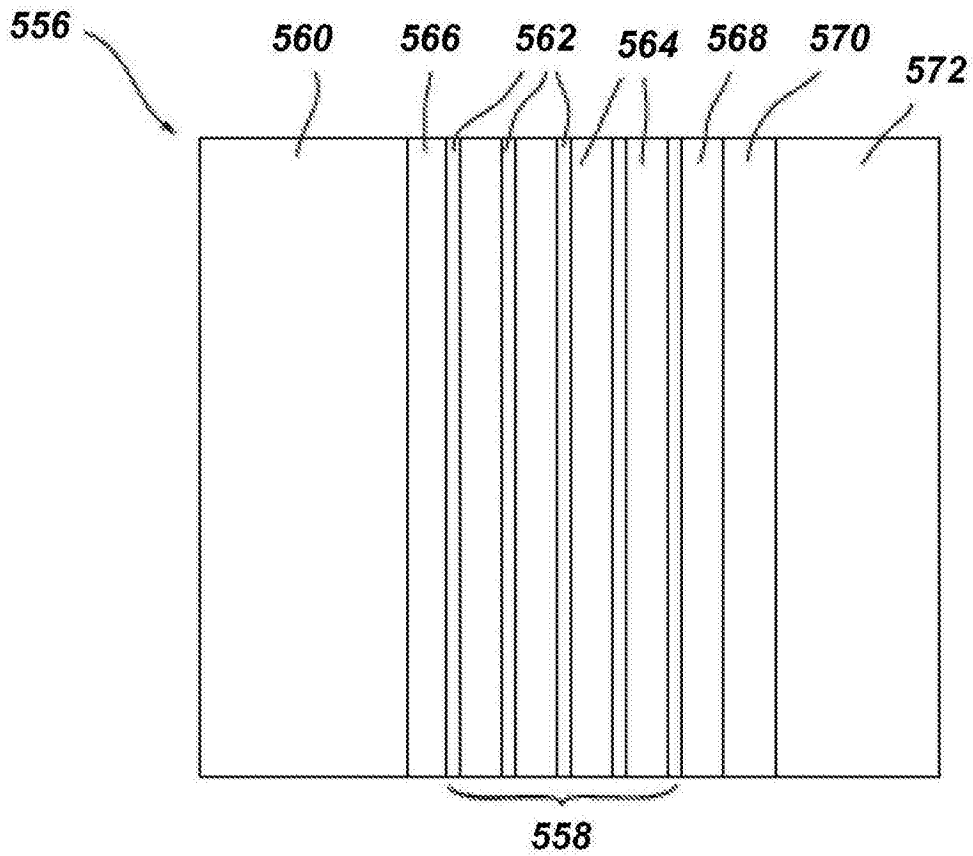


图 10A

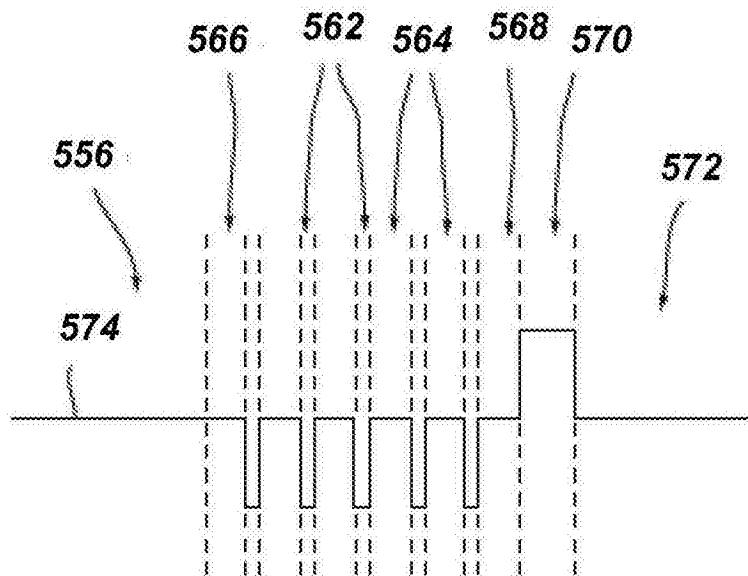


图 10B

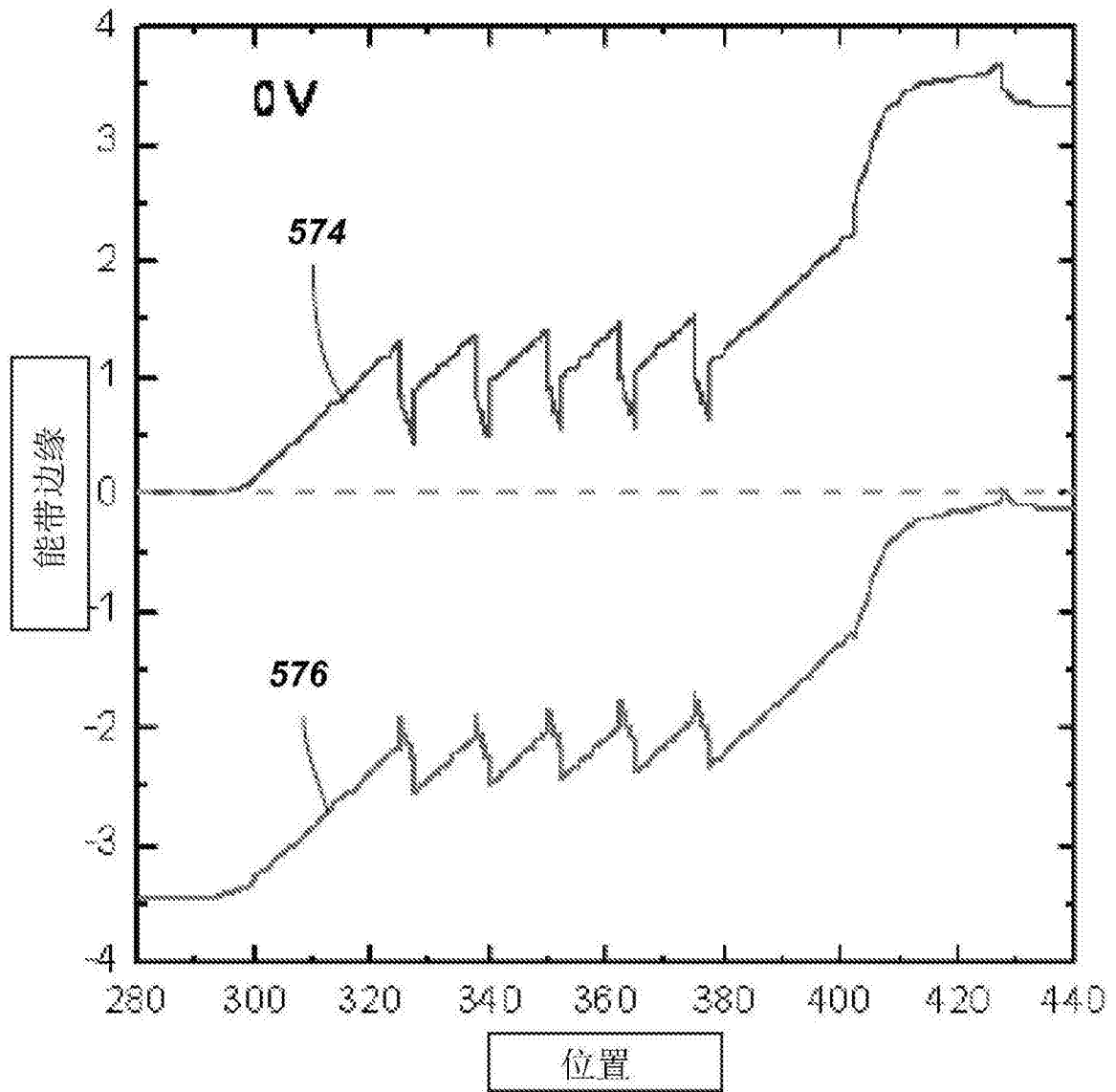


图 11A

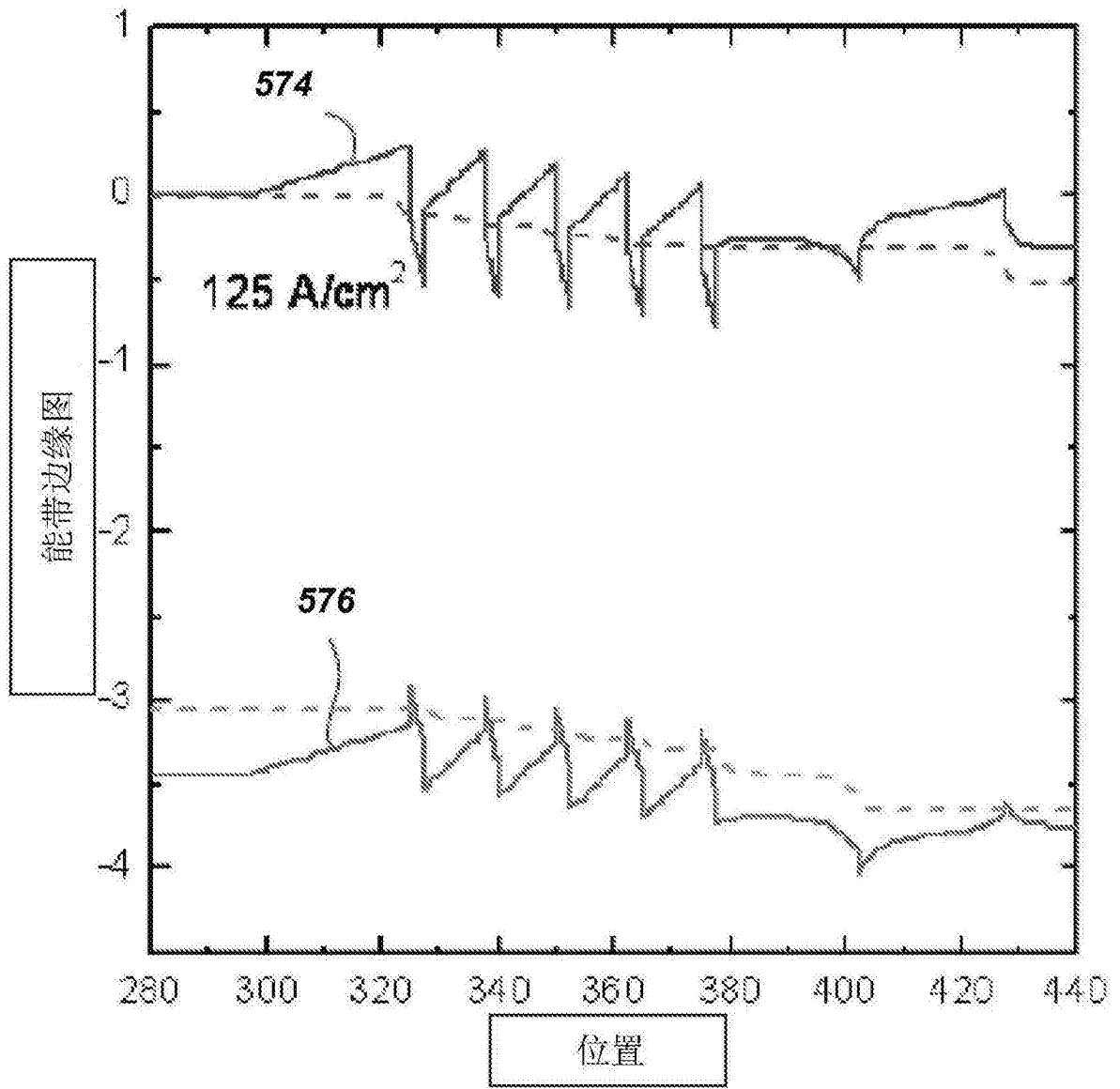


图 11B

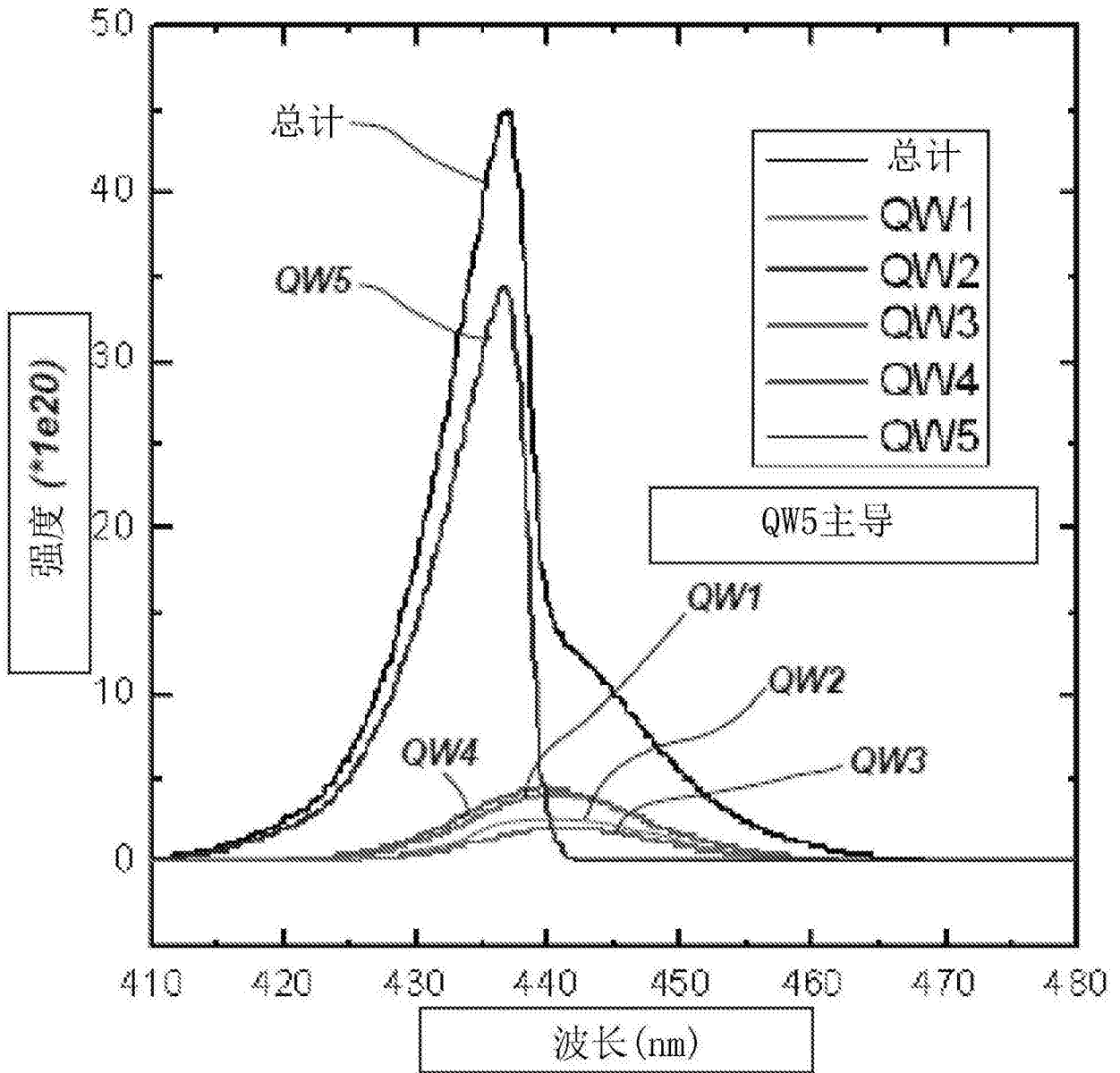


图 11C

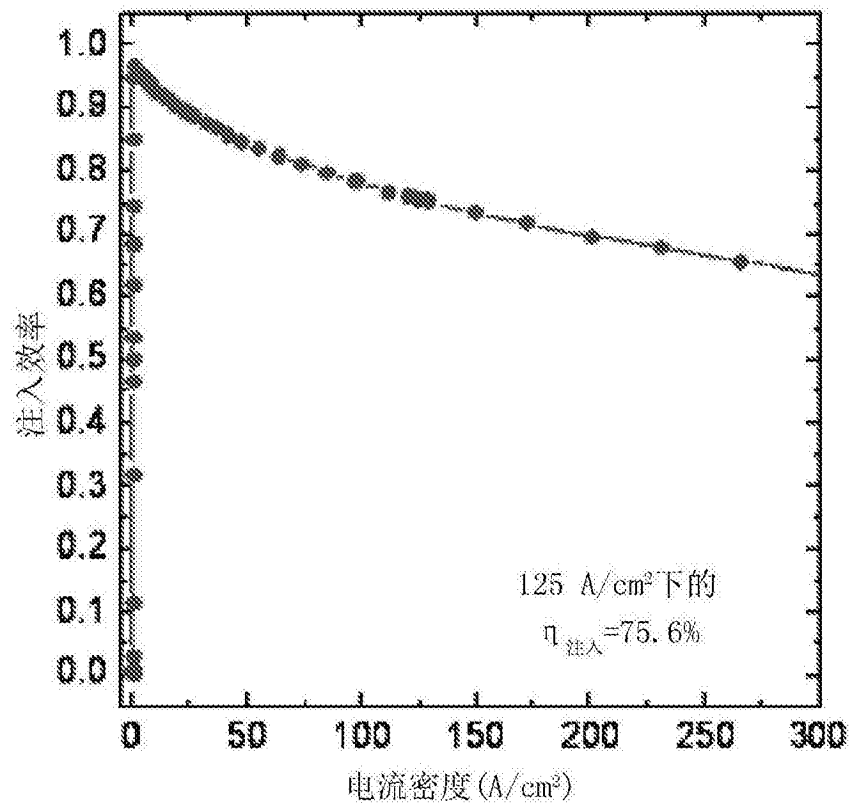


图 11D

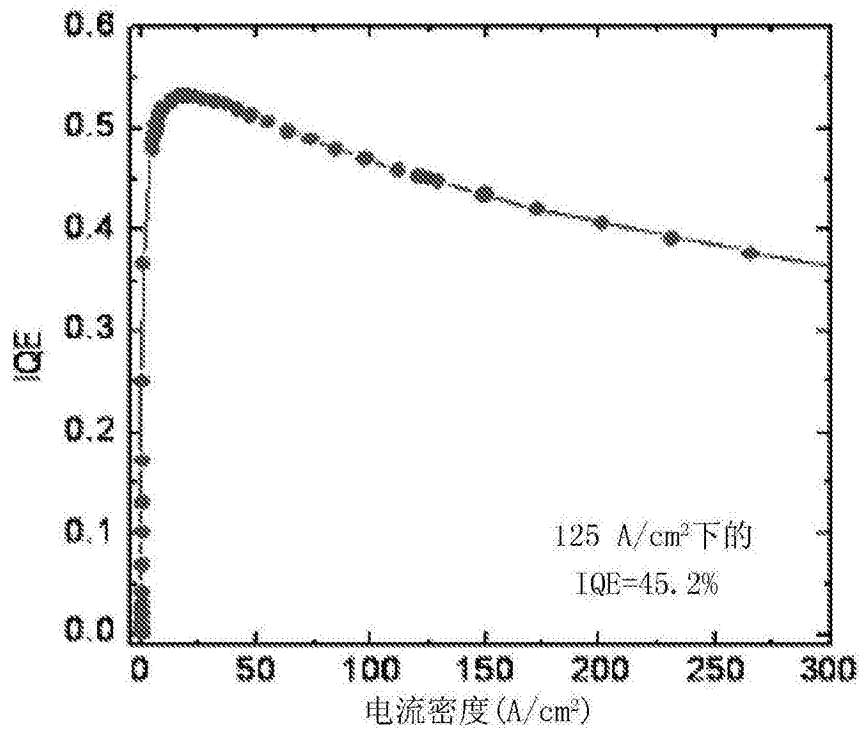


图 11E

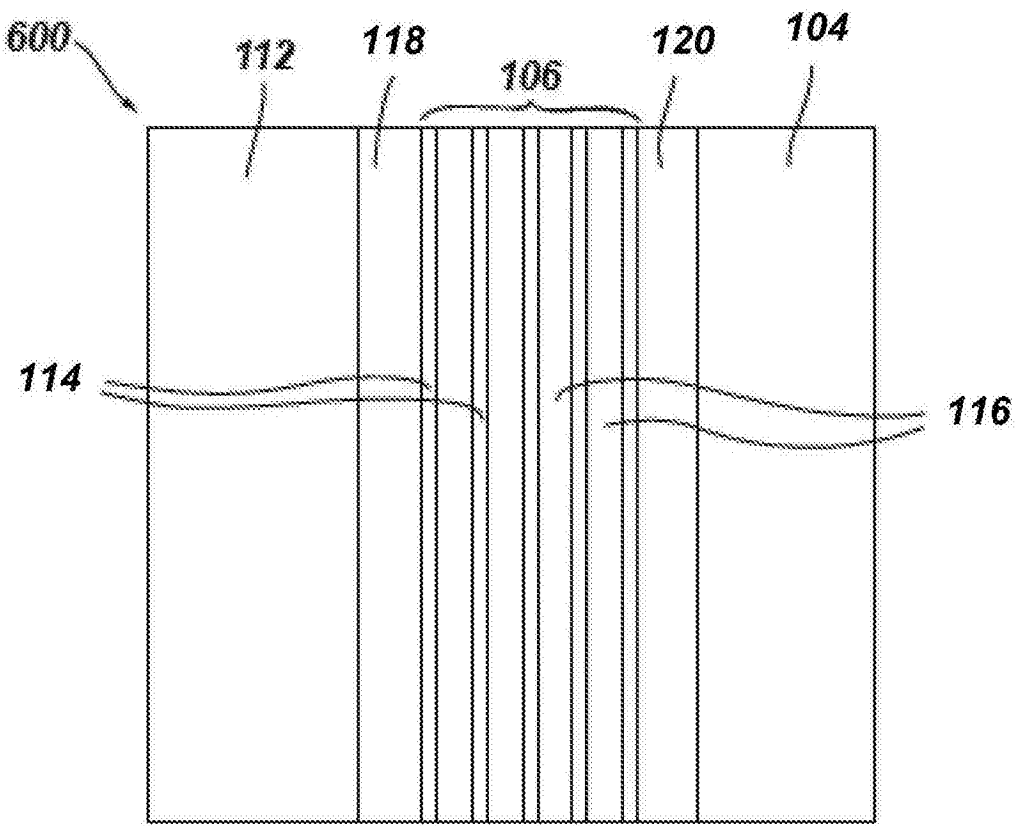


图 12A

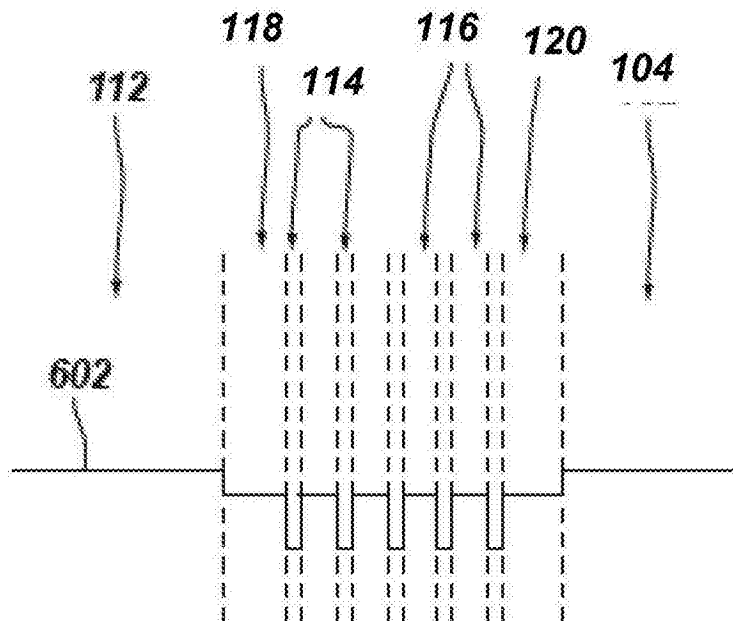


图 12B

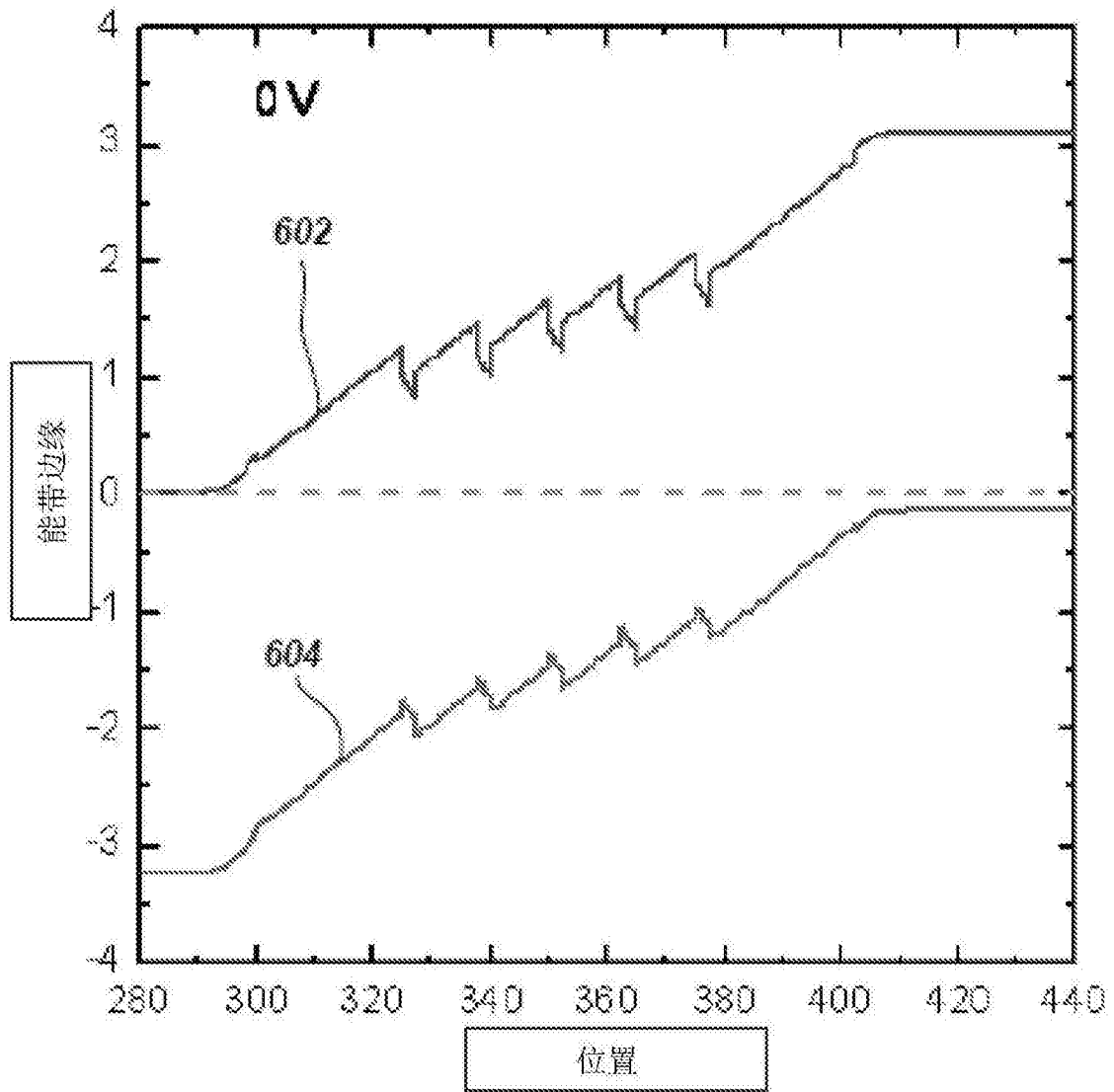


图 13A

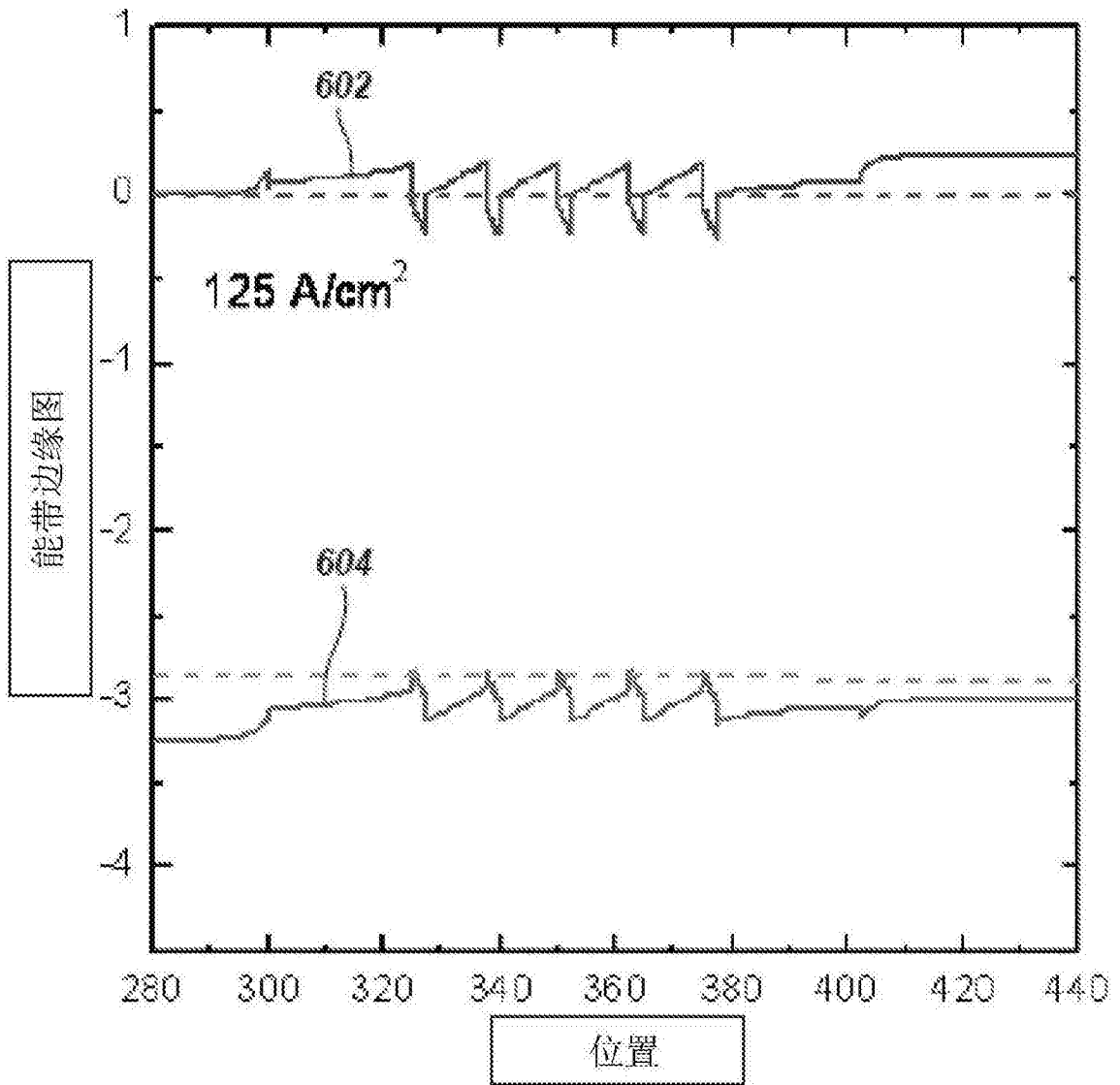


图 13B

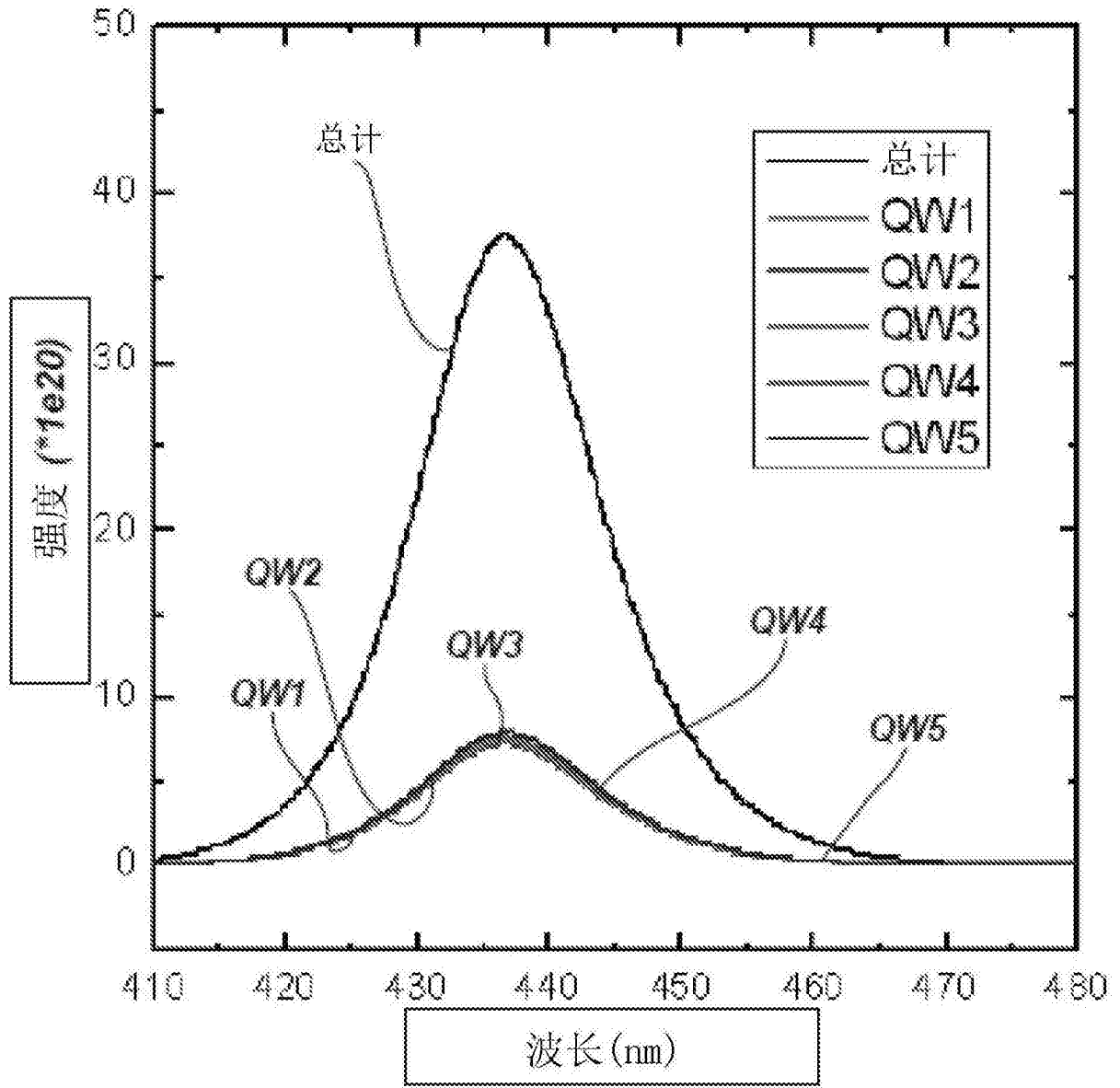


图 13C

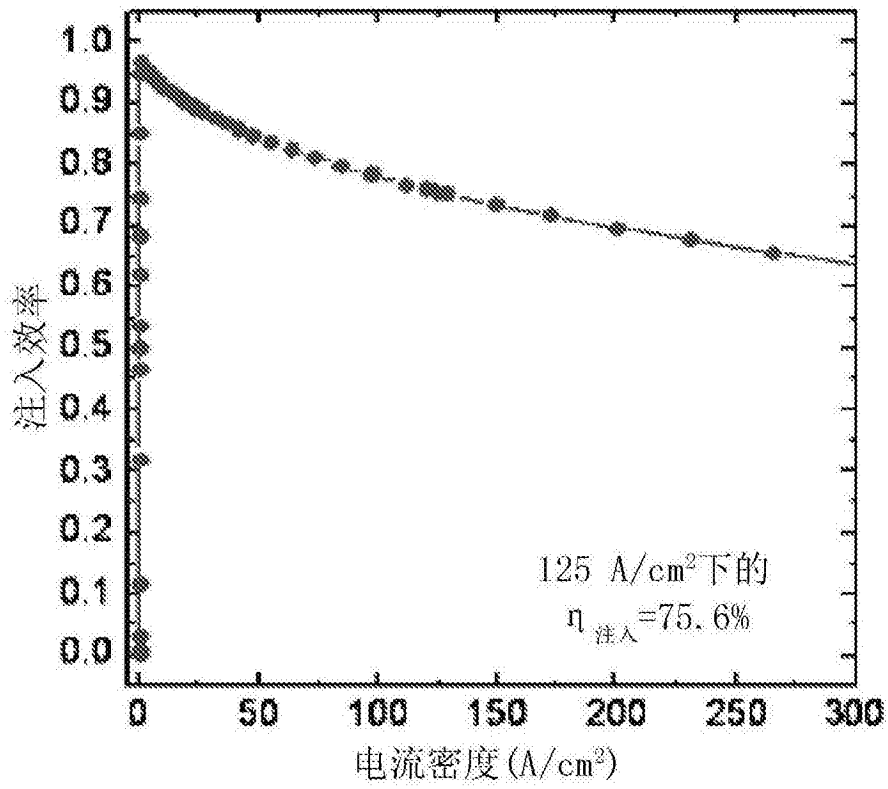


图 13D

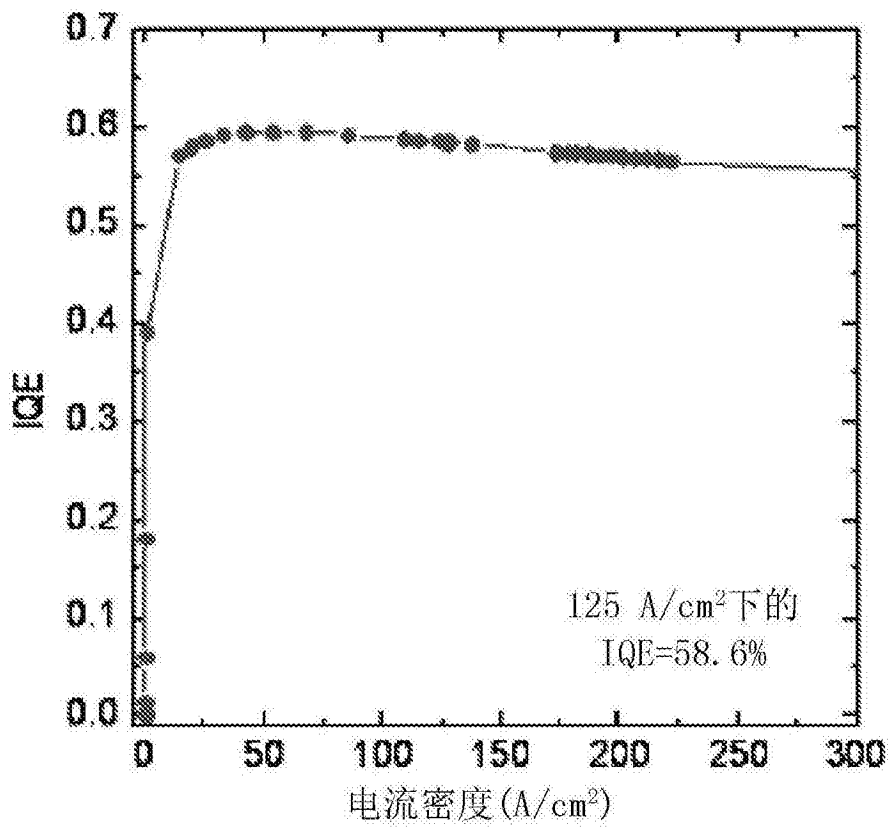


图 13E

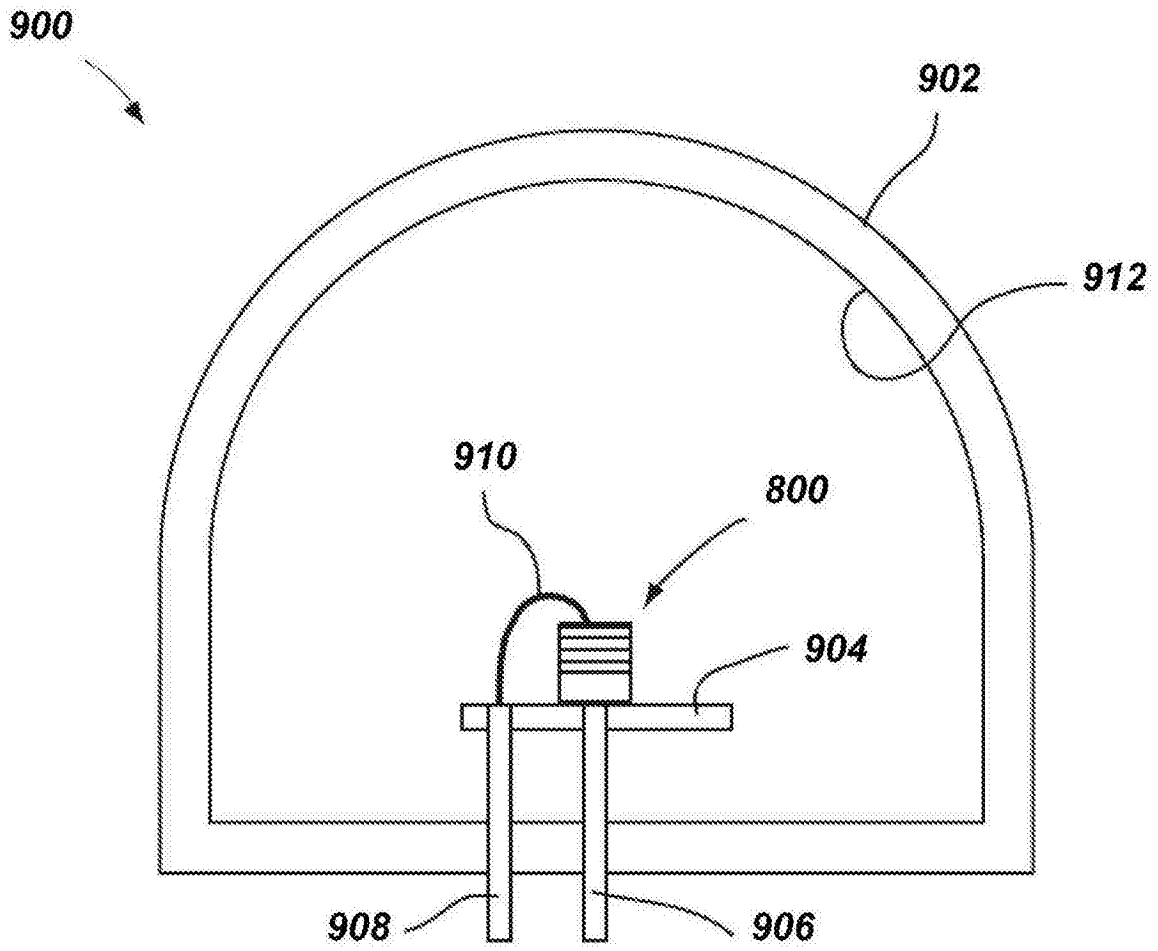


图 14