

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G11B 5/31 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510059932.4

[45] 授权公告日 2007年7月11日

[11] 授权公告号 CN 1326116C

[22] 申请日 2005.4.1

[21] 申请号 200510059932.4

[30] 优先权

[32] 2004.4.2 [33] JP [31] 2004-109716

[73] 专利权人 TDK 株式会社

地址 日本东京都

[72] 发明人 清野浩 蜂须贺望 猿木俊司

笠原宽显

[56] 参考文献

WO02/101731A2 2002.12.19

US6687083B2 2004.2.3

CN1144183C 2004.3.31

CN1058800C 2000.11.22

审查员 梁小容

[74] 专利代理机构 北京北翔知识产权代理有限公司  
代理人 陈 霁

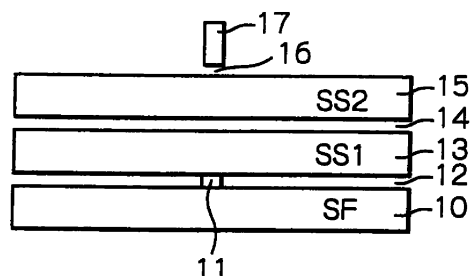
权利要求书 1 页 说明书 9 页 附图 8 页

[54] 发明名称

复合型薄膜磁头

[57] 摘要

提供一种复合型薄膜磁头，包括：具有上屏蔽层、下屏蔽层和位于所述上屏蔽层和所述下屏蔽层之间的磁阻层的磁阻读取头元件，其中在磁阻层读出电流通过所述上屏蔽层和所述下屏蔽层在与所述磁阻层的表面垂直的方向流过；以及在所述磁阻读取头元件上形成的感应式写入头元件，所述感应式写入头元件具有上磁极层、记录间隙层、其端部通过所述记录间隙层与所述上磁极层的一个端部相对的下磁极层、和以在所述上磁极层和所述下磁极层之间穿过的方式形成的写线圈；所述写线圈与所述上屏蔽层之间的电容 C12 被调到 0.1pF 或更小。



1. 一种复合型薄膜磁头，包括：

具有上屏蔽层、下屏蔽层和位于所述上屏蔽层和所述下屏蔽层之间的磁阻层的磁阻读取头元件，其中在磁阻层读出电流通过所述上屏蔽层和所述下屏蔽层在与所述磁阻层的表面垂直的方向流过；以及

在所述磁阻读取头元件上形成的感应式写入头元件，所述感应式写入头元件具有上磁极层、记录间隙层、其端部通过所述记录间隙层与所述上磁极层的一个端部相对的下磁极层、和以在所述上磁极层和所述下磁极层之间穿过的方式形成的写线圈，

所述写线圈与所述上屏蔽层之间的电容被调到 0.1pF 或更小。

2. 如权利要求 1 所述的复合型薄膜磁头，其特征在于，调整所述写线圈与所述下磁极层之间的距离和相对面积以及所述下磁极层与所述上屏蔽层之间的距离和相对面积使得所述电容变为 0.1pF 或更小。

3. 如权利要求 1 所述的复合型薄膜磁头，其特征在于，在所述写线圈与所述下磁极层之间以及所述下磁极层与所述上屏蔽层之间分别形成具有低介电常数的绝缘层使得所述电容变为 0.1pF 或更小。

4. 如权利要求 3 所述的复合型薄膜磁头，其特征在于，具有低介电常数的所述绝缘层是由二氧化硅构成的层。

5. 如权利要求 1 所述的复合型薄膜磁头，其特征在于，所述磁阻读取头元件是巨磁阻读取头元件。

6. 如权利要求 1 所述的复合型薄膜磁头，其特征在于，所述磁阻读取头元件是隧道型磁阻读取头元件。

## 复合型薄膜磁头

### 优先权要求

本申请要求 2004 年 4 月 2 日提出的日本专利申请 NO.2004-109716 的优先权，该申请在这里通过援引的方式纳入。

### 发明背景

#### 技术领域

本发明涉及包括感应式写入头元件和磁阻 (MR) 读取头元件的复合型薄膜磁头，其中磁阻 (MR) 读取头元件具有电流垂直平面 (CPP) 结构，在这种结构中读出电流在与层的表面垂直的方向流过。

#### 背景技术

最近，为了满足对硬盘驱动器装置 (HDD) 更大容量和更小型化的需求，意图实现磁盘的更高记录密度和包含有磁头的磁头万向架组件 (HGA) 的进一步小型化。

然而，HGA 的更小型化引起写入侧与读取侧之间的干扰 (crosstalk) 问题。尤其是，磁头元件的更小型化会因元件的横截面积减小而导致流过元件的电流密度增加，也会导致热散逸减小。而且，更高的写入频率会使施加到写入头元件的电压发生陡变。因此，从写入侧到读取侧有干扰产生，这使读取头元件的性能有下降的趋势。特别是在隧道型磁阻 (TMR) 读取头元件中，干扰电压使阻挡层中形成针孔，这导致介质击穿并因为元件的电阻减小而引起读取性能的显著下降。

Klaas B. Klaassen 等人在 2002 年 1 月的电气和电子工程师协会学报磁学 (IEEE Trans. Magn.) 第 38 卷第 61-67 页中的《Write-to-Read Coupling》(写读耦合) 提出了减小写入侧迹线导体 (trace conductor) 与读取侧迹线导体之间的干扰的技术，该文分析了在悬浮装置上形成的迹线导体之间的耦合机理。在该文描述中，结论是几乎所有干扰都是由迹线导体之间的耦合引起的而不是由磁头中的内部耦合引起的。

然而，发明人由于基于内部耦合和迹线导体之间的耦合一样一定

也对写入侧与读取侧之间的干扰具有重大影响的思想来进行分析和研究的缘故，实现了本发明。

### 发明内容

因此，本发明的目的是提供一种包括MR读取头的复合型薄膜磁头，其中MR读取头具有CPP结构，能大大减小写入侧与读取侧之间的干扰。

根据本发明提供了一种复合型薄膜磁头，包括：具有上屏蔽层、下屏蔽层和位于所述上屏蔽层和所述下屏蔽层之间的MR层的MR读取头元件，其中在MR层读出电流通过上屏蔽层和下屏蔽层在与MR层的表面垂直的方向流过；以及在MR读取头元件上形成的感应式写入头元件，该感应式写入头元件具有上磁极层、记录间隙(recording gap)层、其端部通过记录间隙层与上磁极层的一个端部相对的下磁极层、和以在所述上磁极层和所述下磁极层之间穿过的方式形成的写线圈，写线圈与上屏蔽层之间的电容C12被调到0.1pF或更小。

在具有CPP结构的MR读取头元件中，上屏蔽层和下屏蔽层用作MR读取头元件的电极。因此，感应式写入头元件的写线圈与上屏蔽层之间产生的寄生电容C12不可避免地变得大于写线圈与下屏蔽层之间产生的寄生电容C13。因此，常规技术不能避免在MR读取头元件的两端之间产生干扰电压。但是，通过将寄生电容C12调到0.1pF或更小，寄生电容C12与C13之间的差就会变小，于是产生的干扰电压得以减小。

在TMR读取头元件中，从写入头元件直接施加到读取头元件的干扰电压的上述减小能防止读性能因为阻挡层中形成针孔所引起的元件的电阻减小而下降。另外，在具有CPP结构的巨磁阻(GMR)读取头元件中，该减小能防止读取头元件的工作寿命因为电迁移增加而下降，并且能防止磁性由于金属原子的层间扩散增加而退化。

优选的是，调整写线圈与下磁极层之间的距离和相对面积以及下磁极层与上屏蔽层之间的距离和相对面积使得电容C12变为0.1pF或更小。

还优选的是，在写线圈与下磁极层之间以及在下磁极层与上屏蔽层之间分别形成具有低介电常数的绝缘层使得电容C12变为0.1pF或更小。具有低介电常数的绝缘层可以由二氧化硅(SiO<sub>2</sub>)形成。

同样，根据本发明提供了一种复合型薄膜磁头，包括具有上屏蔽层、下屏蔽层和 MR 层的 MR 读取头元件，其中在 MR 层读出电流通过上屏蔽层和下屏蔽层在与 MR 层的表面垂直的方向流过；和在 MR 读取头元件上形成的感应式写入头元件，该感应式写入头元件具有上磁极层、记录间隙层、其端部通过记录间隙层与所述上磁极层的一个端部相对的下磁极层、和写线圈，形成一个补偿电容装置使得写线圈与上屏蔽层之间的电容 C12 同写线圈与下屏蔽层之间的电容 C13 彼此相等。

如上面提到的，在具有 CPP 结构的 MR 读取头元件中，寄生电容 C12 不可避免地变得大于寄生电容 C13。但是，通过形成补偿电容装置使寄生电容 C12 与寄生电容 C13 彼此相等，可以减小或防止干扰电压。

在 TMR 读取头元件中，从写入头元件直接施加到读取头元件的干扰电压的上述减小能防止读性能因为阻挡层中形成针孔所引起的元件的电阻减小而下降。另外，在具有 CPP 结构的 GMR 读取头元件中，该减小能防止读取头元件的工作寿命因为电迁移增加而下降，并且能防止磁性由于金属原子的层间扩散增加而退化。

优选的是，在下磁极层与下屏蔽层之间形成补偿电容装置以使电容 C12 与电容 C13 彼此相等。还优选的是，补偿电容装置是一对通过绝缘层彼此相对的导体层，它们分别电连接到下磁极层和下屏蔽层。

还优选的是，补偿电容装置的电容  $C_{\text{COMP}}$  等于下磁极层与上屏蔽层之间的电容 C2。

另外，根据本发明提供了一种复合型薄膜磁头，包括具有上屏蔽层、下屏蔽层和 MR 层的 MR 读取头元件，其中在 MR 层读出电流通过上屏蔽层和下屏蔽层在与 MR 层的表面垂直的方向流过；和在所述 MR 读取头元件上形成的感应式写入头元件，该感应式写入头元件具有上磁极层、记录间隙层、其端部通过记录间隙层与上磁极层的一个端部相对的下磁极层、和写线圈，在写线圈的各个端与下屏蔽层之间分别形成第一和第二补偿电容装置。

如上面提到的，在具有 CPP 结构的 MR 读取头元件中，寄生电容 C12 不可避免地变得大于寄生电容 C13。但是，通过形成第一和第二补偿电容装置而引起的寄生电容 C13 的显著增加能使寄生电容 C12 与

寄生电容  $C_{13}$  彼此相等。因此，可以减小或防止干扰电压。

在 TMR 读取头元件中，从写入头元件直接施加到读取头元件的干扰电压的上述减小能防止读性能因为阻挡层中形成针孔所引起的元件的电阻减小而下降。另外，在具有 CPP 结构的 GMR 读取头元件中，该减小能防止读取头元件的工作寿命因为电迁移增加而下降，并且能防止磁性由于金属原子的层间扩散增加而退化。

优选的是，第一补偿电容装置的电容  $C_{COMP1}$  和第二补偿电容装置的电容  $C_{COMP2}$  中的每一个具有在  $1/(2*(1/C1+1/C2))$  与  $1/(1/C1+1/C2)$  之间变化的值，其中  $C1$  为写线圈与下磁极层之间的电容， $C2$  为下磁极层与上屏蔽层之间的电容。

还优选的是，第一补偿电容的电容  $C_{COMP1}$  与第二补偿电容的电容  $C_{COMP2}$  彼此相等。

还优选的是，还包括分别电连接到写线圈两端的写入头元件的一对引线导体，第一和第二补偿电容装置分别由写入头元件的一对引线导体中的每一个与下屏蔽层仅通过绝缘层互相重叠的部分组成。

还优选的是，MR 读取头元件为 GMR 读取头元件或 TMR 读取头元件。

通过对如附图所示的本发明的优选实施例的下列描述，本发明的其它目的和优点将变得明显。

#### 附图说明

图 1 示出了从空气轴承面 (ABS) 侧看的剖视图，示意性说明了根据本发明的一个实施例的复合型薄膜磁头的头元件部分的分层结构；

图 2 为图 1 所示的复合型薄膜磁头的示意等效电路；

图 3a 和 3b 示出了说明时间与根据常规技术的复合型薄膜磁头的干扰电压以及与根据图 1 所示的实施例的复合型薄膜磁头的干扰电压之间的关系特性曲线；

图 4 示出了从 ABS 侧看的剖视图，示意性说明了根据本发明的另一实施例的复合型薄膜磁头的头元件部分的分层结构；

图 5 为图 4 所示的复合型薄膜磁头的示意等效电路；

图 6a 和 6b 示出了说明时间与根据常规技术的复合型薄膜磁头的干扰电压以及与根据图 4 所示的实施例的复合型薄膜磁头的干扰电压之间的关系特性曲线；

图 7 示出了从 ABS 侧看的剖视图，示意性说明了根据本发明的第三实施例的复合型薄膜磁头的头元件部分的分层结构；

图 8 示出了从元件成形面看的正视图，说明了装上图 7 所示的复合型薄膜磁头的磁头滑块；

图 9 为从 ABS 侧看的沿图 8 所示的 A-A 线的剖视图，示意性说明了图 7 所示的复合型薄膜磁头的引线导体部分的分层结构；

图 10 示出了图 7 所示的复合型薄膜磁头的示意等效电路；

图 11a 和 11b 示出了说明时间与根据常规技术的复合型薄膜磁头的干扰电压以及与根据图 7 所示的实施例的复合型薄膜磁头的干扰电压之间的关系的特性曲线；和

图 12 示出了说明补偿电容的电容  $C_{COMP1}$  和  $C_{COMP2}$  与图 7 所示的复合型薄膜磁头的干扰电压之间的关系的特性曲线。

### 具体实施方式

图 1 示出了从 ABS 侧看的剖视图，示意性说明了根据本发明的一个实施例的复合型薄膜磁头的分层结构。

如图所示，头元件部分具有分层结构，该分层结构包括通过一个绝缘层（在图中未示出）层叠在基底（也未示出）上并且还用作 TMR 读取头元件的下电极层的下屏蔽层（SF）10、层叠在下屏蔽层 10 上的 TMR 多层薄膜 11、围绕 TMR 多层薄膜 11 的绝缘层 12、层叠在 TMR 多层薄膜 11 和绝缘层 12 上并且还充当上电极层的上屏蔽层（SS1）13、通过绝缘层 14 层叠在上屏蔽层 13 上的感应式写入头元件的下磁极层（SS2）15 以及通过记录间隙层 16 与下磁极层 15 相对的上磁极层 17。

TMR 多层薄膜 11 具有一种多层结构，例如，在该多层结构中底层、钉扎（pinning）层、被钉扎（pinned）层、隧道阻挡层、自由层和间隙层顺序层叠，这些层在图中均未示出。

图 2 为图 1 所示的复合型薄膜磁头的示意等效电路。

在图中，参考符号 C1 表示写线圈 18 与感应式写入头元件的下磁极层（SS2）15 之间产生的寄生电容，C2 表示下磁极层 15 与上屏蔽层（SS1）13 之间产生的寄生电容，C3 表示上屏蔽层 13 与下屏蔽层 10 之间产生的寄生电容。

在该实施例中，首先，写线圈 18 与下磁极层 15 之间的距离扩大、它们之间的相对面积缩小和/或插入在它们之间的具有诸如 SiO<sub>2</sub> 之类的低介电常数绝缘体的绝缘层的形成会导致写线圈 18 与下磁极层 15 之间的寄生电容 C<sub>1</sub> 减小。然后，下磁极层 15 与上屏蔽层 13 之间的距离扩大、它们之间的相对面积缩小和/或插入在它们之间的具有诸如 SiO<sub>2</sub> 之类的低介电常数绝缘体的绝缘层的形成会导致下磁极层 15 与上屏蔽层 13 之间的寄生电容 C<sub>2</sub> 减小。通过这些作用，写线圈 18 与上屏蔽层 13 之间的寄生电容 C<sub>12</sub> 被调到 0.1pF 或更小。在这种情况下，寄生电容 C<sub>12</sub> 按  $C_{12}=1/(1/C_1+1/C_2)$  来计算。

图 3a 和 3b 示出了说明时间与根据常规技术的复合型薄膜磁头的干扰电压以及与根据该实施例的复合型薄膜磁头的干扰电压之间的关系的特性曲线。

图 3a 示出了在 C<sub>1</sub>=0.6pF、C<sub>2</sub>=2pF (C<sub>12</sub>=0.46pF) 的情况下通过施加一个写电压给写入头元件而在读取头元件中产生的干扰电压，图 3b 示出了在 C<sub>1</sub>=0.2pF 且 C<sub>2</sub>=0.2pF (C<sub>12</sub>=0.1pF) 的情况下的干扰电压。在这两种情况下，C<sub>3</sub>=0.4pF。从这些图的比较显见调整层与层之间的距离、它们之间的相对面积和/或绝缘材料使得 C<sub>12</sub> 为 0.1pF 或更小能使干扰电压大大减小。因此，一定能防止读性能因为阻挡层中形成针孔所引起的元件电阻减小而减低。

图 4 示出了从 ABS 侧看的剖视图，示意性说明了根据本发明的另一实施例的复合型薄膜磁头的分层结构。

如图所示，头元件部分具有分层结构，该分层结构包括通过一个绝缘层（在图中未示出）层叠在基底（也未示出）上并且还用作 TMR 读取头元件的下电极层的下屏蔽层（SF）40、层叠在下屏蔽层 40 上的 TMR 多层薄膜 41、围绕 TMR 多层薄膜 41 的绝缘层 42、层叠在 TMR 多层薄膜 41 和绝缘层 42 上并且还充当上电极层的上屏蔽层（SS1）43、通过绝缘层 44 层叠在上屏蔽层 43 上的感应式写入头元件的下磁极层（SS2）45 以及通过记录间隙层 46 与下磁极层 45 相对的上磁极层 47。另外，在该实施例中，导体层 49 被形成以通过绝缘层 50 与导体层 51 相对，并且导体层 49 和 51 分别电连接到下屏蔽层 40 和下磁极层 45。一对导体层 49 和 51 以及绝缘层 50 构成了一个补偿电容，将下屏蔽层 40 与下磁极层 45 之间的电容增加了寄生电容 C<sub>COMP</sub>。



TMR 多层薄膜 41 具有一种多层结构,例如,在该多层结构中底层、钉扎层、被钉扎层、隧道阻挡层、自由层和间隙层顺序层叠,这些层在图中均未示出。

图 5 为图 4 所示的复合型薄膜磁头的示意等效电路。

在图中,参考符号 C1 表示写线圈 48 与感应式写入头元件的下磁极层 (SS2) 45 之间产生的寄生电容, C2 表示下磁极层 45 与上屏蔽层 (SS1) 43 之间产生的寄生电容, C3 表示上屏蔽层 43 与下屏蔽层 40 之间产生的寄生电容,  $C_{COMP}$  表示上述补偿电容的寄生电容。

在该实施例中,通过调节导体层 49 与 51 之间的距离、它们之间的相对面积和/或绝缘层 50 的介电常数,将补偿电容的电容  $C_{COMP}$  调整到 C2。通过将寄生电容  $C_{COMP}$  调整到这个值而将下屏蔽层 40 和下磁极层 45 之间的电容增加这个值,可以使寄生电容 C12 和 C13 彼此相等。因此,可以减小或防止干扰电压。

图 6a 和 6b 示出了说明时间与根据常规技术的复合型薄膜磁头的干扰电压以及与根据该实施例的复合型薄膜磁头的干扰电压之间的关系特性曲线。

图 6a 示出了在  $C_{COMP}=0\text{pF}$  且  $C2=2\text{pF}$  ( $C12=0.48\text{pF}$ 、 $C13=0.316\text{pF}$ ) 的情况下通过施加一个写电压给写入头元件而在读取头元件中产生的干扰电压,图 6b 示出了在  $C_{COMP}=C2=2\text{pF}$  ( $C12=C13=0.46\text{pF}$ ) 的情况下的干扰电压。在这两种情况下,  $C1=0.6\text{pF}$ 、 $C3=0.4\text{pF}$ 。从这些数字的比较显见,通过增加补偿电容调整层与层之间的距离、它们之间的相对面积和/或绝缘材料使得  $C12=C13$  即  $C_{COMP}=C2$  可以大大减小或防止干扰电压。因此,一定能防止读性能因为阻挡层中形成针孔所引起的元件电阻减小而减低。

图 7 示出了从 ABS 侧看的剖视图,其示意性说明了根据本发明的第三实施例的复合型薄膜磁头的分层结构,图 8 示出了从元件成形面看的正视图,其说明了装上复合型薄膜磁头的磁头滑块,图 9 为从 ABS 侧看的沿 A-A 线的剖视图,其示意性说明了复合型薄膜磁头的引线导体 (lead conductor) 部分的分层结构。

如图 7 所示,头元件部分具有分层结构,该分层结构包括通过一个绝缘层 (在图中未示出) 层叠在基底 (也未示出) 上并且还用作 TMR 读取头元件的下电极层的下屏蔽层 (SF) 70、层叠在下屏蔽层 70

上的 TMR 多层薄膜 71、围绕 TMR 多层薄膜 71 的绝缘层 72、层叠在 TMR 多层薄膜 71 和绝缘层 72 上并且还充当上电极层的上屏蔽层(SS1) 73、通过绝缘层 74 层叠在上屏蔽层 73 上的感应式写入头元件的下磁极层(SS2) 75 以及通过记录间隙层 76 与下磁极层 75 相对的上磁极层 77, 与图 1 中的结构相同。

TMR 多层薄膜 71 具有一种多层结构, 例如, 在该多层结构中底层、钉扎层、被钉扎层、隧道阻挡层、自由层和间隙层顺序层叠, 这些层在图中均未示出。

在图 8 中, 参考数字 78 表示写线圈, 79 和 80 表示写入头元件的一对引线导体, 它们的一端分别电连接到写线圈 78 的两端, 81 和 82 表示写入头元件的一对连接盘, 它们分别电连接到写入头元件的一对引线导体 79 和 80 的另一端, 83 和 84 表示读取头元件的一对引线导体, 它们的一端分别电连接到 TMR 层 71 的两端, 85 和 86 表示读取头元件的一对连接盘, 它们分别电连接到读取头元件的一对引线导体 83 和 84 的另一端。

如图 9 所示, 读取头元件的引线导体 79 的部分 79a 仅通过绝缘层 72 与下屏蔽层(SF) 70 重叠, 也就是说, 直接与下屏蔽层 70 相对。另外, 写入头元件的引线导体 80 的部分 80a 也仅通过绝缘层 72 与下屏蔽层(SF) 70 重叠, 也就是说, 直接与下屏蔽层 70 相对。

这些重叠部分又充当第一和第二补偿电容, 它们分别将寄生电容  $C_{COMP1}$  和  $C_{COMP2}$  增加到下屏蔽层 70 与写线圈 78 的相应端(写入头元件的引线导体 79 和 80)之间的电容上。

图 10 示出了图 7 所示的复合型薄膜磁头的示意等效电路。

在图中, 参考符号 C1 表示写线圈 78 与感应式写入头元件的下磁极层(SS2) 75 之间产生的寄生电容, C2 表示下磁极层 75 与上屏蔽层(SS1) 73 之间产生的寄生电容, C3 表示上屏蔽层 73 与下屏蔽层 70 之间产生的寄生电容,  $C_{COMP1}$  和  $C_{COMP2}$  分别表示上述第一和第二补偿电容的寄生电容。

在该实施例中, 通过在写入头元件的各个引线导体 79 和 80 与下屏蔽层 70 之间形成重叠部分 79a 和 80a 分别构成第一和第二补偿电容。另外, 通过调整引线导体 79 和 80 与下屏蔽层 70 之间的距离、它们的相对面积和/或它们之间绝缘层的介电常数, 可以将第一和第

二补偿电容的容值  $C_{COMP1}$  和  $C_{COMP2}$  调整到满足条件  $C_{COMP1}=C_{COMP2}$ ，且  $C_{COMP1}$  ( $C_{COMP2}$ ) 的值在  $1/(2*(1/C1+1/C2))$  至  $1/(1/C1+1/C2)$  之间变化。

通过形成第一和第二补偿电容并将它们的电容  $C_{COMP1}$  和  $C_{COMP2}$  调整到这样的值，可以大大减小或防止干扰电压。

此外，显然可以用引线导体 83 代替下屏蔽层 70，在写入头元件的引线导体 79 和 80 与电连接到下屏蔽层 70 的读取头元件的引线导体 83 之间形成第一和第二补偿电容。

图 11a 和 11b 示出了说明时间与根据常规技术的复合型薄膜磁头的干扰电压以及与根据该实施例的复合型薄膜磁头的干扰电压之间的关系特性曲线。图 12 示出了说明补偿电容的容值  $C_{COMP1}$  和  $C_{COMP2}$  与干扰电压之间的关系特性曲线。

图 11a 示出了在  $C_{COMP1}=C_{COMP2}=0\text{pF}$  的情况下通过施加一个写电压给写入磁头元件而在读取头元件中产生的干扰电压，图 11b 示出了在  $C_{COMP1}=C_{COMP2}=0.3\text{pF}$  的情况下的干扰电压。在这两种情况下， $C1=0.6\text{pF}$ 、 $C2=2\text{pF}$ 、 $C3=0.4\text{pF}$ 。从这些数字的比较显见，通过形成第一和第二补偿电容并将它们的容值  $C_{COMP1}$  和  $C_{COMP2}$  调整为在上述范围内的值可以大大减小干扰电压。特别是如图 12 所示，将  $C_{COMP1}$  ( $=C_{COMP2}$ ) 调整为接近  $0.3\text{pF}$  的值可以将干扰电压减至最小。因此，一定能防止读性能因为阻挡层中形成针孔所引起的元件电阻减小而减低。

尽管通过显示具有 TMR 读取头元件的复合型薄膜磁头对本发明进行了说明。然而，本发明可以适用于无论哪种具有这样一种结构的 MR 读取头元件，即在该结构中读出电流在与层的表面垂直的方向流动，例如，具有 CPP 结构的 GMR 读取头元件等。将本发明应用于具有 CPP 结构的 GMR 读取头元件时，从写入头元件直接施加到读取头元件的干扰电压的减小可以防止读取头元件的工作寿命因为电迁移增加而减小，还能防止磁性能因为金属原子的层间扩散增加而降低。

所有前述实施例都是作为本发明的例子而不是进行限制，在不脱离本发明的精神和范围的前提下可以构建本发明的许多大不相同的变体和改型。因此，本发明仅由下面的权利要求书及其等价物限定。

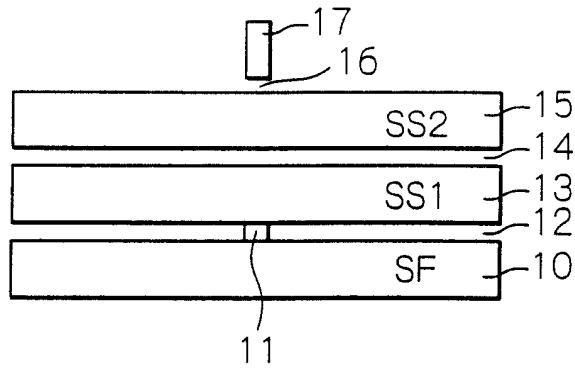


图 1

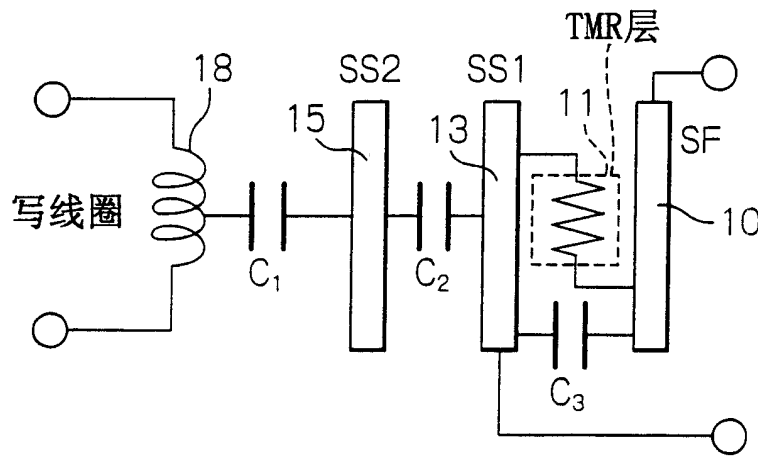


图 2

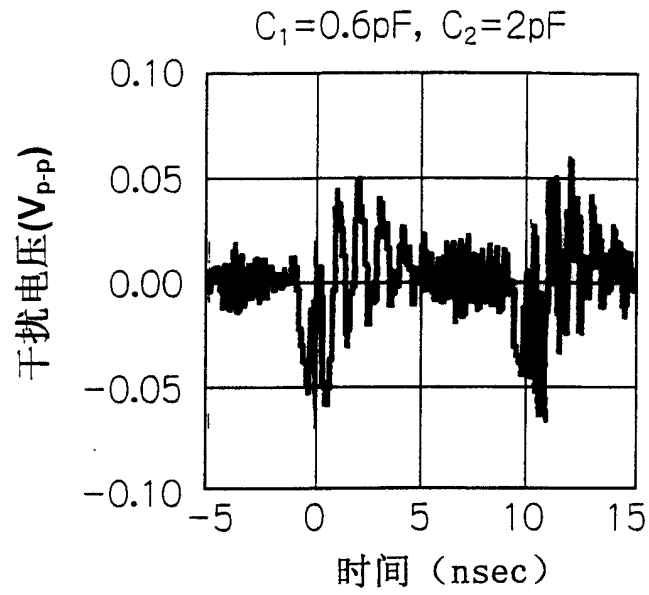


图 3a

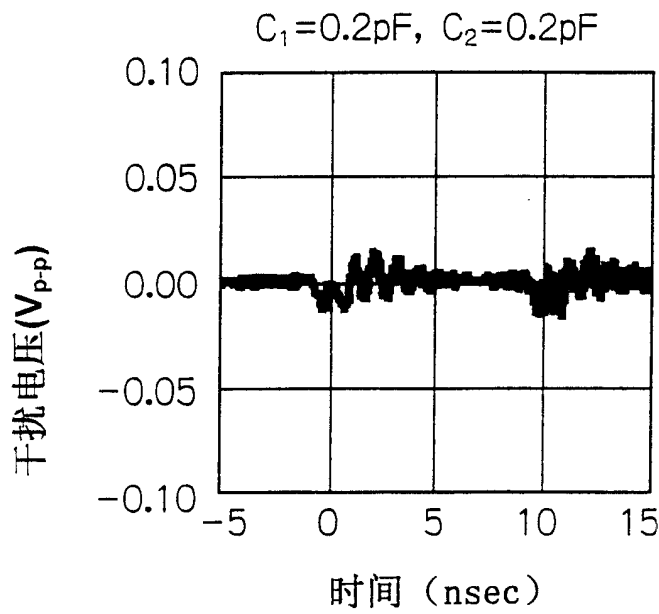


图 3b

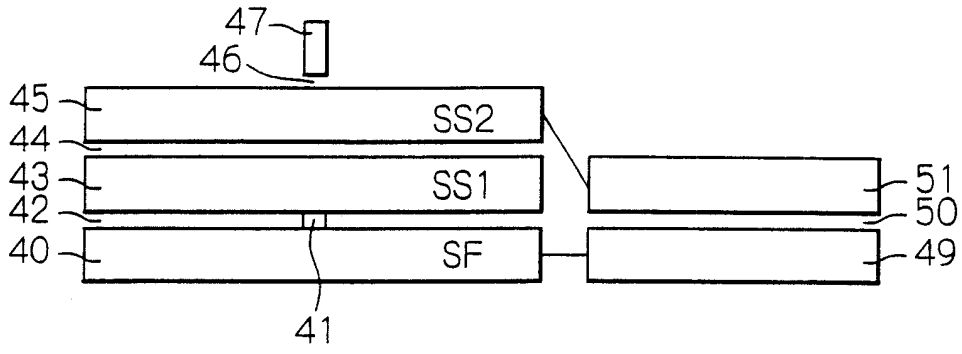


图 4

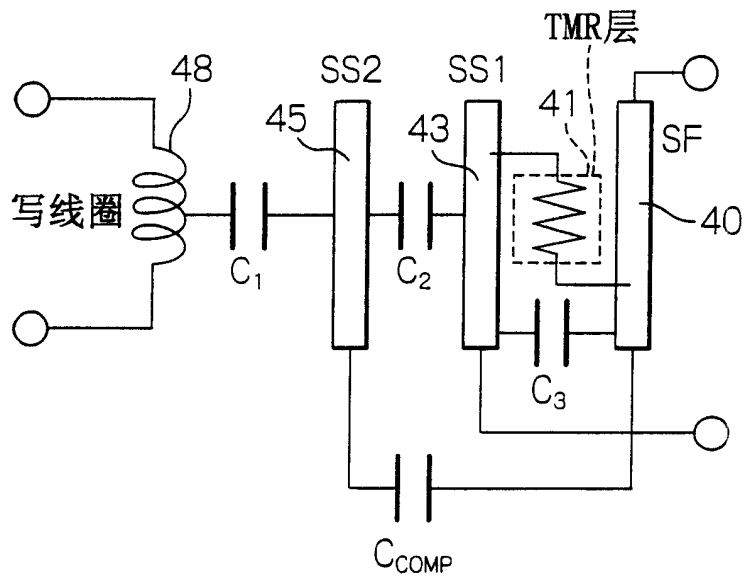


图 5

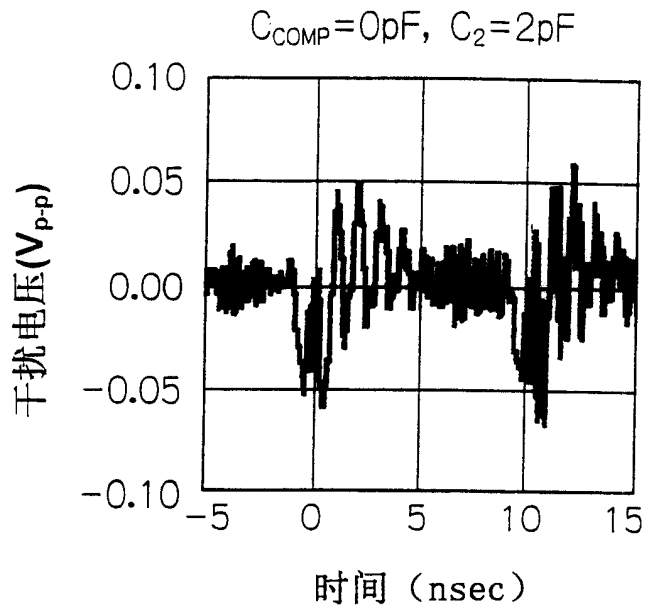


图 6a

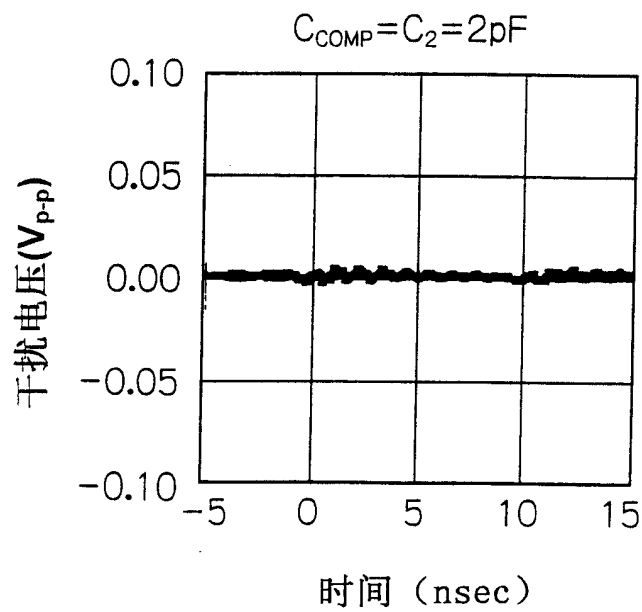


图 6b

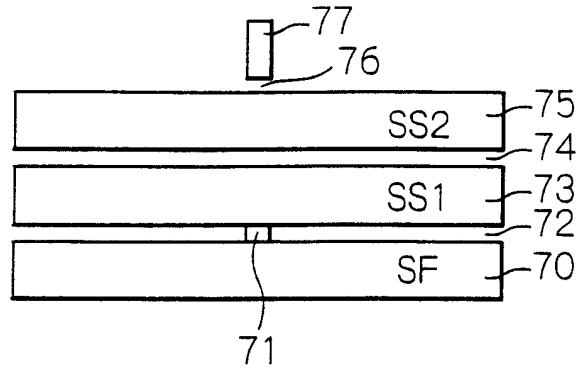


图 7

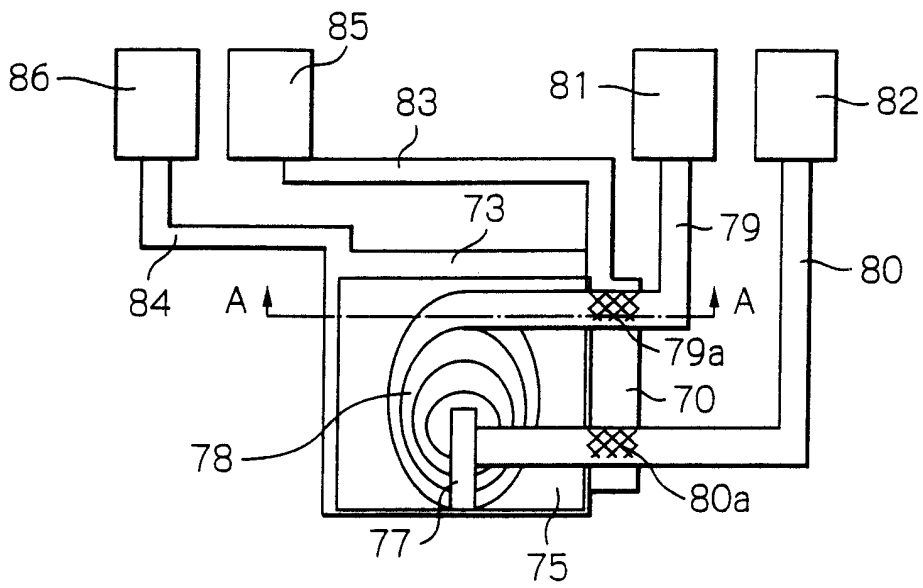


图 8



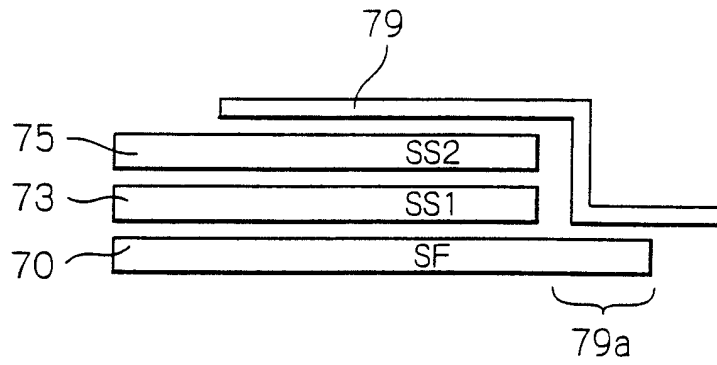


图 9

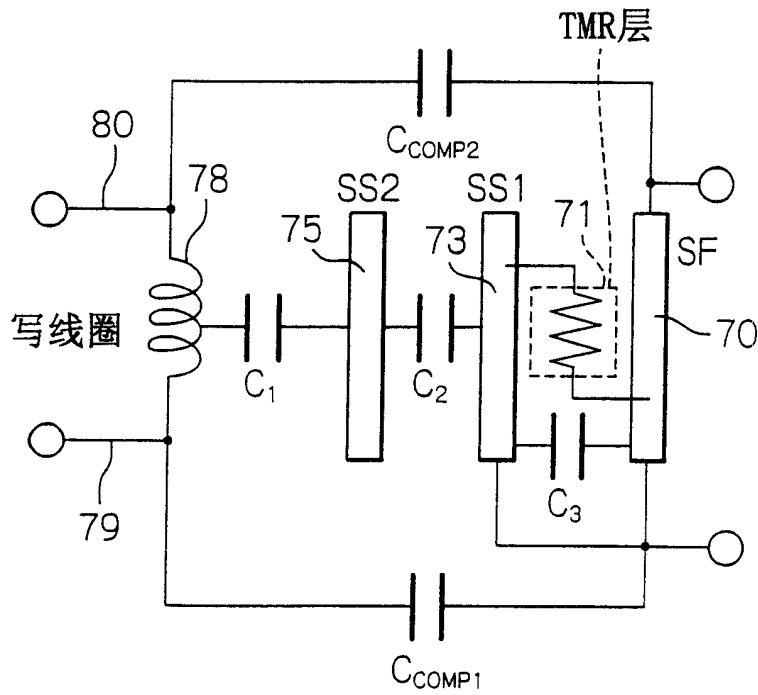


图 10

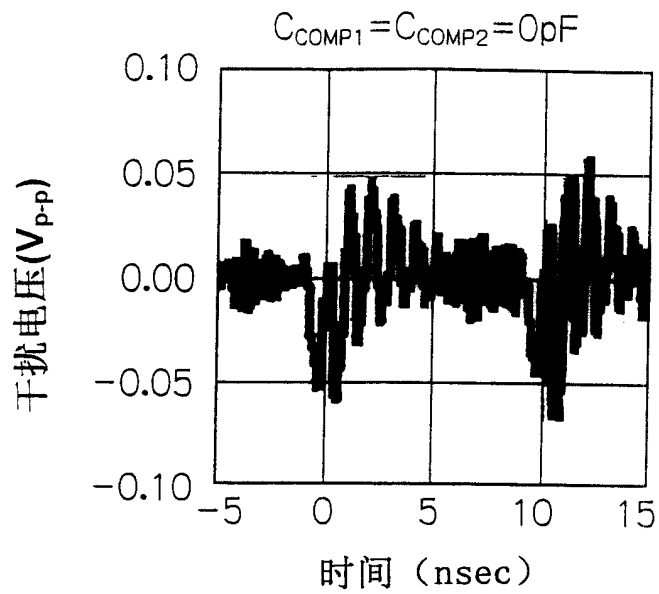


图 11a

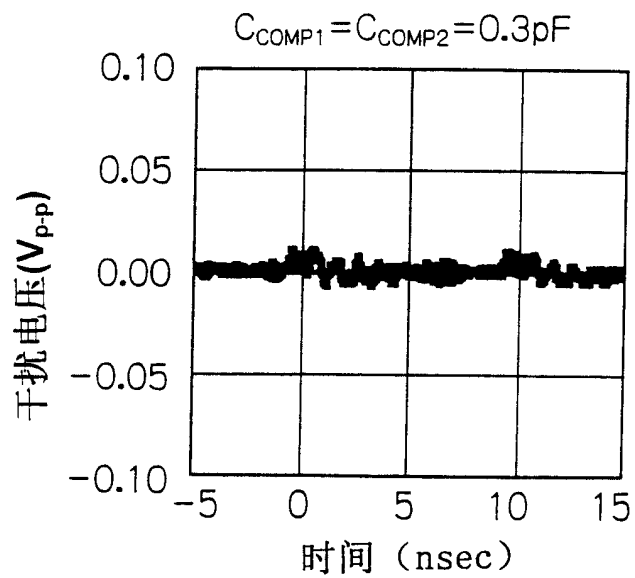


图 11b

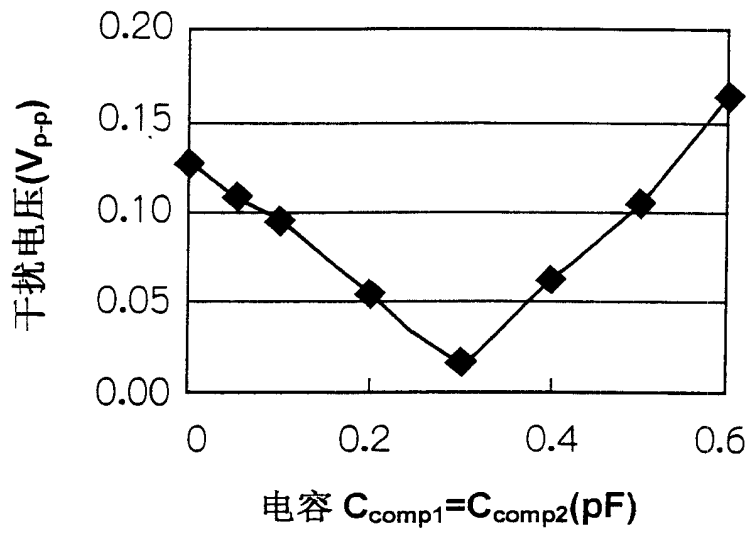


图 12