

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5895153号
(P5895153)

(45) 発行日 平成28年3月30日(2016.3.30)

(24) 登録日 平成28年3月11日(2016.3.11)

(51) Int.Cl.		F I	
HO 4 L 12/953	(2013.01)	HO 4 L	12/953
HO 4 L 12/875	(2013.01)	HO 4 L	12/875

請求項の数 19 (全 24 頁)

(21) 出願番号	特願2014-533728 (P2014-533728)	(73) 特許権者	314012076
(86) (22) 出願日	平成25年11月21日(2013.11.21)		パナソニックIPマネジメント株式会社
(86) 国際出願番号	PCT/JP2013/006841		大阪府大阪市中央区城見2丁目1番61号
(87) 国際公開番号	W02014/128802	(74) 代理人	100101683
(87) 国際公開日	平成26年8月28日(2014.8.28)		弁理士 奥田 誠司
審査請求日	平成26年7月15日(2014.7.15)	(74) 代理人	100155000
(31) 優先権主張番号	特願2013-29934 (P2013-29934)		弁理士 喜多 修市
(32) 優先日	平成25年2月19日(2013.2.19)	(74) 代理人	100180529
(33) 優先権主張国	日本国(JP)		弁理士 梶谷 美道
		(74) 代理人	100125922
			弁理士 三宅 章子
		(74) 代理人	100135703
			弁理士 岡部 英隆
		(74) 代理人	100188813
			弁理士 川喜田 徹

最終頁に続く

(54) 【発明の名称】 インタフェース装置およびバスシステム

(57) 【特許請求の範囲】

【請求項1】

集積回路上に設けられたイニシエータと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、

前記バスネットワークはパケット交換方式ネットワークであり、前記イニシエータから前記バスネットワーク上のノードに宛てて、デッドライン時刻が指定された要求データが発行されたときに、前記要求データに回答した前記ノードによって発行された応答データが、前記デッドライン時刻までに前記イニシエータに受信されるよう設計されており、

前記インタフェース装置は、

前記イニシエータから発行された前記要求データの発行タイミングに基づいて、前記要求データのデッドライン時刻を補正して、補正済デッドライン時刻の情報を生成する補正部と、

前記補正済デッドライン時刻の情報を格納したパケットヘッダを生成するヘッダ生成部と、

前記要求データ、および前記パケットヘッダを利用して要求パケットを生成するパケット化処理部と

を備えた、インタフェース装置。

【請求項2】

前記イニシエータが、同じデッドライン時刻を指定して複数の要求データを発行したときにおいて、

10

20

前記補正部は、前記複数の要求データの発行タイミングの先後関係が維持されるよう、各要求データのデッドライン時刻を補正する、請求項 1 に記載のインタフェース装置。

【請求項 3】

前記イニシエータが、同じデッドライン時刻を指定して第 1 要求データおよび第 2 要求データを順に発行したときにおいて、

前記補正部は、

前記第 1 要求データのデッドライン時刻を補正して、前記イニシエータによって指定された前記デッドラインよりも早い第 1 補正済デッドライン時刻を生成し、

前記第 2 要求データのデッドライン時刻を補正して、前記第 1 補正済デッドライン時刻よりも遅く、かつ前記イニシエータによって指定された前記デッドラインよりも早いまたは前記イニシエータによって指定された前記デッドラインと同じ第 2 補正済デッドライン時刻を生成する、請求項 2 に記載のインタフェース装置。

10

【請求項 4】

前記補正部は、前記補正済第 2 デッドライン時刻として、前記第 1 補正済デッドライン時刻よりも遅く、かつ前記イニシエータによって指定された前記デッドライン時刻と同じ時刻を採用する、請求項 3 に記載のインタフェース装置。

【請求項 5】

前記イニシエータが、前記第 2 要求データの後に、同じ前記デッドライン時刻を指定してさらに第 3 要求データを発行したときにおいて、

前記補正部は、最後に発行された前記第 3 要求データの補正後のデッドライン時刻である第 3 補正済デッドライン時刻として、前記イニシエータによって指定された前記デッドライン時刻と同じ時刻を採用する、請求項 3 に記載のインタフェース装置。

20

【請求項 6】

前記補正部は、前記第 1 補正済デッドライン時刻と前記第 2 補正済デッドライン時刻との間隔と、前記第 2 補正済デッドライン時刻と前記第 3 補正済デッドライン時刻との間隔とが一定になるよう、前記第 1 補正済デッドライン時刻、前記第 2 補正済デッドライン時刻、および前記第 3 補正済デッドライン時刻を生成する、請求項 5 に記載のインタフェース装置。

【請求項 7】

前記補正部は、前記間隔が、前記バスネットワークにおいて予め定められている値に一致するよう、前記第 1 補正済デッドライン時刻、前記第 2 補正済デッドライン時刻、および前記第 3 補正済デッドライン時刻を採用する、請求項 6 に記載のインタフェース装置。

30

【請求項 8】

前記補正部は、前記第 1 補正済デッドライン時刻と前記第 2 補正済デッドライン時刻との間隔と、前記第 2 補正済デッドライン時刻と前記第 3 補正済デッドライン時刻との間隔とが異なる値になるよう、前記第 1 補正済デッドライン時刻、前記第 2 補正済デッドライン時刻、および前記第 3 補正済デッドライン時刻を生成する、請求項 5 に記載のインタフェース装置。

【請求項 9】

前記イニシエータには、同じデッドライン時刻を付与して発行することが可能な要求データの最大数が予め定められており、

前記補正部は、前記最大数に基づいて、複数の補正済デッドライン時刻間の間隔を決定する、請求項 2 に記載のインタフェース装置。

40

【請求項 10】

前記イニシエータは、同じデッドライン時刻を付与して発行する要求データのデータ数を示す情報を出力し、

前記補正部は、前記データ数に基づいて、複数の補正済デッドライン時刻間の間隔を決定する、請求項 2 に記載のインタフェース装置。

【請求項 11】

前記バスネットワークは、前記イニシエータから前記ノードまでの間でパケットを中継

50

する少なくとも1つのルータを有し、かつ、前記バスネットワークには、前記イニシエータを含む複数のイニシエータが接続されており、

前記少なくとも1つのルータが中継するパケットの要求データを発行する2以上のイニシエータの各々には、同じデッドライン時刻を付与して発行することが可能な要求データの最大数が予め定められており、

前記補正部は、前記2以上のイニシエータに定められた各最大数のうちの最大値に基づいて、複数の補正済デッドライン時刻間の間隔を決定する、請求項2に記載のインタフェース装置。

【請求項12】

前記ヘッダ生成部は、前記バスネットワーク上で前記イニシエータを一意に特定する識別子を前記パケットヘッダにさらに格納する、請求項1に記載のインタフェース装置。

10

【請求項13】

前記ヘッダ生成部は、前記補正済デッドライン時刻の情報を前記パケットヘッダに格納し、かつ、前記バスネットワーク上で前記イニシエータを一意に特定する識別子を格納しない、請求項1に記載のインタフェース装置。

【請求項14】

前記ヘッダ生成部は、前記補正済デッドライン時刻の情報を前記パケットヘッダに格納し、さらに前記要求データの送信元である前記イニシエータを特定する情報を前記パケットヘッダに格納する、請求項1に記載のインタフェース装置。

【請求項15】

20

前記ノードは、前記バスネットワークとメモリとを接続するメモリコントローラであり、

前記ヘッダ生成部は、前記補正済デッドライン時刻と前記メモリコントローラの宛先の情報を前記パケットヘッダに格納する、請求項1に記載のインタフェース装置。

【請求項16】

集積回路上に形成されたバスネットワークと

前記バスネットワークに接続されたイニシエータと、

請求項1から15のいずれかに記載のインタフェース装置であって、前記イニシエータと前記バスネットワークとを接続するインタフェース装置とを備えた、バスシステム。

30

【請求項17】

集積回路上に形成されたバスネットワークと

前記バスネットワークに接続された複数のイニシエータと、

各々が、請求項1から15のいずれかに記載の複数のインタフェース装置であって、前記複数のイニシエータの各々と前記バスネットワークとを接続する、複数のインタフェース装置と

を備えたバスシステムであって、

前記ルータは、

前記複数のイニシエータの各々と接続された各インタフェース装置から送信された要求パケットを格納するバッファと、

40

各々が異なる伝送経路に接続された、複数の出力ポートと、

特定の出力ポートから出力される要求パケットが複数存在する場合において、予め定められた調停ルールに従って定まる順序で、前記特定の出力ポートからの各要求パケットの送信を調停する調停器と

を備えた、バスシステム。

【請求項18】

前記ルータの調停器は、デッドライン時刻が早く到来する要求パケットから出力されるように定められた調停ルールを有しており、前記特定の出力ポートから出力される複数の要求パケットにそれぞれ格納されている、複数の補正済デッドライン時刻と前記調停ルールとにしたがって、前記特定の出力ポートからの各要求パケットの送信を調停する、請求

50

項 17 に記載のバスシステム。

【請求項 19】

前記ノードは、前記バスネットワークとメモリとを接続するメモリコントローラであり、

各インタフェース装置のヘッダ生成部は、前記補正済デッドライン時刻と前記メモリコントローラの宛先の情報を前記パケットヘッダに格納する、請求項 17 に記載のバスシステム。

【発明の詳細な説明】

【技術分野】

10

【0001】

本願は、ネットワーク化された通信バスを備える半導体チップにおいて、通信バスの制御を行うための装置、方法及びプログラムに関する。

【背景技術】

【0002】

近年、SoC (System on Chip) が利用される組込機器分野や汎用プロセッサ分野において、半導体チップの高機能化への要求が高まっている。半導体チップの高機能化に伴い、チップ上の通信バスを介して転送されるデータの要求帯域が増加し、通信バスの広帯域化が必要となってきた。低いバス動作周波数で通信バスを広帯域化するため、バス配線をプロセッサ間で共用し、資源利用効率の向上が可能なネットワーク・オン・チップ (Network-on-Chip; NoC) が注目されている。

20

【0003】

NoC には、たとえば複数のイニシエータと、メモリコントローラが接続される。各イニシエータとメモリコントローラとの間の通信は、パケットを利用して行われる。パケットは NoC 上に配置された NoC ルータによって中継される。

【0004】

図 1 は、一般的な NoC ルータの構成を示す。NoC ルータは、複数の入出力ポートを有しており、入力ポート側にバッファが設けられている。このバッファは、1つの入力ポートごとに2つの仮想チャネル (Virtual Channel; VC) を有している。

30

【0005】

各仮想チャネル (Virtual Channel; VC) には、入力された1つのパケットが格納される。VC 内のパケットは、パケットのヘッダに格納されたパケットの宛先情報をもとに、クロスバスイッチにより、適切な出力ポートにスイッチされ、転送される。異なる VC 内に、同じ出力ポートに出力すべきパケットが複数存在する場合には、調停器の調停ルールに従い、パケットがひとつずつ選択され順次出力される。選択されずに VC 内に残ったパケットは、次の送信機会に再度調停される。

【0006】

特許文献 1 は、パケットの調停技術に関する。パケットヘッダ内にはパケットが生成されてからの経過時刻の情報が格納される。同一の出力ポートにスイッチして出力すべき複数のパケットが存在する場合には、その調停時に、ルータは各パケットヘッダ内の経過時刻を比較し、最も経過時刻の大きいパケットが選択され、出力ポートに割り当てられる。これにより、パケットのルータ網でのレイテンシを抑制し、高速なバスアクセスを実現することが可能になる。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】米国特許第 6674720 号明細書

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 8 】

イニシエータが発行した要求を、その要求にしたがって確実に処理することができる技術が求められている。

【課題を解決するための手段】

【 0 0 0 9 】

上記課題を解決するために、本発明の一態様は、集積回路上に設けられたイニシエータと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、前記バスネットワークはパケット交換方式ネットワークであり、前記イニシエータから前記バスネットワーク上のノードに宛てて、デッドライン時刻が指定された要求データが発行されたときに、前記要求データに回答した前記ノードによって発行された応答データが、前記デッドライン時刻までに前記イニシエータに受信されるよう設計されており、前記インタフェース装置は、前記イニシエータから発行された前記要求データの発行タイミングに基づいて、前記要求データのデッドライン時刻を補正して、補正済デッドライン時刻の情報を生成する補正部と、前記補正済デッドライン時刻の情報を格納したパケットヘッダを生成するヘッダ生成部と、前記要求データ、および前記パケットヘッダを利用して要求パケットを生成するパケット化処理部とを備えている。

10

【 0 0 1 0 】

上述の一般的または特定の態様は、システム、方法およびコンピュータプログラムを用いて実装され、またはシステム、方法およびコンピュータプログラムの組み合わせを用いて実現され得る。

20

【発明の効果】

【 0 0 1 1 】

本発明の一態様にかかるインタフェース装置によれば、イニシエータから発行された要求データの発行タイミングに基づいて、要求データのデッドライン時刻が補正される。要求データには補正済デッドライン時刻が設定されてバスネットワークを伝送される。これにより、各イニシエータに要求される即応性を担保しながら、要求データの送信順序と応答データの受信順序とを一致させることが可能となる。

【 0 0 1 2 】

順序によって要求データに対応する応答データを特定できるため、パケットIDをパケットヘッダに格納する必要がなくなる。これにより、パケットヘッダのサイズを削減することが可能となり、データ転送のオーバーヘッドを低減することが可能となる。

30

【図面の簡単な説明】

【 0 0 1 3 】

【図1】一般的なNoCルータの構成を示す図である。

【図2】(a)~(e)は、複数のイニシエータ側NICからの要求パケットの送信タイミング、ルータでの転送タイミング、および各イニシエータ側NICによる応答パケットの受信タイミングを示す図である。

【図3】レイテンシLの定義を説明するための例を示す図である。

【図4】NoCにより複数のイニシエータと複数のメモリが接続されたSoC200の構造を示す図である。

40

【図5】(a)~(d)は、NoC上で送受信されるパケットの種類とその構成例を示す図である。

【図6】パケットのヘッダ51の構成例を示す図である。

【図7】NIC203の構成を示す図である。

【図8】ルータ205の構成を示す図である。

【図9】(a)~(e)は、本実施形態による、複数のイニシエータ側NICからの要求パケットの送信タイミング、ルータでの転送タイミング、および各イニシエータ側NICによる応答パケットの受信タイミングを示す図である。

【図10】(a)はイニシエータ201aが、メモリ206b宛の4つのアクセス要求パケットA1、A2、A3、A4を発行している様子を示す図であり、(b)はルータ20

50

5 cにおける、NIC 204 bへのパケットA 1、A 2、A 3、A 4の転送タイミングを示す図である。

【図11】(a)はイニシエータ201 aが、同一のデッドライン時刻 T_d をもつ4つの要求パケットA 1、A 2、A 3、A 4を時刻 T_{a1} 、 T_{a2} 、 T_{a3} 、 T_{a4} に送信している様子を示す図であり、(b)は上述の処理の結果ルータ205 cから送信された、4つのパケットの順序を示す図である。

【図12】(a)~(d)は、時刻 T_{b1} 、 T_{b2} 、 T_{b3} 、 T_{b4} における、ルータ205 cの各仮想チャネルVCの様子を示す図である。

【図13】(a)はイニシエータ201 a側NICから送信されたパケット群の順序を示す図であり、(b)はバスネットワーク250上を転送されるパケット群の順序を示す図である。

10

【図14】(a)~(d)は、本実施形態にかかる補正済デッドライン時刻が設定されたときの、時刻 T_{b1} 、 T_{b2} 、 T_{b3} 、 T_{b4} における、ルータ205 cの各仮想チャネルVCの様子を示す図である。

【図15】補正部102の処理フローを示す図である。

【図16】(a)は n 個のメモリアクセス要求 $C(0)$ 、 $C(1)$ 、 \dots 、 $C(n-1)$ が時間順にバスマスタから要求され、これら n 個の要求パケットに対するデッドライン時刻が全て d である場合を示す図であり、(b)は補正済デッドライン時刻 $D(0)$ 、 $D(1)$ 、 \dots 、 $D(n-1)$ を示す図である。

【図17】ヘッダ生成部103の処理フローを示す図である。

20

【図18】パケットIDを用いない要求パケットヘッダの構成例を示す図である。

【発明を実施するための形態】

【0014】

本願発明者らは、上述した従来構成に存在する課題を検討した。

【0015】

AXI、OCP、AHBなどのオンチップバス・プロトコルでインタフェースされるイニシエータやターゲットを、パケット交換ネットワークであるNoCに相互接続するには、パケット化や脱パケット化処理を行うインタフェース装置が必要である。このようなインタフェース装置は、一般的にはNIC(Network Interface Controller)と呼ばれる。すなわち、NICは、イニシエータやターゲットなどノードと、NoCとを接続するために設けられる。

30

【0016】

図2(a)~(e)は、複数のイニシエータ側NICからの要求パケットの送信タイミング、ルータでの転送タイミング、および各イニシエータ側NICによる応答パケットの受信タイミングを示す。

【0017】

図2(a)および(b)は、2つのイニシエータ(イニシエータaとイニシエータb)側のNICが、メモリにアクセス要求パケットを送信するタイミングを示す。図2(c)は、イニシエータa側NICおよびイニシエータb側NICの要求パケットを、転送経路上のルータが転送するタイミングを示す。全てのパケットは、このルータの同一の出力ポートから転送されるとする。図2(d)および(e)は、イニシエータa側NICおよびイニシエータb側NICが、メモリからアクセス応答パケットを受信するタイミングを示す。横軸は時間の経過を表し、右にいくほど時間が進んでいることを示す。

40

【0018】

イニシエータb側NICは、時刻 T_0 、 T_1 に2つのパケットを送信する。それぞれのパケットのデッドライン時刻は、時刻 T_8 、 T_9 である。イニシエータa側NICは、時刻 T_2 に1つのパケットを送信する。そのデッドライン時刻は、時刻 T_7 である。

【0019】

パケットの「デッドライン時刻」とは、該パケットの要求に対する応答がイニシエータに到着するまでに要する時間(レイテンシ)に対する最大許容限界の値である。デッドラ

50

イン時刻はイニシエータによって指定される。

【0020】

パケットA1、B1、B2は転送経路上のルータの仮想チャンネルに格納され、次の調停タイミングで転送される。パケットA1、B1、B2が同一の出力ポートに転送されるよう経路が設定されている場合には、パケットの転送順序は、パケット生成時点からの経過時刻によって決定される。つまり、図2(c)に示すように、パケットB1、B2、A1の順に転送されることになる。これは、デッドライン時刻が最も早いイニシエータa側NICからのパケットが最後に処理されることを意味する。

【0021】

このような転送経路上でのパケットA1の遅延により、イニシエータa側NICは、要求パケットA1に対する応答パケットa1を、時刻T8に受信する。つまり、イニシエータaは、デッドライン時刻T7までに応答パケットa1を受信できない。

10

【0022】

デッドライン時刻を越えて応答がイニシエータに届いた場合には、イニシエータでの処理結果が保証されなくなる。一例として、いま、フレームレートが毎秒60フレームの映像のフレームデータを受信する処理を考える。映像のフィルタリング処理などを行うイニシエータは、各フレームデータのメモリからの読み出しを1/60秒以内に完了する必要がある。そのため、メモリからのフレームデータの読み出しの要求パケットに対するデッドライン時刻は、要求パケット発行時点から1/60秒以内に設定される。しかしながら、デッドライン時刻を過ぎて応答パケットがイニシエータ側NICに到着すると、イニシエータはフレームレート以内で各フレームの映像処理を行うことができない。その結果、再生画面がフリーズし、または再生画面の一部が欠落する、という異常を生じさせる。

20

【0023】

このように、各イニシエータが異なるデッドライン時刻を指定するような場合には、経過時刻によって転送順序を決定する方法では、デッドライン時刻の早いパケットでメモリアクセスのレイテンシ制約が守れなくなる場合がある。

【0024】

ここで図3を参照しながら、レイテンシを説明する。図3は、レイテンシLの定義を説明するための例を示す。本例では、イニシエータがメモリアクセスを行う際のレイテンシを説明する。「レイテンシ」とは、イニシエータがメモリアクセスの要求をバスに対して発行した時刻を起点として、メモリアクセスの実行時間を含めて、メモリアクセスの結果である応答データがイニシエータに到着するまでに要した時間の全体を意味する。レイテンシが大きくなり、デッドライン時刻を越えてしまった場合、イニシエータ側の処理が要求するリアルタイム性を、該メモリアクセスが満たすことができない。その結果、上述の例からも明らかなように、該メモリアクセス結果のデータを用いて行われるはずの、イニシエータ側の処理の結果は保証されない。

30

【0025】

なおデッドライン時刻は、イニシエータの行う処理の内容に依存して決まるため、デッドライン時刻も要求毎(パケット毎)に異なるのが普通である。例えば、映像を処理するイニシエータと、音声処理するイニシエータのメモリアクセスに対するデッドライン時刻は異なる。よって、図2に示すイニシエータaおよびbのように、デッドライン時刻が異なるパケットが送信されることは当然に想定される。

40

【0026】

本発明の一態様の概要は以下のとおりである。

【0027】

本発明の一態様であるインタフェース装置は、集積回路上に設けられたイニシエータと、前記集積回路上に形成されたバスネットワークとを接続するためのインタフェース装置であって、前記バスネットワークはパケット交換方式ネットワークであり、前記イニシエータから前記バスネットワーク上のノードに宛てて、デッドライン時刻が指定された要求データが発行されたときに、前記要求データに回答した前記ノードによって発行された応

50

答データが、前記デッドライン時刻までに前記イニシエータに受信されるよう設計されており、前記インタフェース装置は、前記イニシエータから発行された前記要求データの発行タイミングに基づいて、前記要求データのデッドライン時刻を補正して、補正済デッドライン時刻の情報を生成する補正部と、前記補正済デッドライン時刻の情報を格納したパケットヘッダを生成するヘッダ生成部と、前記要求データ、および前記パケットヘッダを利用して要求パケットを生成するパケット化処理部とを備えている。

【0028】

ある実施形態において、前記イニシエータが、同じデッドライン時刻を指定して複数の要求データを発行したときにおいて、前記補正部は、前記複数の要求データの発行タイミングの先後関係が維持されるよう、各要求データのデッドライン時刻を補正する。

10

【0029】

ある実施形態において、前記イニシエータが、同じデッドライン時刻を指定して第1要求データおよび第2要求データを順に発行したときにおいて、前記補正部は、前記第1要求データのデッドライン時刻を補正して、前記イニシエータによって指定された前記デッドラインよりも早い第1補正済デッドライン時刻を生成し、前記第2要求データのデッドライン時刻を補正して、前記第1補正済デッドライン時刻よりも遅く、かつ前記イニシエータによって指定された前記デッドラインよりも早いまたは前記イニシエータによって指定された前記デッドラインと同じ第2補正済デッドライン時刻を生成する。

【0030】

ある実施形態において、前記補正部は、前記補正済第2デッドライン時刻として、前記第1補正済デッドライン時刻よりも遅く、かつ前記イニシエータによって指定された前記デッドライン時刻と同じ時刻を採用する。

20

【0031】

ある実施形態において、前記イニシエータが、前記第2要求データの後に、同じ前記デッドライン時刻を指定してさらに第3要求データを発行したときにおいて、前記補正部は、最後に発行された前記第3要求データの補正後のデッドライン時刻である第3補正済デッドライン時刻として、前記イニシエータによって指定された前記デッドライン時刻と同じ時刻を採用する。

【0032】

ある実施形態において、前記補正部は、前記第1補正済デッドライン時刻と前記第2補正済デッドライン時刻との間隔と、前記第2補正済デッドライン時刻と前記第3補正済デッドライン時刻との間隔とが一定になるよう、前記第1補正済デッドライン時刻、前記第2補正済デッドライン時刻、および前記第3補正済デッドライン時刻を生成する。

30

【0033】

ある実施形態において、前記補正部は、前記間隔が、前記バスネットワークにおいて予め定められている値に一致するよう、前記第1補正済デッドライン時刻、前記第2補正済デッドライン時刻、および前記第3補正済デッドライン時刻を採用する。

【0034】

ある実施形態において、前記補正部は、前記第1補正済デッドライン時刻と前記第2補正済デッドライン時刻との間隔と、前記第2補正済デッドライン時刻と前記第3補正済デッドライン時刻との間隔とが異なる値になるよう、前記第1補正済デッドライン時刻、前記第2補正済デッドライン時刻、および前記第3補正済デッドライン時刻を生成する。

40

【0035】

ある実施形態において、前記イニシエータには、同じデッドライン時刻を付与して発行することが可能な要求データの最大数が予め定められており、前記補正部は、前記最大数に基づいて、複数の補正済デッドライン時刻間の間隔を決定する。

【0036】

ある実施形態において、前記イニシエータは、同じデッドライン時刻を付与して発行する要求データのデータ数を示す情報を出力し、前記補正部は、前記データ数に基づいて、複数の補正済デッドライン時刻間の間隔を決定する。

50

【 0 0 3 7 】

ある実施形態において、前記バスネットワークは、前記イニシエータから前記ノードまでの間でパケットを中継する少なくとも1つのルータを有し、かつ、前記バスネットワークには、前記イニシエータを含む複数のイニシエータが接続されており、前記少なくとも1つのルータが中継するパケットの要求データを発行する2以上のイニシエータの各々には、同じデッドライン時刻を付与して発行することが可能な要求データの最大数が予め定められており、前記補正部は、前記2以上のイニシエータに定められた各最大数のうちの最大値に基づいて、複数の補正済デッドライン時刻間の間隔を決定する。

【 0 0 3 8 】

ある実施形態において、前記ヘッダ生成部は、前記バスネットワーク上で前記イニシエータを一意に特定する識別子を前記パケットヘッダにさらに格納する。

10

【 0 0 3 9 】

ある実施形態において、前記ヘッダ生成部は、前記補正済デッドライン時刻の情報を前記パケットヘッダに格納し、かつ、前記バスネットワーク上で前記イニシエータを一意に特定する識別子を格納しない。

【 0 0 4 0 】

ある実施形態において、前記ヘッダ生成部は、前記補正済デッドライン時刻の情報を前記パケットヘッダに格納し、さらに前記要求データの送信元である前記イニシエータを特定する情報を前記パケットヘッダに格納する。

【 0 0 4 1 】

ある実施形態において、前記ノードは、前記バスネットワークとメモリとを接続するメモリコントローラであり、前記ヘッダ生成部は、前記補正済デッドライン時刻と前記メモリコントローラの宛先の情報を前記パケットヘッダに格納する。

20

【 0 0 4 2 】

本発明の他の一態様であるバスシステムは、集積回路上に形成されたバスネットワークと、前記バスネットワークに接続されたイニシエータと、上述のいずれかのインタフェース装置であって、前記イニシエータと前記バスネットワークとを接続するインタフェース装置とを備えている。

【 0 0 4 3 】

本発明の他の一態様であるバスシステムは、集積回路上に形成されたバスネットワークと、前記バスネットワークに接続された複数のイニシエータと、各々が、上述のいずれかのインタフェース装置であって、前記複数のイニシエータの各々と前記バスネットワークとを接続する、インタフェース装置を複数備えており、前記ルータは、前記複数のイニシエータの各々と接続された各インタフェース装置から送信された要求パケットを格納するバッファと、各々が異なる伝送経路に接続された、複数の出力ポートと、特定の出力ポートから出力される要求パケットが複数存在する場合において、予め定められた調停ルールに従って定まる順序で、前記特定の出力ポートからの各要求パケットの送信を調停する調停器を備えている。

30

【 0 0 4 4 】

ある実施形態において、前記ルータの調停器は、デッドライン時刻が早く到来する要求パケットから出力されるように定められた調停ルールを有しており、前記特定の出力ポートから出力される複数の要求パケットにそれぞれ格納されている、複数の補正済デッドライン時刻と前記調停ルールとにしたがって、前記特定の出力ポートからの各要求パケットの送信を調停する。

40

【 0 0 4 5 】

ある実施形態において、前記ノードは、前記バスネットワークとメモリとを接続するメモリコントローラであり、各インタフェース装置のヘッダ生成部は、前記補正済デッドライン時刻と前記メモリコントローラの宛先の情報を前記パケットヘッダに格納する。

【 0 0 4 6 】

以下、添付の図面を参照しながら、本実施形態を説明する。

50

【 0 0 4 7 】

(実施の形態 1)

図 4 は、N o C により複数のイニシエータと複数のメモリが接続された S o C 2 0 0 の構造を示す。S o C 2 0 0 は、パケット交換方式のバスネットワーク（分散型バスネットワーク）2 5 0 を備えた半導体の集積回路（チップ）である。S o C 2 0 0 では、チップ上に構築されたネットワーク 2 5 0 によって、複数のイニシエータ 2 0 1 a ~ 2 0 1 e と、複数のメモリ 2 0 6 a、2 0 6 b とが接続されている。メモリ 2 0 6 a、2 0 6 b に対応して、メモリコントローラ 2 0 2 a および 2 0 2 b も設けられている。

【 0 0 4 8 】

イニシエータ 2 0 1 a ~ 2 0 1 e は、プロセッサ、D S P (D i g i t a l S i g n a l P r o c e s s o r)、G P (G r a p h i c P r o c e s s o r)、I O (I n p u t / O u t p u t) デバイスなどである。

10

【 0 0 4 9 】

図示される N I C、およびメモリコントローラは、それぞれがチップ（S o C 2 0 0）上に構築された電子的な回路であってもよいし、S o C 2 0 0 と配線されて動作するコンパニオン・チップのような形態であってもよい。N I C は、特定の物理層および/またはデータリンク層を使用して通信を行うことができる。

【 0 0 5 0 】

メモリ 2 0 6 a、2 0 6 b はイニシエータ 2 0 1 a ~ 2 0 1 e の各々からアクセスされる記憶装置である。メモリは、たとえば D R A M、S R A M、E E P R O M 等を含む。各イニシエータやメモリが混在する S o C 2 0 0 上では、A X I、A H B、A P B、O C P、P I F などの任意のバスプロトコル・インタフェースの混在が許される。各イニシエータやメモリは、イニシエータ側 N I C 2 0 3 a ~ 2 0 3 e、メモリ側 N I C 2 0 4 a、2 0 4 b、およびメモリコントローラ 2 0 2 a および 2 0 2 b を介して、ルータで構成されるパケット交換ネットワーク 2 5 0 に接続される。各 N I C はパケット交換ネットワーク 2 5 0 へのバスプロトコル変換処理を行い、イニシエータ - メモリ間で送受信されるメモリアクセスのデータを、パケット化/脱パケット化して N o C バスにインタフェースする。

20

【 0 0 5 1 】

メモリコントローラ側 N I C 2 0 4 a、2 0 4 b は、ルータ網から受信したデータを脱パケット化し、メモリコントローラ 2 0 2 a、2 0 2 b に渡すと共に、メモリから読み出され、メモリコントローラ 2 0 2 a、2 0 2 b から取得したアクセス結果をパケット化し、ルータ網に転送する。

30

【 0 0 5 2 】

本実施形態は、S o C のバスネットワークとして、S o C 上に設けられたメモリアクセス用バスを例に挙げて説明する。

【 0 0 5 3 】

図 5 (a) ~ (d) は、N o C 上で送受信されるパケットの種類とその構成例を示す。

【 0 0 5 4 】

図 5 (a) および (b) は、ライトおよびリードの各要求パケットの構成例を示す。ライトの要求パケットは、ヘッダ 5 1 a および要求データ 5 2 a を含む。リードの要求パケットは、ヘッダ 5 1 b および要求データ 5 2 b を含む。

40

【 0 0 5 5 】

図 5 (c) および (d) は、ライトおよびリードの各応答パケットの構成例を示す。応答パケットとは、要求パケットに回答して実行された結果を示すデータを格納する。ライトの応答パケットは、ヘッダ 5 1 c および応答データ 5 2 c を含む。リードの応答パケットは、ヘッダ 5 1 d およびリードデータ 5 2 d を含む。

【 0 0 5 6 】

図 6 は、パケットのヘッダ 5 1 の構成例を示す。ヘッダ 5 1 は、たとえばパケット I D フィールド 5 1 - 1、パケット種別フィールド 5 1 - 2、送信元フィールド 5 1 - 3、宛

50

先フィールド51-4、デッドライン情報フィールド51-5、データサイズフィールド51-6を有している。これら以外の情報を格納するフィールドがヘッダに含まれても良い。

【0057】

パケットIDフィールド51-1は、NICで、送信したリクエストパケットと対応するレスポンスパケットの対応関係を管理するための、イニシエータ毎に一意の識別子(パケットID)を格納する。パケットIDは、要求パケットと応答パケットの対応付けを行うために用いられる。

【0058】

パケット種別フィールド51-2は、該パケットがリードの要求か応答か、ライトの要求か応答かを示す情報(パケット種別情報)を格納する。パケット種別情報は、メモリアクセスパケットやリード、ライトの区別、制御パケットの区別などを行うために利用される。

10

【0059】

送信元フィールド51-3や宛先フィールド51-4は、NoCルータがパケットの配送経路をルーティングする場合に必要となる、システムで一意の宛先となるイニシエータやメモリのIDを格納する。

【0060】

デッドライン情報フィールド51-5は、要求パケットに対応した応答パケットのデータがイニシエータに返信されるまでに許容できるレイテンシから求められる値を格納する。

20

【0061】

データサイズフィールド51-6は、メモリからのリードやライトのデータサイズを指定するための情報を格納する。

【0062】

図7は、本開示にかかるNIC203の構成を示す。NIC203は、図4に示すイニシエータ側のNIC203a~203eの各々に対応する。なお、パケット交換ネットワーク250上のNIC203a~203eは、共通に参照可能な、または、NIC間で同期された、計数カウンタSTC(System Time Clock; 図示せず)をもち、現在時刻の取得やデッドライン時刻の算出に用いることが可能である。

30

【0063】

NIC203は、パケット交換ネットワーク250に接続される。図7では、NIC203は、イニシエータ106と、パケット交換ネットワーク250の一部を構成するルータ107とに接続されている。NIC203は、イニシエータ106から、要求データとともにデッドライン時刻の情報を受信する。またNIC203は、イニシエータ106に、応答データを送信する。

【0064】

NIC203は、デッドライン時刻補正部102と、ヘッダ生成部103と、パケット化処理部104と、脱パケット化処理部105とを有している。

【0065】

デッドライン時刻補正部102(以下、「補正部102」と記述する。)は、イニシエータ106のメモリアクセス要求の発行タイミングを検出する。そして補正部102は、その発行タイミングの順序が維持されるよう、要求データのデッドライン時刻を補正して、補正済デッドライン時刻dの情報を生成する。より具体的に説明すると、補正部102は、イニシエータ106が許容可能なレイテンシの値Lと、STCから取得可能なイニシエータ106の要求発行時刻Sの値とを利用して、補正済デッドライン時刻dを計算する。

40

【0066】

ヘッダ生成部103は、要求パケットのためのヘッダ51を生成する。ヘッダ生成部103が生成するヘッダ51の構造は、図6に示す通りである。ヘッダ生成部103は、補

50

正部 102 により生成された補正済デッドライン時刻 d の情報を、デッドライン情報フィールド 51 - 5 に格納する。なお、通常のルータであれば、イニシエータ 106 に指定されたデッドライン時刻を示す情報をデッドライン情報フィールド 51 - 5 に格納する。

【0067】

パケット化処理部 104 は、イニシエータ 106 からの各メモリアクセス要求 C (i) に応じて、ヘッダ生成部 103 で生成された要求パケットのヘッダと、イニシエータからの要求データからアクセスするメモリのアドレス、ライトの場合にはライトするデータを取得し、要求パケットを生成する。パケット化処理部 104 が生成するパケットの構造は、図 5 (a) または図 5 (b) に示す通りである。パケット化処理部 104 は、生成した要求パケットを、ルータ 107 に送信する。

10

【0068】

脱パケット化処理部 105 は、ルータ 107 から受信した応答パケット (図 5 (c) または図 5 (d)) を脱パケット化する。脱パケット化処理部 105 は、応答パケットがライト要求に対応するパケットである場合には、ライトのステータスを応答データ 52 c としてイニシエータ 106 に送信する。または、脱パケット化処理部 105 は、応答パケットがリード要求に対応するパケットである場合には、リードのステータスとリード結果であるリードデータ 52 d を応答データとして、イニシエータ 106 に送信する。これにより、イニシエータ 106 のメモリへのアクセスが完了する。

【0069】

図 8 は、ルータ 205 の構成を示す。ルータ 205 は、複数の入力ポート 210 と、調停器 211 と、バッファ 212 と、クロスバスイッチ 213 と、複数の出力ポート 214 とを備えている。複数の入力ポート 210 および複数の出力ポート 214 は、入出力のインタフェース端子である。バッファ 212 は、たとえば RAM である。

20

【0070】

図 8 に示されるルータ 205 は、図 4 に示すルータ 205 c に対応する。また図 8 では、ルータ 205 が、図 4 のルータ 205 a、205 b、および NIC 203 e からパケットを受信し、NIC 204 b にパケットを出力するとして記載している。

【0071】

複数の入力ポート 210 は、他のルータや NIC からのパケットを受信する。複数の入力ポート 210 において受信されたパケットは、バッファ 212 に格納される。バッファ 212 は、1つの入力ポートごとに2つの仮想チャネル (Virtual Channel ; VC) を有している。各仮想チャネル VC には、1つのパケットが格納される。図 8 には、パケット A1、B1 および B2 が格納された3つの仮想チャネルと、まだパケットを格納していない3つのチャネルとが例示されている。

30

【0072】

調停器 211 は、各仮想チャネル VC に格納されたパケットのパケットヘッダの宛先フィールド 51 - 4 を参照し、パケットの宛先の情報を取得する。そして調停器 211 は、異なる仮想チャネル VC 内に、同じ出力ポートに出力すべきパケットが複数存在するか否かを判定する。そのようなパケットが存在する場合には、調停器 211 は、後述する調停ルールに従い、パケットをひとつずつ順次選択する。

40

【0073】

調停器 211 は、選択したパケットが、その宛先に至る出力ポートに出力されるよう、クロスバスイッチ 213 を切り替える。これにより、パケットが宛先に向けて転送されることになる。なお、図 8 に示す例では、調停器 211 がクロスバスイッチ 213 の切り替え制御を行うとして説明するが、この構成は一例である。調停器 211 に代わる制御回路 (図示せず) がクロスバスイッチ 213 の切り替え制御を行ってもよい。

【0074】

選択されずに仮想チャネル VC 内に残ったパケットは、次の送信機会に再度調停される。

【0075】

50

次に、図9を参照しながら、本実施形態にかかるルータ205の調停ルールを説明する。なお、前提として、図4の packets 交換ネットワーク250では、イニシエータ201aからメモリコントローラ202bに向かうパケットは、ルータ205a、ルータ205cを経由して、メモリコントローラ202bに到達するよう、その経路が設定されている。またイニシエータ201bからメモリコントローラ202bに向かうパケットは、ルータ205b、ルータ205cを経由して、メモリコントローラ202bに到達するよう、その経路が設定されている。また各メモリコントローラから各イニシエータに向かうパケットは、イニシエータからメモリコントローラに向かう経路と逆の経路を通るよう、その経路が設定されている。

【0076】

図9(a)は、イニシエータ201a側NICのパケット送信タイミングとデッドライン時刻との関係を示す。イニシエータ201a側NICは、時刻T2にメモリ206bに対するリード要求パケットA1を送信している。そのデッドライン時刻は、時刻T7である。なお、図9(a)~(e)では、右にいくほど時間が進んでいることを示す。

【0077】

また図9(b)は、イニシエータ201b側NICのパケット送信タイミングとデッドライン時刻との関係を示す。イニシエータ201b側NICは、時刻T0、T1にメモリ206bに対する2つのメモリリードの要求パケットB1、B2を送信している。それぞれのパケットのデッドライン時刻は、時刻T8、T9である。

【0078】

これらのパケットA1、B1、B2は、ルータ205cに到達し、その仮想チャネルVCに格納される。先に説明した図8は、ルータ205cにおいて、3つの要求パケットA1、B1、B2がVC内に格納され、次の出力調停を待っている時刻T3における状態を示している。

【0079】

出力ポート競合時のルータの調停ルールとして、調停器211は、競合する各パケットのヘッダ内に格納されているデッドライン情報を比較し、デッドライン時刻の早いパケットから先に出力ポートを割り当てる。本実施形態では、デッドライン情報は、時間経過を反映させた大小関係をもつことを前提に説明を行う。たとえば、デッドライン情報は、デッドライン時刻が早いほど小さく、遅いほど大きくしてもよいし、逆にデッドライン時刻が遅いほど小さく、早いほど大きくしてもよい。いずれにするかは設計事項である。ただし、このようなデッドライン情報の表現形式は一例である。これに限定される必要はない。

【0080】

図9(c)は、ルータ205cの調停器211が、デッドライン情報の小さいパケットから順に出力ポートを割り当てた結果、パケットA1、B1、B2がこの順で出力されている様子を示す。時刻T3での調停処理において、調停器211は、メモリ206bに到達可能な同一の出力ポートの割当を要求するパケットA1、B1、B2のデッドライン時刻である、T7、T8、T9を比較する。T7 < T8 < T9の関係から、調停器211は、まずパケットA1に出力ポートを割り当てる。その結果、時刻T3の調停では、パケットA1が転送される。また続いて時刻T4の調停では、調停器211は、T8 < T9の関係から、パケットB1に出力ポートを割り当てる。その結果、時刻T4の調停では、パケットB1が転送される。続いて時刻T5の調停では、出力ポートが競合するパケットが存在しないため、調停器211は、パケットB2を出力ポートから出力する。

【0081】

図9(d)は、イニシエータ201a側NICが、要求パケットA1に対する応答パケットa1を受信するタイミングを示す。転送経路上のルータでのデッドライン情報の比較によって仮想チャネルVC内での待ち合わせ遅延が低減された結果、要求パケットA1に対する応答パケットa1は、デッドライン時刻である時刻T7より早くイニシエータ201aに到達することになる。すなわち、その時刻よりも前にイニシエータ201aのメモ

10

20

30

40

50

リアクセスが完了する。

【0082】

また図9(e)はイニシエータ201b側NICが、要求パケットB1、B2に対する応答パケットb1、b2を受信するタイミングを示す。応答パケットb1、b2とも、それぞれのデッドライン時刻である時刻T8、T9より早くイニシエータ201bに到達している。つまり、時刻T8、T9よりも前にイニシエータ201bのメモリアクセスが完了している。このように、デッドライン情報を比較して、デッドライン時刻が早く到来するパケットから転送されるよう、パケット転送順序の調停を行うことにより、イニシエータ毎に異なるレイテンシの要求を守ることができる。

【0083】

図10(a)は、イニシエータ201a側NICが、メモリ206b宛ての4つのアクセス要求パケットA1、A2、A3、A4を発行している様子を示す。各パケットのデッドライン時刻は、それぞれ時刻T1、T2、T3、T4であり、 $T1 < T2 < T3 < T4$ の関係が成り立つとする。

【0084】

図10(b)は、ルータ205cにおける、NIC204bへのパケットA1、A2、A3、A4の転送タイミングを示す。パケットA1、A2、A3、A4がルータ205c内の仮想チャネルVCに格納された状態において、ルータ205c内の調停器が各パケットのヘッダ内に格納されるデッドライン情報フィールド51-5を参照する。そして調停器がデッドライン時刻を比較することにより、イニシエータ201aが要求を発行した順序に従い、ルータ205cからパケットを転送する。

【0085】

一般的に、イニシエータのアクセス要求は、イニシエータが要求を発行した順番で応答が得られることを仮定する。これは、「インオーダー制約」と呼ばれる。つまり先行するアクセスに対するデッドライン時刻は、後続のアクセスに対するデッドライン時刻よりも後になることはない。

【0086】

このため、デッドライン時刻による調停ルールに従うルータで構成されたパケット交換ネットワークでは、転送経路上のルータが複数の仮想チャネルVCを備えている場合であっても、デッドライン時刻に違いがあれば、イニシエータが要求を発行した順序が変更されることはない。

【0087】

一方、イニシエータが発行した複数の要求が、同じデッドライン時刻を有することはあり得る。この場合、NoCにおけるルータの転送方法に起因する問題が生じる。図11および図12を参照しながら、以下具体的に説明する。なお、ルータ205cはルータ205aから送信されたパケットを仮想チャネルVCに格納しているとして説明する。

【0088】

図11(a)は、イニシエータ201aが、同一のデッドライン時刻Tdをもつ4つの要求パケットA1、A2、A3、A4を時刻Ta1、Ta2、Ta3、Ta4に送信している様子を示す。

【0089】

また図12(a)~(d)は、時刻Tb1、Tb2、Tb3、Tb4における、ルータ205cの各仮想チャネルVCの様子を示す。時刻Tb1において、2つの仮想チャネルは、それぞれルータ205aから受信した2つのパケットA1およびA2を格納している。最初のパケットA1は下側の仮想チャネルに格納され、次のパケットA2が上側の仮想チャネルに格納されている。

【0090】

他の入力ポートに競合するパケットがない場合、時刻Tb1において、調停器211は、パケットA2およびA1のデッドライン情報を比較する。比較の結果、いずれのデッドライン時刻も時刻Tdであるため、調停器211は上述した調停ルールを適用できず、い

10

20

30

40

50

ずれを優先させるかの順序を決定できない。そこで調停器 2 1 1 は、上側の仮想チャンネル VC に格納されたパケット A 2 に出力ポートを割り当て、パケット A 2 を転送する（図 1 2 (a)）。

【 0 0 9 1 】

次の調停タイミングにあたる時刻 T b 2 では、調停器 2 1 1 は、パケット A 3 および A 1 のデッドライン情報を比較する。デッドライン時刻が同じであるため、この場合も上述したパケット A 1 および A 2 の関係と同様、調停器 2 1 1 は順序を決定できず、上側の仮想チャンネル VC に格納されたパケット A 3 に出力ポートを割り当て、パケット A 3 を転送する。

【 0 0 9 2 】

さらに次の調停タイミングにあたる時刻 T b 3 でも全く同様に、調停器 2 1 1 は、上側の仮想チャンネル VC に格納されたパケット A 4 に出力ポートを割り当て、パケット A 4 を転送する。

【 0 0 9 3 】

次の調停タイミングにあたる時刻 T b 4 では、VC 内にはパケット A 1 のみが格納されているため、調停器 2 1 1 は、パケット A 1 に出力ポートを割り当てる。

【 0 0 9 4 】

図 1 1 (b) は、上述の処理の結果ルータ 2 0 5 c から送信された、4 つのパケットの順序を示す。ルータ 2 0 5 c がパケットを転送する順序は、図 1 1 (b) に示すように、パケット A 2、A 3、A 4、A 1 の順となる。つまり、イニシエータ 2 0 1 a の要求パケットの送信順序が守られていない。

【 0 0 9 5 】

そこで本実施形態では、イニシエータが同一のデッドライン時刻をもつ複数の要求パケットを送信した場合には、経路上のルータで送信順序を守るために、要求パケットに対する本来のデッドライン時刻を補正して、補正済デッドライン時刻の情報を生成する。そして、バスネットワーク 2 5 0 を介してパケットを転送する際には、各ルータの調停器は、補正済デッドライン時刻を利用して調停を行う。これにより、イニシエータのインオーダー制約を満たす。

【 0 0 9 6 】

具体的には、図 1 3 (a) に示す順序でイニシエータ 2 0 1 a 側 NIC から送信されたパケット群が、図 1 3 (b) に示す順序でバスネットワーク 2 5 0 上を転送されるよう、イニシエータ側 NIC 2 0 3 (図 7) がデッドライン時刻を補正する。以下具体的に説明する。

【 0 0 9 7 】

図 1 3 (a) に示すように、イニシエータ 2 0 1 a から共通の時刻 T d をデッドライン時刻とする 4 つの要求データのパケット A 1、A 2、A 3、A 4 が発行されたとする。NIC 2 0 3 a の補正部 1 0 2 (図 7) は、各パケットのパケットヘッダ中のデッドライン情報フィールド 5 1 - 5 に格納されていた値を補正して、パケット A 1、A 2、A 3、A 4 の各デッドライン時刻を一定間隔 x で順列させる。このとき、先に送信されたパケットほど、早くデッドライン時刻が到来するよう、補正済デッドライン時刻が設定される。

【 0 0 9 8 】

例えば、要求パケット A 1 の補正済デッドライン時刻を $T d - 3 x$ 、A 2 の補正済デッドライン時刻を $T d - 2 x$ 、A 3 の補正済デッドライン時刻を $T d - x$ 、A 4 の補正済デッドライン時刻を $T d$ としてもよい。このとき、 $x = 1$ として、要求パケット A 1 の補正済デッドライン時刻を $T d - 3$ 、A 2 の補正済デッドライン時刻を $T d - 2$ 、A 3 の補正済デッドライン時刻を $T d - 1$ 、A 4 の補正済デッドライン時刻を $T d$ としてもよい。

【 0 0 9 9 】

上述のようにパケット A 1、A 2、A 3、A 4 の補正済デッドライン時刻に、イニシエータ 2 0 1 a の要求データの発行順序に従った大小関係ができるため、経路上のルータが複数の VC を有する構成であっても、転送順序の入れ換わりを防止することができる。

10

20

30

40

50

【 0 1 0 0 】

図 1 4 (a) ~ (d) は、本実施形態にかかる補正済デッドライン時刻が設定されたときの、時刻 T b 1、T b 2、T b 3、T b 4 における、ルータ 2 0 5 c の各仮想チャンネル V C の様子を示す。この処理により、図 1 3 (b) に示すように、パケット送信時と同じ順序で各パケットが伝送される。

【 0 1 0 1 】

以下、補正部 1 0 2 の具体的な動作を説明する。

【 0 1 0 2 】

図 1 5 は補正部 1 0 2 の処理フローを示す。

【 0 1 0 3 】

まずステップ S 1 において、補正部 1 0 2 は、イニシエータから発行されたデータの packets を生成するために、デッドライン時刻を設定する。すなわち補正部 1 0 2 は、イニシエータ 1 0 6 が許容可能なレイテンシの値 L と、S T C から取得可能なイニシエータ 1 0 6 の要求発行時刻 S の値とを利用して、たとえば数 1 に示すようにデッドライン時刻 d を算出する。

$$(\text{数 } 1) \quad d = S + L$$

【 0 1 0 4 】

要求パケット毎にデッドライン時刻 d が異なる場合、補正部 1 0 2 は、要求パケットの packet ヘッダに格納する補正済デッドライン時刻 D を、数 2 に示すように生成すればよい。

$$(\text{数 } 2) \quad D = d$$

【 0 1 0 5 】

イニシエータからの要求データの発行時刻 S は異なっているが、デッドライン時刻 d が同じ場合がある。例えばメモリから読み出された複数のリードデータを、ある期限までに全て揃えた後にデータの処理を行うイニシエータを想定する。このイニシエータからの要求データを格納した複数の要求パケットは、同一のデッドライン時刻 d を有する状況が発生する。このような場合、補正部 1 0 2 は、数 1 によって算出したデッドライン時刻 d を補正し、補正済デッドライン時刻 D を生成する。

【 0 1 0 6 】

図 1 6 (a) に示すように、n 個のメモリアクセス要求 C (0)、C (1)、・・・、C (n - 1) が時間順にバスマスタから要求され、これら n 個の要求パケットに対するデッドライン時刻が全て d である場合、補正部 1 0 2 は、数 3 に従い、図 1 6 (b) に示すように補正済デッドライン時刻 D (0)、D (1)、・・・、D (n - 1) を決定する。

$$(\text{数 } 3) \quad C (i) : \quad D (i) = d - (n - 1 - i) \times W \quad (i = 0, 1, \dots, n - 1)$$

ステップ S 2 において i が 0 にリセットされる。

【 0 1 0 7 】

W は予め設定された固定値としてもよいし、乱数などを用いた可変値としてもよい。W は N I C 2 0 3 内にパラメータとして実装されていてもよいし、イニシエータ 1 0 6 によって N I C 2 0 3 内のレジスタに設定されてもよい。全ての要求パケットの補正済デッドライン時刻 D (i) と補正前のデッドライン時刻 d の差を最も小さくするには、W = 1 の固定値とし、末尾の要求パケットである C (n - 1) に付与される補正済デッドライン時刻 D (n - 1) を、本来のデッドライン時刻 d に一致させればよい。ただし、本実施形態はこれに限定されない。ここでいう W = 1 は、たとえば、バスシステムにおいて用いられるシステム基準クロックの最小単位、つまりクロック周期あってもよいし、そのようなクロック周期と無関係の、無次元の値として決定されてもよい。この値は、たとえばバスネットワーク 2 5 0 の利用にあたって予め定められている値である。

【 0 1 0 8 】

最も早く到来する補正済デッドライン時刻が付与される要求パケットは、C (0) である。補正部 1 0 2 は、数 4 に示すように補正済デッドライン時刻 D (0) を算出する。

10

20

30

40

50

$$(数4) \quad D(0) = d - (n - 1) \times W$$

【0109】

パケットC(0)の要求時刻をS(0)とすると、最も早い補正済デッドライン時刻が付与される要求パケットが要求の発行時刻以降のデッドライン情報をもつためには、数5が成立することが必要である。

$$(数5) \quad S(0) < D(0)$$

数5より、数6の関係が導き出せる。

$$(数6) \quad W < (d - S(0)) / (n - 1)$$

【0110】

イニシエータ106が発行する同一のデッドライン時刻を有する要求の最大数が予め決まっている場合は、最大数をNとし、数7に従いWを決めてもよい。

$$(数7) \quad W = (d - S(0)) / (N - 1)$$

【0111】

また同一のデッドライン時刻を有する一連の要求に対するデッドライン時刻dが数1のように決定される場合は、数7に数1を代入することで、数8のようにWを決めてもよい。

$$(数8) \quad W = ((S(0) + L) - S(0)) / (N - 1) = L / (N - 1)$$

【0112】

ステップS3において、補正部102は、上述のように求めたWが数3に組み込まれた式により、補正済デッドライン時刻を生成する。その後、ステップS4によりiがインクリメントされ、ステップS5の判定処理により、補正部102は、全てのパケットについて補正済みデッドライン時刻を算出したかどうかを判定する。全てのパケットについて補正済みデッドライン時刻を算出した場合には、処理は終了する。

【0113】

なお、図4のように複数のイニシエータ201a~201eがシステム上に存在する場合において、イニシエータ毎の同一のデッドライン時刻を有する要求の最大数をNa~Ne、許容可能なレイテンシの値をLa~Leとすると、補正部102は、N及びLを数9及び数10によって定義してもよい。

$$(数9) \quad N = \max \{ N_a, N_b, N_c, N_d, N_e \}$$

$$(数10) \quad L = \min \{ L_a, L_b, L_c, L_d, L_e \}$$

【0114】

数9及び数10により定義されたN, Lを用いて数8によりWを決定することで、全てのイニシエータで共通のデッドライン間隔Wを用いることができ、実装を簡略化できる。

【0115】

また、数9及び数10において右辺の対象となるイニシエータを、イニシエータ201a~201eの中で転送経路上のルータ205a~205cでデッドライン情報が比較されるイニシエータだけに限定してもよい。例えば、イニシエータ201a、201b、201cはルータでデッドライン情報が比較され、イニシエータ201d、201eは実時間性を要求しないイニシエータであるなどの理由でデッドライン情報が比較されない場合を想定する。この場合には、補正部102は、数11及び数12により、同一のデッドライン時刻を有する要求の最大数Nと許容可能なレイテンシの値Lを定義してもよい。

$$(数11) \quad N = \max \{ N_a, N_b, N_c \}$$

$$(数12) \quad L = \min \{ L_a, L_b, L_c \}$$

【0116】

数11及び数12により定義されたN, Lを用いて数8によりWを決定することで、実時間性の要求の有無などのイニシエータ間の特性の違いも考慮した制御が可能となる。

【0117】

上述の処理により補正部102が生成した補正済デッドライン時刻は、ヘッダ生成部103により、デッドライン情報フィールド51-5に格納される。

【0118】

10

20

30

40

50

図17はヘッダ生成部103の処理フローを示す。

【0119】

ステップS11において、ヘッダ生成部103は要求パケットのヘッダ51(図6)を生成する。ステップS12において、ヘッダ生成部103は補正部102から補正済デッドライン時刻の情報を取得する。ステップS13においてヘッダ生成部103は、要求パケットヘッダのデッドライン情報フィールド51-5に補正済デッドライン時刻の情報を格納する。ステップS14において、ヘッダ生成部103は、要求パケットヘッダをパケット化処理部104に送信する。その結果、パケット化処理部104が、その要求パケットヘッダを有する要求パケットを生成して、ネットワーク250上にパケットを送信する。

10

【0120】

また本実施形態によれば、要求ヘッダ内にパケットIDを設ける必要もなくなる。これにより、要求ヘッダのサイズを削減することが可能となる。パケットIDは、NoCによりパケット交換する場合に一般的に使用される。イニシエータ側のNIC203が一意的IDを生成、管理し、要求パケットのヘッダ内にパケットIDとして格納して送信する。パケットIDは、イニシエータ106から異なるメモリに対してアクセス要求パケットを送信した場合などに受信した応答パケットがどちらのメモリからの応答かを識別する用途で用いられる。本実施形態では、イニシエータ106が送信する全ての要求パケットについて補正済デッドライン時刻が異なる状態となる。よって、補正済デッドライン時刻を用いることで、要求パケットと応答パケットの対応付けが可能となり、パケットIDを不要とすることが可能となる。

20

【0121】

図18は、パケットIDを用いない要求パケットヘッダの構成例を示す。図6と比較してヘッダサイズが削減されており、パケット化による伝送のオーバーヘッドが削減される。

【産業上の利用可能性】

【0122】

本発明の一態様にかかるインタフェース装置は、組込機器向けのSoCにおけるオンチップバスや、汎用プロセッサ、DS上のローカルバスにおける、バスとメモリとのインタフェース装置として利用可能である。本発明の他の態様として、インタフェース方法、インタフェース装置の制御プログラムにも利用可能である。

30

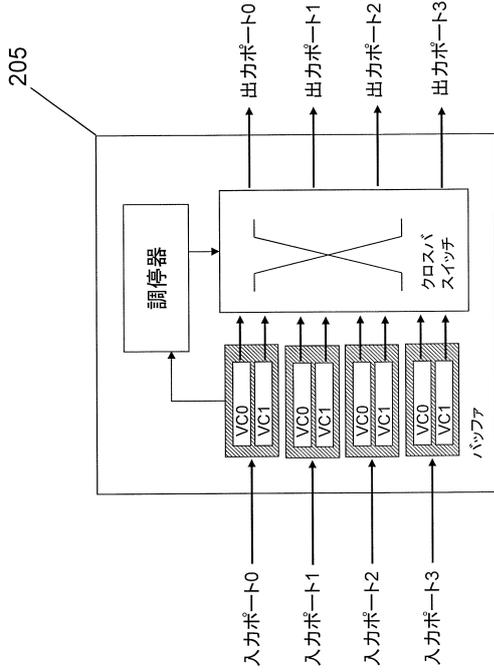
【符号の説明】

【0123】

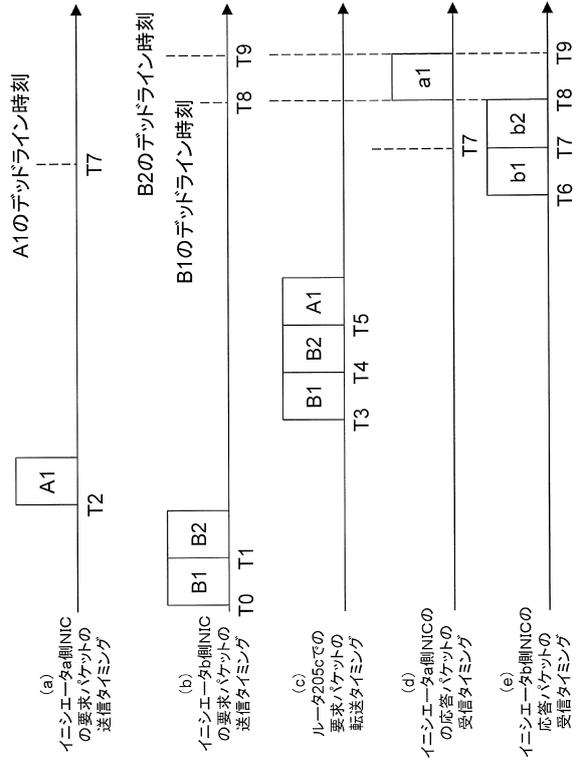
- 203 インタフェース装置
- 102 デッドライン時刻補正部
- 103 ヘッダ生成部
- 104 パケット化処理部
- 105 脱パケット化処理部
- 106 イニシエータ
- 107 ルータ
- 201 イニシエータ
- 202 メモリコントローラ
- 203 イニシエータ側NIC
- 204 メモリコントローラ側NIC
- 205a ~ 205c ルータ
- 206 メモリ

40

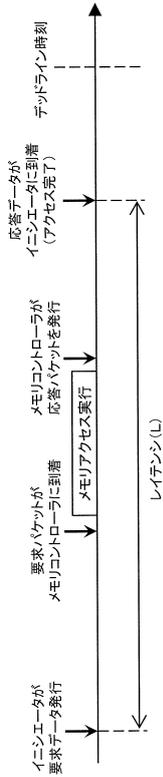
【図1】



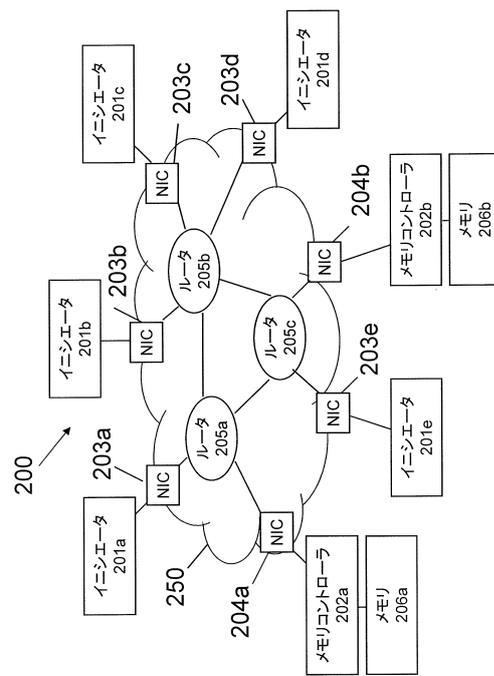
【図2】



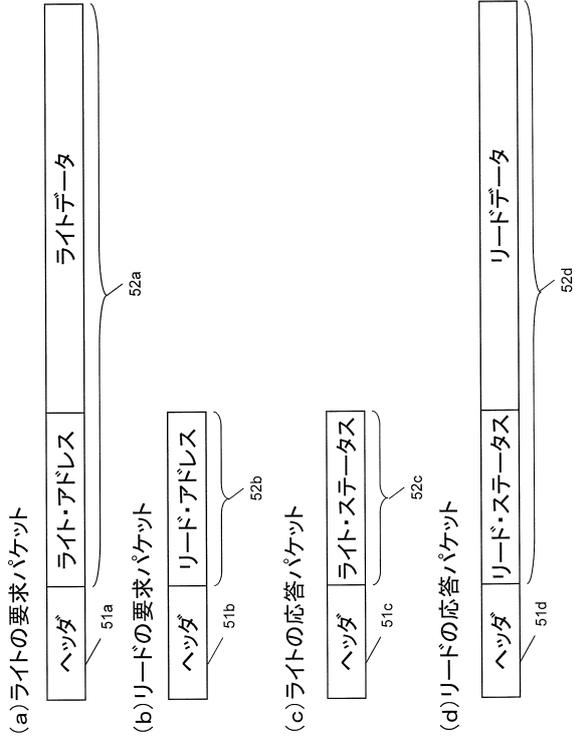
【図3】



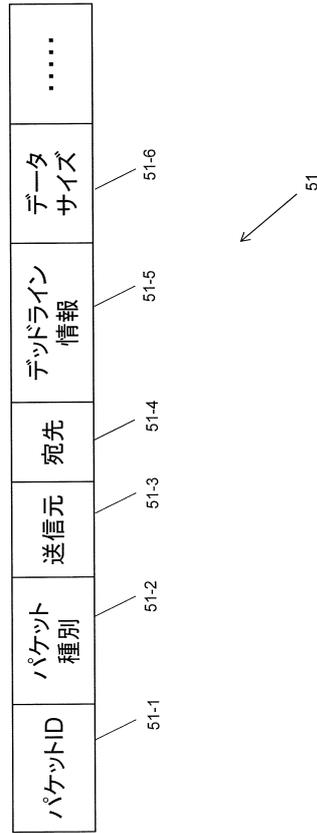
【図4】



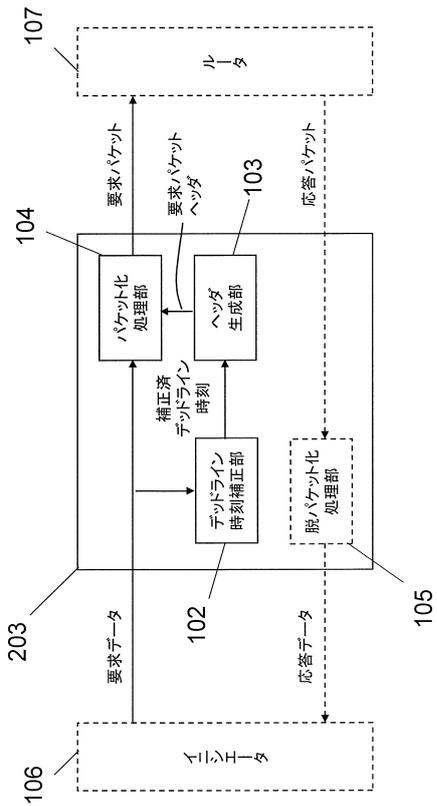
【図 5】



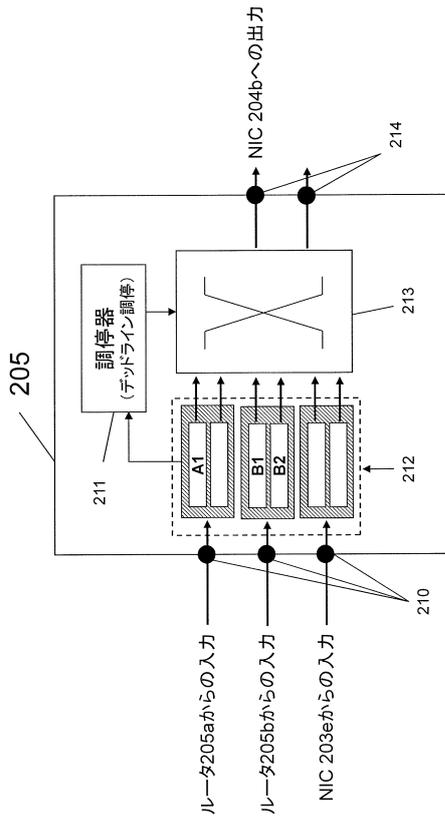
【図 6】



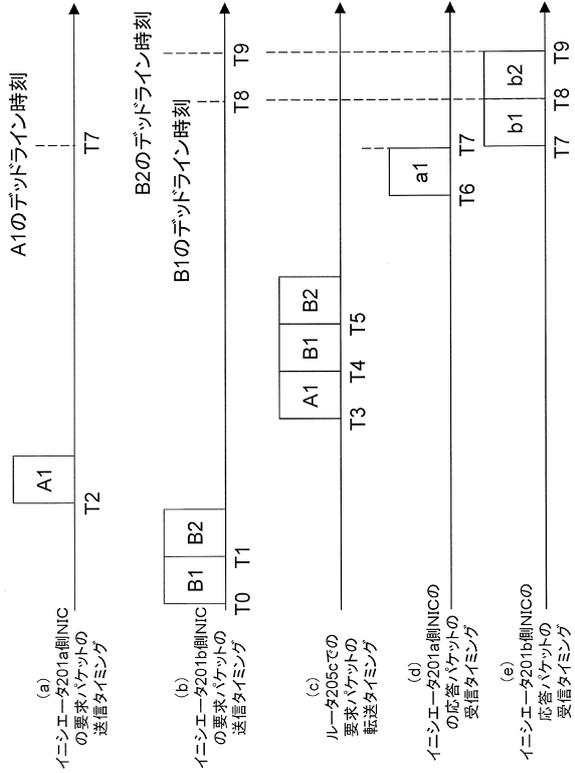
【図 7】



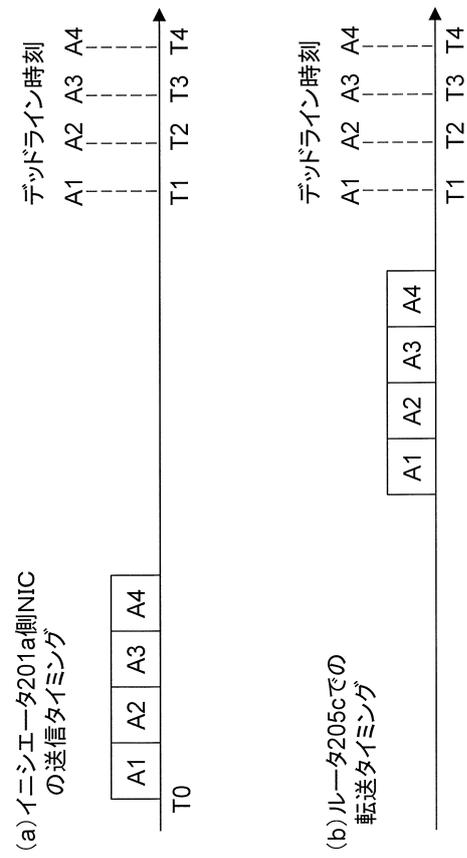
【図 8】



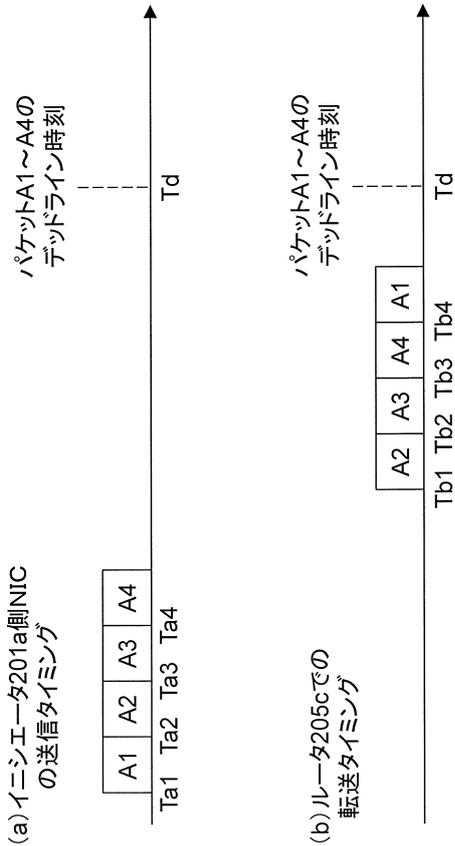
【 図 9 】



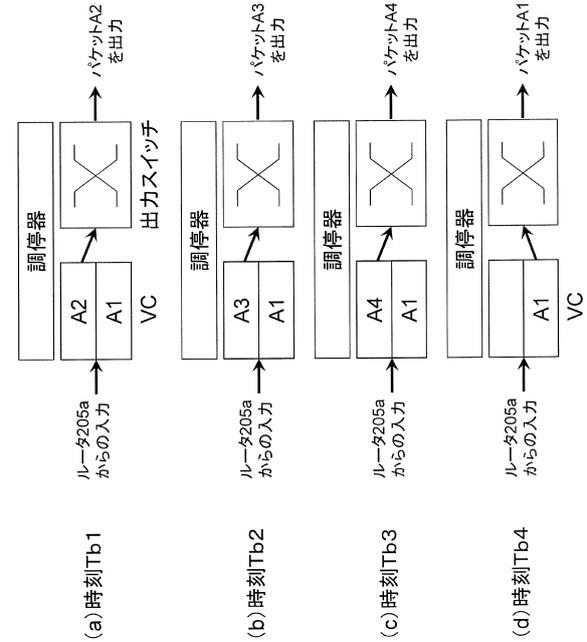
【 図 10 】



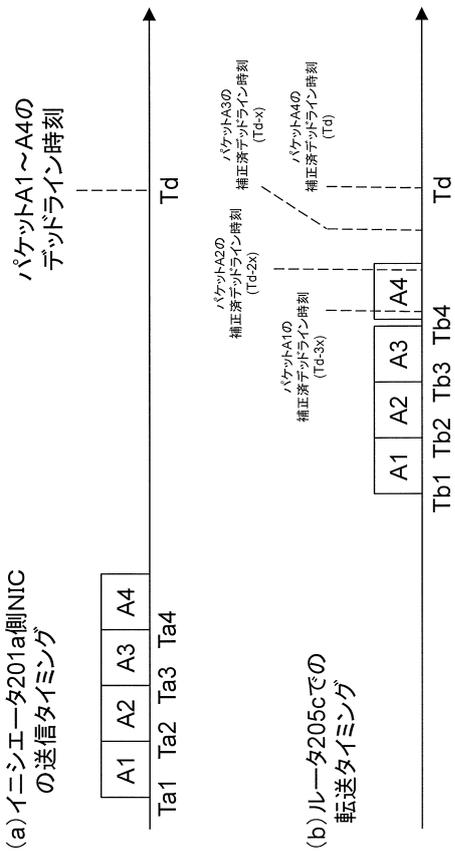
【 図 11 】



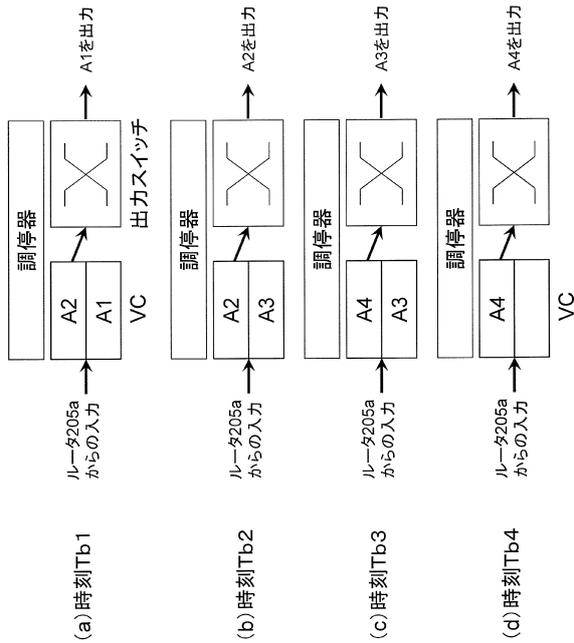
【 図 12 】



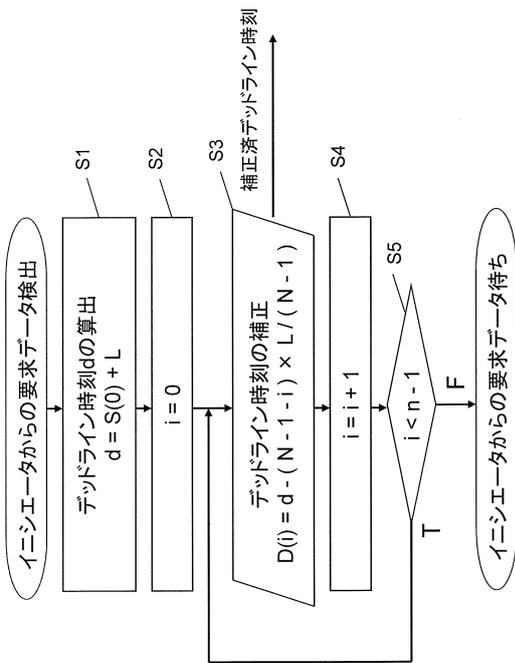
【 図 1 3 】



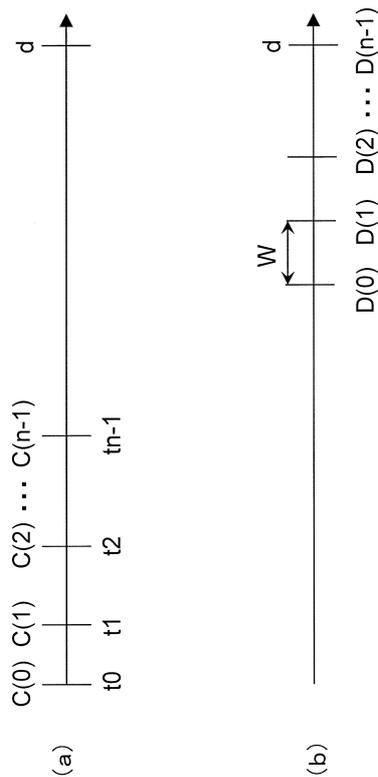
【 図 1 4 】



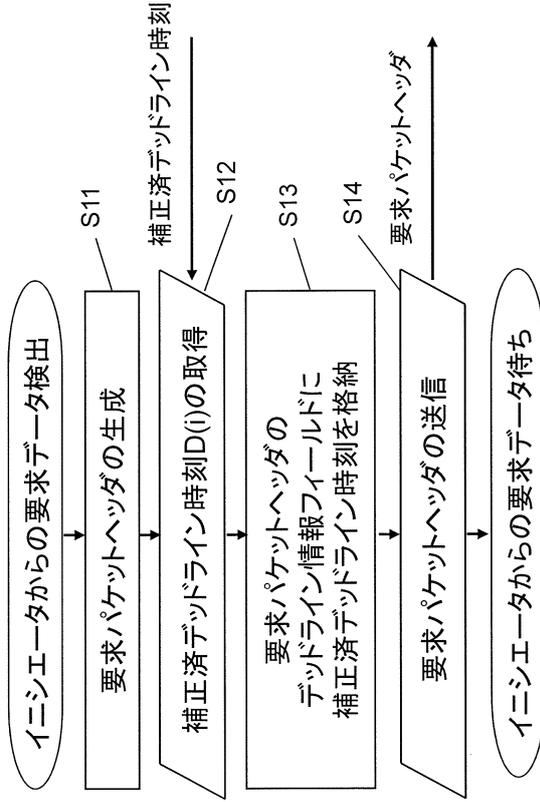
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



【 図 1 8 】

パケット種別	送信元宛先	デッドライン情報	データサイズ
--------	-------	----------	--------	-------

フロントページの続き

- (72)発明者 石井 友規
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 山口 孝雄
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 吉田 篤
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 得津 覚
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 市口 誠道
大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 菊地 陽一

- (56)参考文献 特開平08-227343(JP,A)
特開2008-294738(JP,A)
特表2008-532145(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04L 12/953
H04L 12/875