

(52) CPC특허분류

H01L 23/36 (2013.01)

H01L 23/485 (2013.01)

H01L 24/97 (2013.01)

H01L 25/0657 (2013.01)

H01L 25/074 (2013.01)

명세서

청구범위

청구항 1

복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 일부에 연결된 제1 반도체 칩;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 다른 일부에 연결된 제2 반도체 칩;

상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되며, 판 형상을 갖는 보강 블록; 및

상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들을 덮으면서 상기 보강 블록의 측면들을 둘러싸고 상기 보강 블록의 상면과 동일한 평면 상의 상면을 갖는 봉지부;를 포함하고,

상기 제2 반도체 칩의 면적은 제1 반도체 칩의 면적보다 작으며, 상기 보강 블록은 상기 제1 반도체 칩의 상면의 일부 영역을 덮지 않도록 배치되는 반도체 패키지.

청구항 2

제1항에 있어서

상기 보강 블록은 상기 제2 반도체 칩의 상면 중 상기 인터포저의 에지에 인접한 에지 영역까지 연장되는 반도체 패키지.

청구항 3

제1항에 있어서,

상기 제1 및 제2 반도체 칩들은 동일한 두께를 갖는 반도체 패키지.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1 반도체 칩은 상기 제2 반도체 칩의 두께보다 큰 두께를 갖는 반도체 패키지.

청구항 6

제5항에 있어서,

상기 제1 반도체 칩은 상기 제2 반도체 칩과 인접한 영역에 상기 제2 반도체 칩의 상면과 동일한 레벨의 단차부 (stepped portion)를 가지며,

상기 보강 블록은 상기 제1 반도체 칩의 단차부와 상기 제2 반도체 칩의 상면 상에 배치되고,

상기 제1 반도체 칩의 상면의 상기 일부 영역은 상기 봉지부의 상면과 동일한 평면 상에 위치한 반도체 패키지.

청구항 7

복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 일부에 연결된 제1 반도체 칩;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 다른 일부에 연결된 제2 반도체 칩;

상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되는 보강 블록; 및

상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부;를 포함하고,

상기 제1 반도체 칩은 상기 제2 반도체 칩의 두께보다 큰 두께를 가지며,

상기 보강 블록은 상기 제1 반도체 칩의 상면에 위치하며 제1 두께를 갖는 영역과 상기 제2 반도체 칩의 상면에 위치하며 상기 제1 두께보다 큰 제2 두께를 갖는 영역을 포함하며,

상기 제1 및 제2 두께들의 편차는 상기 제1 및 제2 반도체 칩들의 두께 편차와 동일하거나 작은 반도체 패키지.

청구항 8

복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 일부에 연결된 제1 반도체 칩;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 다른 일부에 연결된 제2 반도체 칩;

상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되는 보강 블록; 및

상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부;를 포함하고,

상기 제1 반도체 칩은 상기 제1 패드들 중 일부에 접속된 제1 하부 전극들을 갖는 제1 면과 상기 보강 블록이 위치하는 영역에 제1 상부 전극들을 갖는 제2 면을 포함하고,

상기 제2 반도체 칩은 상기 제1 패드들 중 다른 일부에 접속된 제2 하부 전극들을 갖는 제1 면과 상기 보강 블록이 위치하는 영역에 제2 상부 전극들을 갖는 제2 면을 포함하며,

상기 보강 블록은 상기 제1 및 제2 상부 전극들에 연결된 재배선층(redistribution layer, RDL)을 포함하는 반도체 패키지.

청구항 9

복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 일부에 연결된 제1 반도체 칩;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 다른 일부에 연결된 제2 반도체 칩;

상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되는 보강 블록; 및

상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부;를 포함하고,

상기 제2 반도체 칩은 복수의 제2 반도체 칩들을 포함하며, 상기 복수의 제2 반도체 칩들은 상기 제1 반도체 칩의 양측에 배치되고,

상기 보강 블록은 제1 및 제2 보강 블록들을 포함하며, 상기 제1 및 제2 보강 블록들은 상기 제1 반도체 칩의 양측에 각각 배치되는 반도체 패키지.

청구항 10

제1항에 있어서,

상기 보강 블록은 상기 봉지부보다 큰 강성을 갖는 반도체 패키지.

청구항 11

제1항에 있어서,

상기 보강 블록은 상기 인터포저의 본체와 동일한 물질로 이루어진 반도체 패키지.

청구항 12

제1항에 있어서,

상기 제1 반도체 칩은 로직 칩이며, 상기 제2 반도체 칩은 메모리 칩인 반도체 패키지.

청구항 13

제1항에 있어서,

상기 보강 블록의 상면에 배치되는 방열판을 더 포함하는 반도체 패키지.

청구항 14

제1항에 있어서,

상기 인터포저의 제2 패드들에 연결된 상면 패드들과, 하면 패드들과, 상기 상면 및 하면 패드들을 연결하는 재배선층을 포함하는 패키지 기판을 더 포함하는 반도체 패키지.

청구항 15

복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 일부와 연결되고 상면의 레벨보다 낮은 단차 영역을 갖는 제1 반도체 칩;

상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 다른 일부와 연결되고 상기 제1 반도체 칩의 단차 영역과 동일한 레벨의 상면을 갖는 제2 반도체 칩;

상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 반도체 칩의 단차 영역과 상기 제2 반도체 칩의 상면 상에 배치되며, 판 형상을 갖는 보강 블록; 및

상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 측면들을 덮는 봉지부;를 포함하는 반도체 패키지.

청구항 16

제15항에 있어서,

상기 제1 반도체 칩은 상기 제1 패드들의 일부에 접속된 제1 하부 전극들을 갖는 제1 면과 상기 보강 블록이 위치하는 영역에 제1 상부 전극들을 갖는 제2 면을 포함하고,

상기 제2 반도체 칩은 상기 제1 패드들의 다른 일부에 접속된 제2 하부 전극들을 갖는 제1 면과 상기 보강 블록이 위치하는 영역에 제2 상부 전극들을 갖는 제2 면을 포함하며,

상기 보강 블록은 상기 제1 및 제2 상부 전극들에 연결된 재배선층을 포함하는 반도체 패키지.

청구항 17

제15항에 있어서,

상기 제1 반도체 칩은 로직 칩이며, 상기 제2 반도체 칩은 상기 로직 칩의 양측에 배치된 복수의 메모리 칩을 포함하며,

상기 보강 블록은 상기 로직 칩의 양측에 각각 배치되는 제1 및 제2 보강 블록을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 18

제1 및 제2 면들을 갖는 절연 부재와, 상기 제1 및 제2 면들에 각각 배치된 복수의 제1 및 제2 패드들과, 상기 절연 부재에 형성되며 상기 제1 및 제2 패드들을 연결하는 재배선층을 포함하는 패키지 기판;

상기 패키지 기판 상에 배치되며 상기 복수의 제1 패드들의 일부에 연결된 제1 반도체 칩;

상기 패키지 기판 상에 배치되며 상기 복수의 제1 패드들의 다른 일부에 연결된 제2 반도체 칩;

상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되고 판 형상을 갖는 보강 블록; 및

상기 패키지 기판 상에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부;를 포함하고,

상기 제1 반도체 칩은 상기 제2 반도체 칩의 두께보다 큰 두께를 가지며,

상기 제1 반도체 칩은 상기 제2 반도체 칩과 인접한 영역에 상기 제2 반도체 칩의 상면과 동일한 레벨의 단차부를 가지며,

상기 보강 블록은 상기 제1 반도체 칩의 단차부와 상기 제2 반도체 칩의 상면 상에 배치되는 반도체 패키지.

청구항 19

제18항에 있어서

상기 제2 반도체 칩의 면적은 제1 반도체 칩의 면적보다 작으며,

상기 보강 블록은 상기 제2 반도체 칩의 상면의 전체 영역을 덮도록 배치되는 반도체 패키지.

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 복수의 반도체 칩들을 구비한 반도체 패키지에 관한 것이다.

배경 기술

[0002] 전자 산업의 발달로 전자 부품의 고기능화, 고속화, 및 소형화 요구가 증대되고 있다. 이러한 추세에 따라, 단일한 인터포저 또는 패키지 기관에 복수의 반도체 칩들을 실장하는 방식으로 패키지를 제조하고 있다. 반도체 패키지를 구성하는 개개의 구성 요소들간의 열팽창 계수(coefficient of thermal expansion; CTE) 차이로 인하여 반도체 패키지가 휘는 워피지 현상이 발생할 수 있으며, 특히 복수의 반도체 칩들을 채용한 형태의 반도체 패키지에 심각한 워피지가 발생하는 경향이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상은 워피지(warpage)를 제어할 수 있는 반도체 패키지를 제공하는데 있다.

과제의 해결 수단

[0004] 본 발명의 일 실시예는, 복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저와, 상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들에 연결된 제1 반도체 칩과, 상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들에 연결된 제2 반도체 칩과, 상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되는 보강 블록과, 상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부를 포함하는 반도체 패키지를 제공한다.

[0005] 본 발명의 일 실시예는, 복수의 제1 패드들을 갖는 제1 면과, 상기 제1 면과 반대에 위치하며 상기 복수의 제1 패드들에 전기적으로 연결된 복수의 제2 패드들을 갖는 제2 면을 갖는 인터포저와, 상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 일부와 연결되고 상면의 레벨보다 낮은 단차 영역을 갖는 제1 반도체 칩과, 상기 인터포저의 제1 면에 배치되며 상기 복수의 제1 패드들의 다른 일부와 연결되고 상기 제1 반도체 칩의 단차 영역과 실질적으로 동일한 레벨의 상면을 갖는 제2 반도체 칩과, 상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 반도체 칩의 단차 영역과 상기 제2 반도체 칩의 상면 상에 배치되며, 판 형상을 갖는 보강 블록과, 상기 인터포저의 제1 면에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부를 포함하는 반도체 패키지를 제공한다.

[0006] 본 발명의 일 실시예는, 제1 및 제2 면들을 갖는 절연 부재와, 상기 제1 및 제2 면들에 각각 배치된 복수의 제1 및 제2 패드들과, 상기 절연 부재에 형성되며 상기 제1 및 제2 패드들을 연결하는 재배선층을 포함하는 패키지 기관과, 상기 패키지 기관 상에 배치되며 상기 복수의 제1 패드들에 연결된 제1 반도체 칩과, 상기 패키지 기관 상에 배치되며 상기 복수의 제1 패드들에 연결된 제2 반도체 칩과, 상기 제1 및 제2 반도체 칩들 사이의 영역을 덮도록 상기 제1 및 제2 반도체 칩들 상에 배치되는 보강 블록과, 상기 패키지 기관 상에 배치되며 상기 제1 및 제2 반도체 칩들과 상기 보강 블록의 적어도 측면들을 덮는 봉지부;를 포함하는 반도체 패키지를 제공한다.

발명의 효과

[0007] 본 발명의 기술적 사상의 반도체 패키지에 따르면, 복수의 반도체 칩들 사이의 영역을 덮도록 복수의 반도체 칩들 사이에 걸친 더미 칩과 같은 보강 블록을 채용함으로써 워피지에 의한 변곡을 크게 완화시킬 수 있다.

[0008] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

[0009] 도1은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.

도2는 도1에 도시된 반도체 패키지의 상부 평면도이다.

도3a 및 도3b는 본 발명의 일 실시예에 채용된 보강 블록에 의한 효과를 설명하기 위한 개선전와 개선후의 워피지 거동을 나타내는 개략도이다.

도4는 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.

도5는 도4에 도시된 반도체 패키지의 상부 평면도이다.

도6은 본 발명의 일 실시예에 따른 보강 블록에 의한 효과를 설명하기 위한 워피지 거동을 나타내는 개략도이다.

도7은 도4에 도시된 반도체 패키지를 채용한 모듈을 나타내는 측단면도이다.

도8은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.

도9는 도8에 도시된 반도체 패키지의 상부 평면도이다.

도10은 도8에 도시된 반도체 패키지를 채용한 모듈을 나타내는 측단면도이다.

도11 내지 도13은 본 발명의 다양한 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 설명하기로 한다.

[0011] 도1은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이며, 도2는 도1에 도시된 반도체 패키지의 상부 평면도이다. 여기서, 도1은 도2의 반도체 패키지를 I-I'으로 절개하여 본 단면도이다.

[0012] 도1 및 도2를 참조하면, 본 실시예에 따른 반도체 패키지(100)는, 서로 반대에 위치한 제1 면(110A)과 제2 면(110B)을 가지는 인터포저(110)와, 상기 인터포저(110)의 제1 면(110A)에 배치된 제1 및 제2 반도체 칩들(120,130)과, 상기 인터포저(110)의 제1 면(110A)에 배치되는 봉지부(160)를 포함한다. 또한, 상기 반도체 패키지(100)는 상기 제1 및 제2 반도체 칩들(120,130) 상에 배치된 보강 블록(150)을 더 포함한다.

[0013] 본 실시예에 채용된 인터포저(110)는, 기관(111)과, 기관(111)에 형성된 배선 회로(114)와, 제1 및 제2 면들(110A,110B)에 각각 배치되며 배선 회로(114)에 의해 연결된 복수의 제1 패드들(112) 및 복수의 제2 패드들(113)을 포함할 수 있다. 도1에서, 배선회로(114)는 일부 영역에만 점선으로 표시하였으나, 각각 제1 및 제2 패드들(112,113) 각각에 관련된 배선 회로(114)를 포함하는 것으로 이해할 수 있다.

[0014] 예를 들어, 인터포저(110)의 기관(111)은 실리콘 기관일 수 있다. 이에 한정되지 않고, 기관(111)은 인쇄회로기판(PCB)일 수 있다. 예를 들어, 기관(111)은 에폭시 수지와 같은 열경화성 수지 또는 폴리이미드와 같은 열가소성 수지 또는 감광성 절연층일 수 있다.

[0015] 일부 실시예에서, 기관(111)은 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), 또는 FR-4,

BT(Bismaleimide Triazine)일 수 있다. 인터포저(110)의 제2 면(110b)에 위치한 복수의 제2 패드들(113) 상에는 외부 단자들(115)이 제공될 수 있다. 외부 단자들(115)은 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속 또는 그 합금을 포함할 수 있다.

- [0016] 상기 제1 반도체 칩(120)은 인터포저(110)의 제1 면(110A)을 마주보는 활성면과 그 반대면인 비활성면을 가질 수 있다. 상기 제1 반도체 칩(120)의 활성면에는 제1 접속 전극들(120P)("접속 패드들"라고도 함)가 배치될 수 있다. 제1 접속 전극들(120P)과 인터포저(110)의 제1 패드들(112) 사이에는 연결 단자들(116)이 각각 제공될 수 있고, 제1 반도체 칩(120)은 연결 단자(116)를 통해 인터포저(110)의 제1 면(110A) 상에 플립 칩(flip-chip) 본딩될 수 있다. 상기 제1 반도체 칩(120)은 로직(logic) 칩을 포함할 수 있다. 일부 실시예에서, 제1 반도체 칩(120)은 로직 소자(logic device)를 포함하는 컨트롤러(controller) 또는 마이크로프로세서(microprocessor)를 포함할 수 있다.
- [0017] 상기 제2 반도체 칩(130)은 하나만 채용한 형태로 예시하였으나, 복수개로 제공될 수 있다(도8 및 도9 참조). 상기 제2 반도체 칩(130)은 HBD(high-band memory)와 같은 메모리 칩을 포함할 수 있다. 일부 실시예에서, 상기 제2 반도체 칩은, 디램(DRAM), 에스램(SRAM), 플래시(flash), 피램(PRAM), 알이램(ReRAM), 예프이램(FerAM) 또는 엠램(MRAM)을 포함할 수 있다.
- [0018] 상기 제2 반도체 칩(130)은 제2 접속 전극들(130P)을 갖는 활성면과 그 반대면인 비활성면을 가질 수 있다. 상기 제1 반도체 칩(120)과 유사한 플립칩 방식으로, 제2 접속 전극들(130P)은 연결 단자들(116)에 의해 인터포저(110)의 제1 패드들(112)과 연결될 수 있다.
- [0019] 본 실시예에서, 상기 제2 반도체 칩(130)은 인터포저(110)의 제1 면(110A) 상에서 상기 제1 반도체 칩(120)과 이격되어 배치될 수 있다. 상기 제1 및 제2 반도체 칩들(120,130) 사이의 영역(S)은 반도체 패키지(100)의 다른 구성요소, 예를 들어 봉지재(160)와 인터포저(110)의 열팽창 계수의 차이로 발생하는 워피지의 주요한 변곡점이 될 수 있다. 예를 들어, 봉지재(120)는 EMC(Epoxy Molding Compound)과 같은 높은 CTE를 갖는 유기 재질을 포함할 수 있으며, 특히 인터포저(110)의 기판(111)이 실리콘 기판으로 구성될 경우에, CTE 차이로 인한 상하 비대칭성이 커지고 워피지 제어의 필요성이 크다.
- [0020] 본 실시예에서, 보강 블록(150)은 상기 제1 및 제2 반도체 칩들(120,130)을 연결하도록 상기 제1 반도체 칩(120)과 상기 제2 반도체 칩(130) 상에 배치될 수 있다. 이와 같이, 보강 블록(150)은 워피지의 주요 변곡점으로 제공되는 상기 제1 및 제2 반도체 칩들(120,130) 사이의 영역(S)을 덮도록 배치된다. 접착층(161)을 이용하여 보강 블록은 제1 반도체 칩(120)과 제2 반도체 칩(130)의 상면들(120T,130T)에 접합될 수 있다. 접착층(161)은 NCF(non-conductive film), ACF(anisotropic conductive film), UV 감응 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제 및 초음파 경화형 접착제, NCP(nonconductive paste)등이 사용될 수 있다.
- [0021] 상기 봉지부(160)는 상기 제1 및 제2 반도체 칩들(120,130)을 덮을 수 있다. 상기 봉지부(160)는 상기 보강 블록(150)의 측면을 덮을 수 있으며, 상기 보강 블록(150)의 상면과 실질적으로 동일한 평면 상의 평탄한 상면(100T)을 가질 수 있다. 이에 한정되지는 않으나, 이러한 평탄한 상면(100T)은 봉지부(160)로 봉합된 패키지 상부영역을 보강 블록(150)이 노출되도록 연마함으로써 얻어질 수 있다.
- [0022] 본 실시예에 채용된 보강 블록(150)은 판(plate)형 구조를 가질 수 있다. 상기 보강 블록(150)은 워피지를 억제할 수 있는 충분한 두께(t)를 갖되 반도체 패키지(100)의 두께(T)가 크게 증가되지 않도록 제한될 수 있다. 상기 보강 블록(150)의 두께(t)는 반도체 패키지(100)의 두께(T)의 20% 이하일 수 있다. 예를 들어, 상기 보강 블록(150)의 두께(t)는 약 500 μ m이하일 수 있다.
- [0023] 보강 블록(150)은 상기 봉지부(160)보다 큰 강성(예, 영률(Young's modulus))을 갖는 물질로 구성될 수 있다. 일부 실시예에서, 보강 블록(150)은 인터포저(110)의 기판(111)과 동일한 재료로 구성될 수 있다. 이 경우, CTE 측면에서 상하부의 불균형을 개선하여 워피지를 방지할 수 있다. 예를 들어, 보강 블록(150)과 인터포저(110)의 기판(111)은 실리콘을 포함할 수 있다.
- [0024] 도2에 도시된 바와 같이, 제1 반도체 칩(120)은 제2 반도체 칩(130)의 면적보다 큰 면적을 갖는다. 보강 블록(150)은 제1 및 제2 폭들(W1,W2)을 가질 수 있으며, 본 실시예에서는, 보강 블록(150)은 제1 반도체 칩(120)의

상면(120T)과 제2 반도체 칩(130)의 상면(130T) 중 인접한 일부 영역에 배치될 수 있다.

- [0025] 도3a 및 도3b는 본 실시예에 채용된 보강 블록에 의한 효과를 설명하기 위한 도면들로서, 각각 개선전와 개선후의 워피지 거동을 나타내는 개략도이다.
- [0026] 도3a에 도시된 바와 같이, 보강 블록이 없는 경우에는 상기 제1 및 제2 반도체 칩들(120,130) 사이의 영역(C1)에서의 큰 변곡이 발생하는 것으로 나타나는 반면에, 도3b에 도시된 바와 같이, 상기 보강 블록(150)을 상기 제1 및 제2 반도체 칩들(120,130) 사이의 영역(C2)의 상당 부분(예, 75% 이상)을 덮도록 채용되는 경우에 동일한 부분(C1)에서 변형을 크게 억제시킬 수 있다.
- [0027] 반면에, 제2 반도체 칩(130)의 면적은 제1 반도체 칩(120)의 면적보다 작으므로, 인터포저(110)와 봉지재(160)의 접합 면적은 제2 반도체 칩(130) 주위 영역에서 제1 반도체 칩(120) 주위 영역보다 넓게 형성된다. 그 결과, 상기 제1 및 제2 반도체 칩들(120,130) 사이의 영역(C1) 뿐만 아니라, 제2 반도체 칩(130) 주위의 인터포저(110) 에지 영역(C2)에서도 상당한 량의 변곡이 발생될 수 있다.
- [0028] 이러한 에지영역(C2)의 변곡은 보강 블록(150)의 형성면적을 이용하여 제어할 수 있다. 이러한 실시예는 도4 및 도5에 도시되어 있다.
- [0029] 도4는 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이며, 도5는 도4에 도시된 반도체 패키지의 상부 평면도이다. 여기서, 도4은 도5의 반도체 패키지(100A)를 II-II'로 절개하여 본 단면도이다. 도6은 본 발명의 일 실시예에 따른 보강 블록에 의한 효과를 설명하기 위한 워피지 거동을 나타내는 개략도이다.
- [0030] 도4 및 도5를 참조하면, 본 실시예에 따른 반도체 패키지(100A)는 보강 블록(150')이 제2 반도체 칩(130)의 상면 에지까지 연장된 점만을 제외하고, 도1 및 도2에 도시된 반도체 패키지(100)와 유사한 것으로 이해할 수 있다. 본 실시예의 구성요소에 대한 설명은 특별히 반대되는 설명이 없는 한, 도1 및 도2에 도시된 반도체 패키지(100)의 동일하거나 유사한 구성요소에 대한 설명을 참조할 수 있다.
- [0031] 도5에 도시된 바와 같이, 앞선 실시예와 유사하게, 상기 제2 반도체 칩(130)의 면적은 제1 반도체 칩(120)의 면적보다 작으므로, 인터포저(110)와 봉지재(160)의 접합 면적은 제2 반도체 칩(130) 주위 영역에서 제1 반도체 칩(120) 주위 영역보다 넓게 형성된다. 따라서, 제2 반도체 칩(130) 주위의 인터포저(110)의 에지 영역(도6의 "C2" 참조)에서 변곡을 완화시킬 필요가 있다.
- [0032] 본 실시예에서 채용된 보강 블록(150)은 상기 제2 반도체 칩(130)의 상면 중 상기 인터포저(110)의 에지에 인접한 에지 영역까지 연장될 수 있다. 이와 같이, 보강 블록(150')의 제1 폭(W1') 및 제2 폭(W2')을 앞선 실시예의 보강 블록(도1 및 도2의 150)보다 확장시키고, 상기 제2 반도체 칩(130)의 상면 에지 영역까지 덮도록 형성할 수 있다.
- [0033] 그 결과, 도6에 도시된 바와 같이, 제2 반도체 칩(130) 주위의 인터포저 에지 영역(C2)에서 변곡을 완화시킬 수 있다. 이러한 인터포저(110)의 에지영역(C2)의 워피지 개선을 위해서, 상기 보강 블록(150)은 상기 제2 반도체 칩(130)의 상면(130T)의 거의 전체 영역을 덮도록 형성될 수 있다. 다른 일부 실시예(도12 참조)에서는, 보강 블록(150D)은 제1 반도체 칩(120)의 상면(120T)의 에지영역까지 연장되도록 형성될 수 있다.
- [0034] 도7은 도4에 도시된 반도체 패키지를 채용한 모듈을 나타내는 측단면도이다.
- [0035] 도7을 참조하면, 본 실시예에 따른 반도체 패키지 모듈(200A)은 도4에 도시된 반도체 패키지(100A)와 이를 탑재하는 패키지 기관(210)을 포함한다. 반도체 패키지 모듈(200A)은 완성된 하나의 패키지이며, 도4에 도시된 반도체 패키지(100A)는 반도체 패키지 모듈(200A)을 위한 중간 결과물로 이해할 수 있다.
- [0036] 상기 패키지 기관(210)은 외부 단자(115)에 의해 인터포저(110)의 제2 패드들(113)에 연결된 상면 패드들(212)과, 하면 패드들(213)과, 상기 상면 및 하면 패드들(212,213)을 연결하는 재배선층(미도시)을 포함할 수 있다. 미도시된 재배선층은 도13의 패키지 기관(310)의 재배선층(314)과 같이 비아와 도전 패턴으로 구성된 적어도 하

나 이상의 배선 회로로 이해할 수 있다.

- [0037] 상면 패드들(212)은 인터포저(110)의 제2 패드들(113)의 크기와 배열에 대응되도록 형성되며, 하면 패드들(213)은 마더보드와 같은 회로 회로의 I/O 단자에 맞게 패드들의 크기와 간격을 확대되도록 형성되고, 이러한 회로는 패키지 기판(210)의 재배선층에 의해 구현될 수 있다. 하면 패드들(213) 상에는 외부 회로와 연결하기 위한 솔더 범프와 같은 외부 접속 단자들(215)이 배치된다. 예를 들어, 상기 외부 접속 단자들(215)은 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속 또는 합금을 포함할 수 있다.
- [0038] 본 실시예에 따른 반도체 패키지 모듈(200A)은 적어도 반도체 패키지(100A)의 상면에 배치되는 방열부(170)를 포함한다. 본 실시예에 채용된 방열부(170)는 캡 구조로 반도체 패키지(100)의 측면까지 연장된 형태를 포함할 수 있다. 상기 방열부(170)는 접합 부재(180)를 이용하여 반도체 패키지(100)의 상면에 접합될 수 있다. 본 실시예에서는, 제1 및 제2 반도체 칩들(120,130)에서 발생된 열은 보강 블록(150')을 통해서 그와 인접하게 배치된 방열부(170)로 방출될 수 있다.
- [0039] 예를 들어, 방열부(170)은 금속 또는 세라믹과 같이 열전도율이 우수한 물질을 포함할 수 있다. 또한, 방열부(170)는 열매개 물질(thermal interface material; TIM)을 포함한 구조물일 수 있다. 예를 들어, 접합부재(180)은 NCF, ACF, UV 감응 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제 및 초음파 경화형 접착제, NCP 등이 사용될 수 있다.
- [0040] 도8은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측면도이며, 도9는 도8에 도시된 반도체 패키지의 상부 평면도이다. 여기서, 도8은 도9의 반도체 패키지(100B)를 III-III'로 절개하여 본 단면도이다.
- [0041] 도8 및 도9를 참조하면, 본 실시예에 따른 반도체 패키지(100B)는, 제1 및 제2 반도체 칩들(120',130A,130B)의 두께($T_a \neq T_b$)가 상이하며 제1 반도체 칩(120')에 단차부(G)가 형성되고, 제2 반도체 칩들(130A,130B,130C,130D)을 복수 개로 구비하며, 2개의 보강 블록(150A,150B)을 채용하는 점을 제외하고, 도1 및 도2에 도시된 반도체 패키지(100)와 유사한 것으로 이해할 수 있다. 본 실시예의 구성요소에 대한 설명은 특별히 반대되는 설명이 없는 한, 도1 및 도2에 도시된 반도체 패키지(100)의 동일하거나 유사한 구성요소에 대한 설명을 참조할 수 있다.
- [0042] 본 실시예에 따른 반도체 패키지(100B)는, ASIC과 같은 제1 반도체 칩(120')과, 그 주위에 배치된, HBM과 같은 4개의 제2 반도체 칩들(130A,130B,130C,130D)을 포함할 수 있다. 도9에 도시된 바와 같이, 4개의 제2 반도체 칩들(130A,130B,130C,130D)은 제1 반도체 칩(120')의 양 측에 2개씩 배치될 수 있다.
- [0043] 상기 제1 반도체 칩(120')의 두께(T_a)는 상기 제2 반도체 칩들(130A,130B,130C,130D)의 두께(T_b)와 상이할 수 있다. 도8에 도시된 바와 같이, 상기 제1 반도체 칩(120')의 두께(T_a)는 상기 제2 반도체 칩들(130A,130B,130C,130D)의 두께(T_b)보다 클 수 있다. 보강 블록들(150A,150B)의 상면이 상기 제1 반도체 칩(120')의 상면과 동일 레벨에 배치하기 위해서, 상기 제1 반도체 칩(120')은 상기 제2 반도체 칩들(130A,130B,130C,130D)과 인접한 영역에 단차부(step: G)를 가질 수 있다. 상기 단차부(G)에 의해 제공되는 표면은 상기 제2 반도체 칩들(130A,130B,130C,130D)의 상면과 실질적으로 동일한 레벨을 가질 수 있다.
- [0044] 본 실시예에서는, 도9에 도시된 바와 같이, 단차부(G)는 제1 반도체 칩(120')의 반대에 위치한 양 측부에 각각 형성되며, 각 단차부(G)는 2개의 제2 반도체 칩들(130A,130D와 130B,130C)과 관련된 요소로 제공될 수 있다.
- [0045] 보강 블록들(150A,150B)은 제1 보강블록(150A) 및 제2 보강 블록(150B)을 포함할 수 있다. 제1 및 제2 보강 블록들(150A,150B)은 제1 반도체 칩(120')의 단차부(G)와 제2 반도체 칩들(130A,130B,130C,130D)의 상면 상에 배치되며, 각각 제1 반도체 칩(120')과 상기 제2 반도체 칩들(130A,130B,130C,130D) 사이의 영역(S1,S2)을 덮을 수 있다.
- [0046] 제1 반도체 칩(120')에 형성되는 단차부(G)는 제1 및 제2 보강 블록들(150A,150B)의 두께(t)로 인해 반도체 패

키지(100B)의 두께가 증가되는 것을 방지할 수 있다. 단차부(G)의 깊이(d)를 제1 및 제2 보강 블록들(150A, 150B)의 두께(t)보다 크게 형성함으로써 반도체 패키지(100B)의 두께 증가 없이 제1 및 제2 보강 블록들(150A, 150B)을 채용할 수 있다.

- [0047] 도10은 도8에 도시된 반도체 패키지를 채용한 모듈을 나타내는 측단면도이다.
- [0048] 도10을 참조하면, 본 실시예에 따른 반도체 패키지 모듈(200B)은, 도8에 도시된 반도체 패키지(100B)를 채용한 점을 제외하고 도7에 도시된 모듈(200A)과 유사한 것으로 이해할 수 있다. 본 실시예의 구성요소에 대한 설명은 특별히 반대되는 설명이 없는 한, 도7에 도시된 반도체 패키지 모듈(200A)의 동일하거나 유사한 구성요소에 대한 설명을 참조할 수 있다.
- [0049] 본 실시예에 따른 반도체 패키지 모듈(200B)은 도8에 도시된 반도체 패키지(100B)와 이를 탑재하는 패키지 기판(210)을 포함한다. 상기 패키지 기판(210)은 외부 단자들(115)에 의해 인터포저(110)의 제2 패드들(113)에 연결된 상면 패드들(212), 하면 패드들(213) 및 상기 상면 및 하면 패드들(212, 213)을 연결하는 재배선층(미도시)을 포함할 수 있다.
- [0050] 본 실시예에 따른 반도체 패키지 모듈(200B)은 반도체 패키지(100B)의 상면 및 측면에 배치되는 방열부(170)를 포함한다. 본 실시예에서는, 제1 및 제2 보강 블록들(150A, 150B)의 상면들과 제1 반도체 칩(120')의 상면이 동일 평면 상에 있으므로, 제1 반도체 칩(120') 및 제2 반도체 칩들(130A, 130B, 130C, 130D)에서 발생된 열은 제1 및 제2 보강 블록들(150A, 150B)뿐만 아니라 제1 반도체 칩(120')의 상면을 통해서 그와 인접하게 배치된 방열부(170)로 방출될 수 있다.
- [0051] 도11은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.
- [0052] 도11을 참조하면, 본 실시예에 따른 반도체 패키지(100C)는, 제1 및 제2 반도체 칩들(120", 130)의 두께가 상이하며 제1 반도체 칩(120")에 단차부(G)가 형성되고, 재배선층(155)을 갖는 보강 블록(150C)을 채용하는 점을 제외하고, 도1 및 도2에 도시된 반도체 패키지(100)와 유사한 것으로 이해할 수 있다. 본 실시예의 구성요소에 대한 설명은 특별히 반대되는 설명이 없는 한, 도1 및 도2에 도시된 반도체 패키지(100)의 동일하거나 유사한 구성요소에 대한 설명을 참조할 수 있다.
- [0053] 상기 제1 반도체 칩(120")은 상기 제2 반도체 칩(130)의 두께보다 클 수 있다. 상기 제1 반도체 칩(120")의 상기 제2 반도체 칩(130)과 인접한 영역에 단차부(G)를 형성하고, 상기 단차부(G)에 의해 제공되는 표면은 상기 제2 반도체 칩(130)의 상면(130T)과 실질적으로 동일한 레벨을 가질 수 있다. 이로써, 보강 블록(150C)의 상면은 평탄한 레벨에 배치될 수 있다.
- [0054] 본 실시예에 채용된 보강 블록(150C)은 앞선 실시예와 같이 단순한 더미 칩형태가 아니라, 재배선층(redistribution layer, RDL)(155)을 갖는 재배선 구조물로 채용될 수 있다. 보강 블록(150C)은 그 하면(즉, 실장면)에 재배선층(155)에 연결된 복수의 접속 패드들(150P)을 갖는다. 재배선층(155)은 비아와 패턴으로 구성될 수 있으며, 하나 또는 그 이상의 층으로 구성될 수 있다.
- [0055] 상기 제1 반도체 칩(120")은 그 하면에 형성된 제1 하부 전극들(120P1)과 그 상면의 일부에 형성된 제1 상부 전극들(120P2)을 포함한다. 상기 제1 하부 전극들(120P1)은 제1 연결 단자들(116)에 의해 인터포저(110)의 제1 패드들(112)에 접속되며, 상기 제1 상부 전극들(120P2)은 상기 보강 블록(150C)이 위치하는 단차부(G)의 영역에 제공되며, 보강 블록(150C)의 접속 패드들(150P)과 제2 연결 단자들(156)에 의해 연결될 수 있다.
- [0056] 본 실시예에 채용된 보강 블록(150C)은 접착층을 사용하지 않고, 제2 연결 단자들(156)에 의해 제1 및 제2 반도체 칩들(120", 130)에 고정될 수 있으며, 필요한 경우에 언더필 수지를 보강블록(150C)과 제1 및 제2 반도체 칩들(120", 130) 사이에 적용할 수 있다.
- [0057] 상기 제2 반도체 칩(130)은 그 하면에 형성된 제2 하부 전극들(130P1)과 그 상면에 형성된 제2 상부 전극들

(130P2)을 포함한다. 상기 제2 하부 전극들(130P1)은 제1 연결 단자들(116)에 의해 인터포저(110)의 제1 패드들(112)에 접속되며, 상기 제2 상부 전극들(130P2)은 보강 블록(150C)의 접속 패드들(150P)과 제2 연결 단자들(156)에 의해 연결될 수 있다.

[0058] 이와 같이, 본 실시예에 채용된 보강 블록(150C)의 재배선층(155)은 제1 및 제2 반도체 칩들(120, 130)의 일부 전극들을 상호 연결하는 수단으로 제공되므로, 인터포저(110)에 구현되는 배선 회로(114)를 간소화시킬 수도 있다. 일부 실시예에서는, 인터포저(110)의 배선 회로(114)가 단순화되어 층수를 줄일 수 있으며, 이 경우에 반도체 패키지(100C)의 두께를 감소시킬 수도 있다.

[0059] 도12는 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.

[0060] 도12를 참조하면, 본 실시예에 따른 반도체 패키지(100D)는, 제1 및 제2 반도체 칩들의 두께($T_a \neq T_b$)가 상이하고, 보강 블록(150D)이 영역에 따라 두께가 다른 점을 제외하고, 도1 및 도2에 도시된 반도체 패키지(100)와 유사한 것으로 이해할 수 있다. 본 실시예의 구성요소에 대한 설명은 특별히 반대되는 설명이 없는 한, 도1 및 도2에 도시된 반도체 패키지(100)의 동일하거나 유사한 구성요소에 대한 설명을 참조할 수 있다.

[0061] 본 실시예에서, 상기 제1 반도체 칩(120)의 두께(T_a)는 상기 제2 반도체 칩들(130)의 두께(T_b)보다 크다. 앞선 실시예들(도8 및 도11 참조)과 달리, 제1 반도체 칩(120)에 단차부를 형성하는 대신에, 보강 블록(150D)의 구조를 변경하는 방안을 제공한다.

[0062] 도12에 도시된 바와 같이, 보강 블록(150D)은 평탄한 상면을 가지면서 상기 제1 두께(t_a)를 갖는 제1 영역(150Da)과 상기 제1 두께(t_a)보다 큰 제2 두께(t_b)를 갖는 제2 영역(150Db)을 포함할 수 있다. 보강 블록(150D)의 얇은 제1 영역(150Da)은 제1 반도체 칩(120)의 상면(120T)에 위치하며 보강 블록(150D)의 두꺼운 제2 영역(150Db)은 상기 제2 반도체 칩(130)의 상면(130T)에 위치할 수 있다. 상기 제1 및 제2 두께 편차($t_b - t_a$)는 상기 제1 및 제2 반도체 칩들(120, 130)의 두께 편차($T_a - T_b$)를 보상하도록 그 편차에 대응되도록(예, 그 편차와 실질적으로 동일하거나 작게) 설정될 수 있다.

[0063] 상기 보강 블록(150D)의 상면은 평탄하며, 봉지부(160)의 상면과 실질적으로 동일 평면 상에 있을 수 있다. 또한, 본 실시예에서, 상기 보강 블록(150D)은 상기 제2 반도체 칩(130)의 상면(130T)의 에지 영역뿐만 아니라, 상기 제1 반도체 칩(120)의 상면(120T) 중 상기 인터포저(110)의 에지에 인접한 에지 영역까지 연장될 수 있다.

[0064] 도13은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내는 측단면도이다.

[0065] 도13을 참조하면, 본 실시예에 따른 반도체 패키지(100E)는, 제1 및 제2 반도체 칩들(120, 130)의 두께가 상이하며 제1 반도체 칩(120)에 단차부(G)가 형성되고, 인터포저 대신하여 패키지 기판(310)을 채용한 점을 제외하고, 도1 및 도2에 도시된 반도체 패키지(100)와 유사한 것으로 이해할 수 있다. 본 실시예의 구성요소에 대한 설명은 특별히 반대되는 설명이 없는 한, 도1 및 도2에 도시된 반도체 패키지(100)의 동일하거나 유사한 구성요소에 대한 설명을 참조할 수 있다.

[0066] 제1 및 제2 반도체 칩들(120, 130)의 두께가 상이한 경우에, 보강 블록(150)의 배치를 위해서 제1 반도체 칩(120)에 단차부(G)가 형성되는 점은 도8에 도시된 보강 블록(150)의 배치를 참조하여 이해할 수 있다.

[0067] 본 실시예에서, 제1 및 제2 반도체 칩들(120, 130)과 연결되는 인터포저를 대신하여, 패키지 기판(310)을 사용할 수 있다. 도13에 도시된 바와 같이, 제1 및 제2 반도체 칩들(120, 130)은 패키지 기판(310)에 직접 탑재될 수 있다.

[0068] 이러한 패키지 기판(310)은 제1 및 제2 면들(310A, 310B)을 갖는 절연 부재(311)와, 상기 제1 및 제2 면들(310A, 310B)에 각각 배치된 복수의 제1 및 제2 패드들(312, 313)과, 상기 절연 부재(311)에 형성되며 상기 제1 및 제2 패드들(312, 313)을 연결하는 재배선층(314)을 포함할 수 있다. 패키지 기판(310)은 인쇄회로기판(PCB)일 수 있다. 예를 들어, 절연 부재(311)는 에폭시 수지와 같은 열경화성 수지 또는 폴리이미드와 같은 열가소성 수지 또는 감광성 절연층일 수 있다.

[0069] 일부 실시예에서, 절연부재(311)은 프리프레그, ABF, 또는 FR-4, BT일 수 있다. 상기 재배선층(314) 및 제1 및

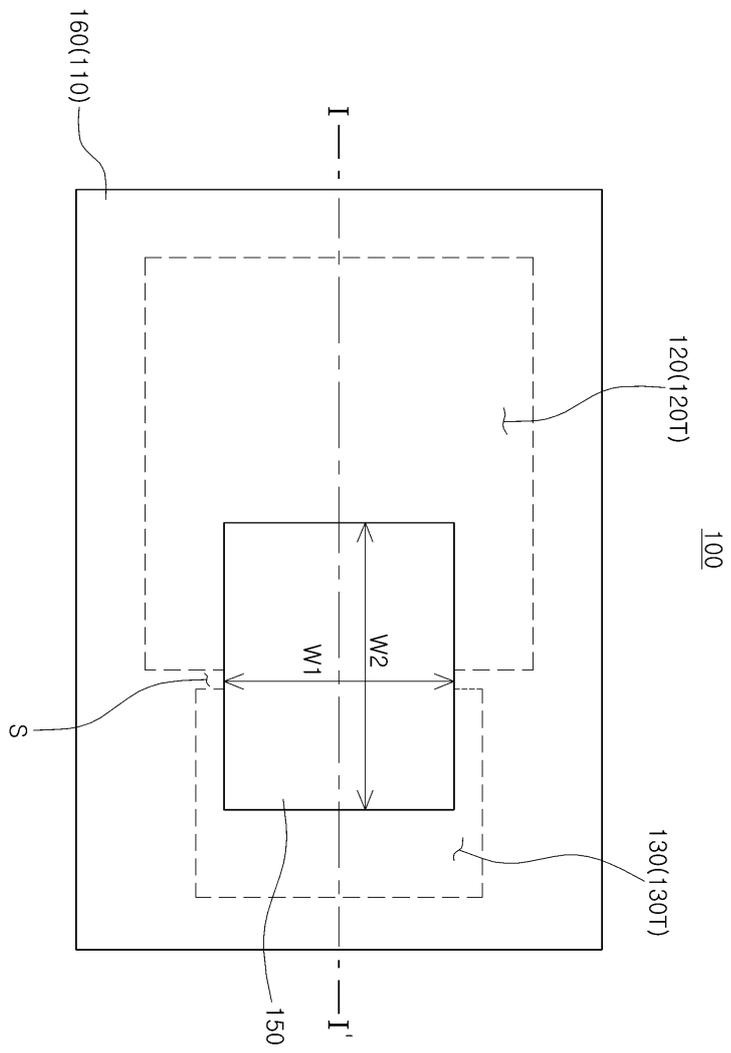
제2 패드들(312,313)은 이에 한정되지 않으나, 예를 들어 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni) 또는 그 합금을 포함할 수 있다. 제2 패드들(313) 상에는 외부 단자(315)가 제공될 수 있다. 외부 단자(315)는 주석(Sn), 납(Pb), 니켈(Ni), 금(Au), 은(Ag), 구리(Cu) 또는 비스무스(Bi) 중 적어도 하나의 금속 또는 그 합금을 포함할 수 있다.

[0070] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

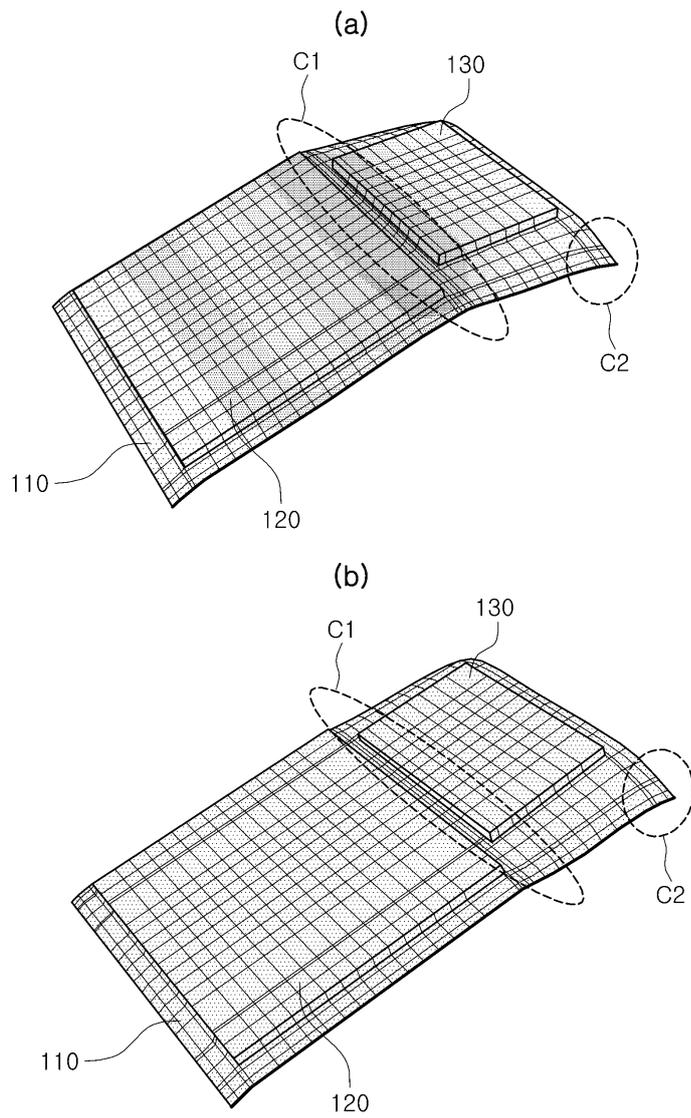
부호의 설명

- [0071] 110: 인터포저
- 111: 기관
- 112, 113: 제1 및 제2 패드들
- 114: 배선 회로
- 120: 제1 반도체 칩
- 130: 제2 반도체 칩
- 150: 보강 블록
- 160: 봉지부
- 161: 접착층

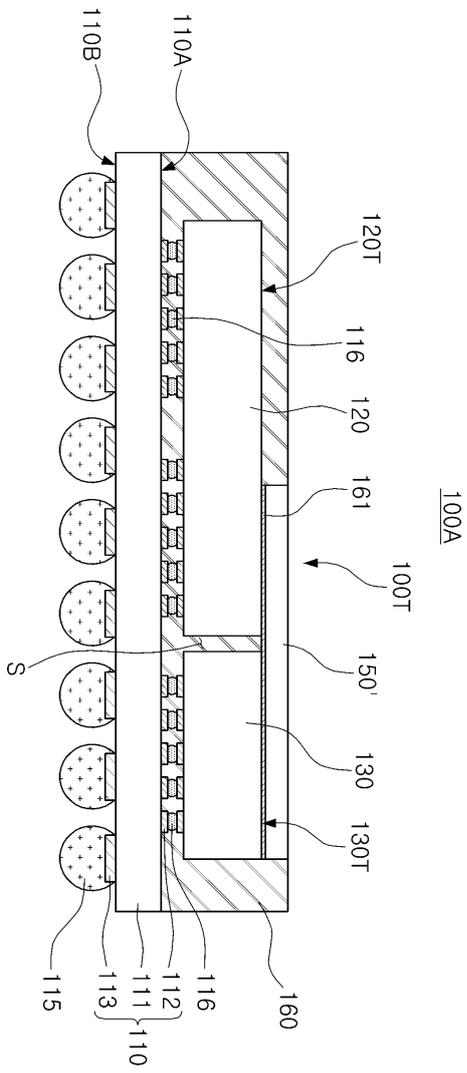
도면2



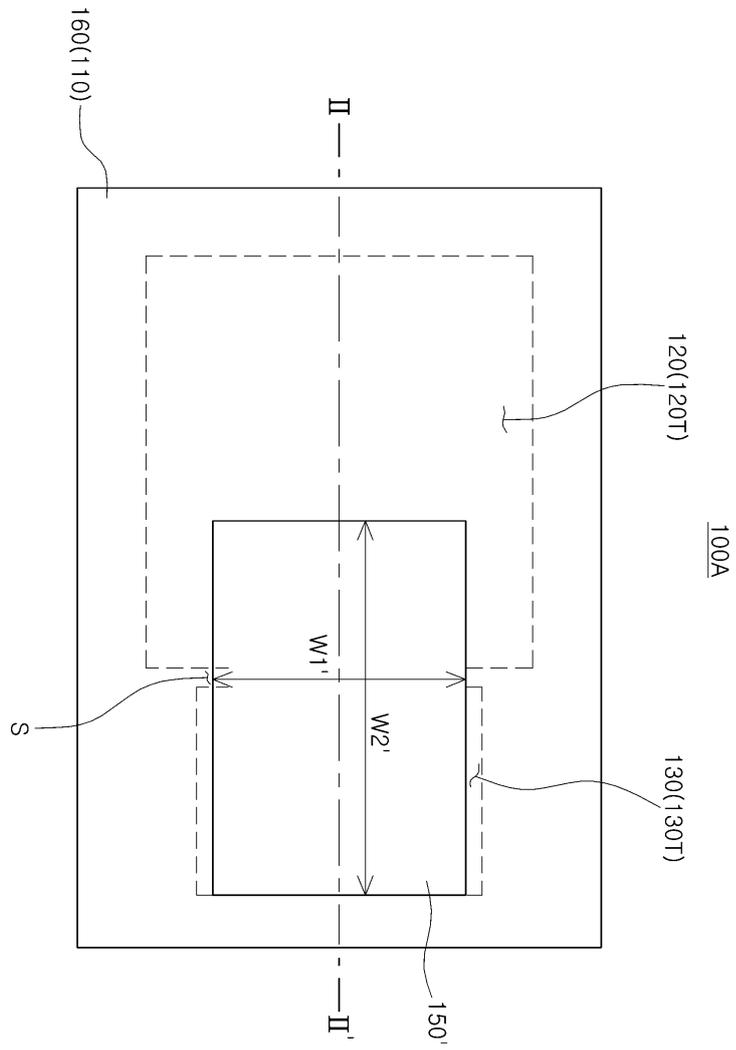
도면3



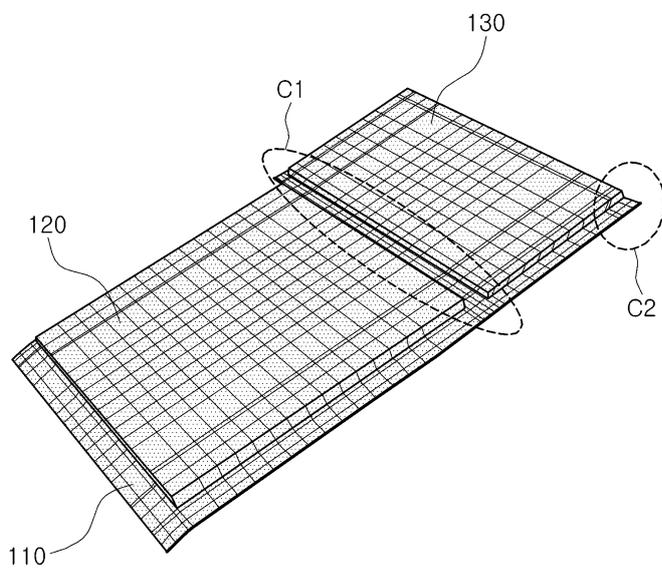
도면4



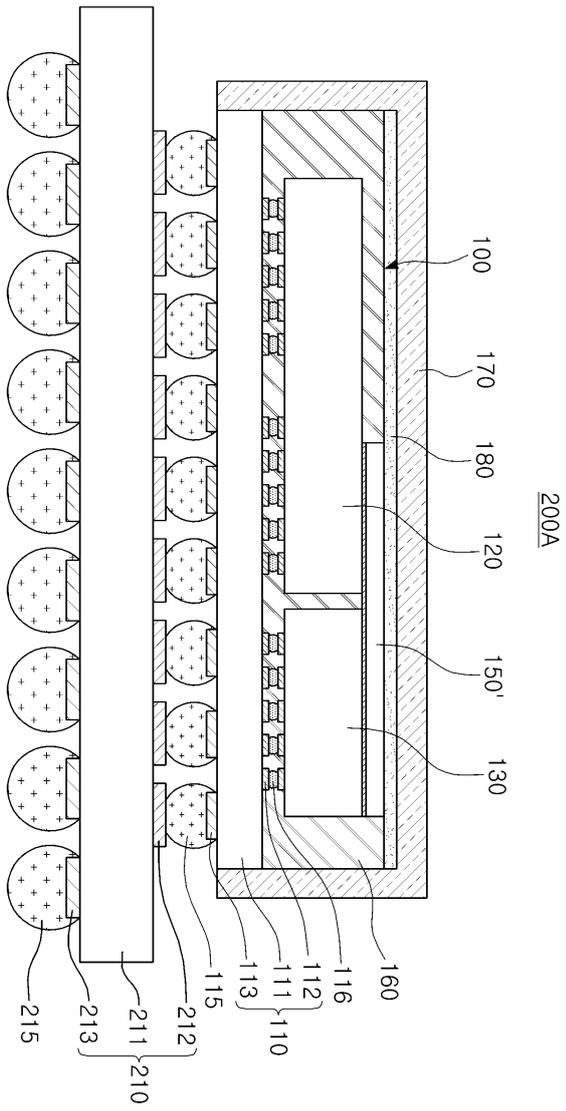
도면5



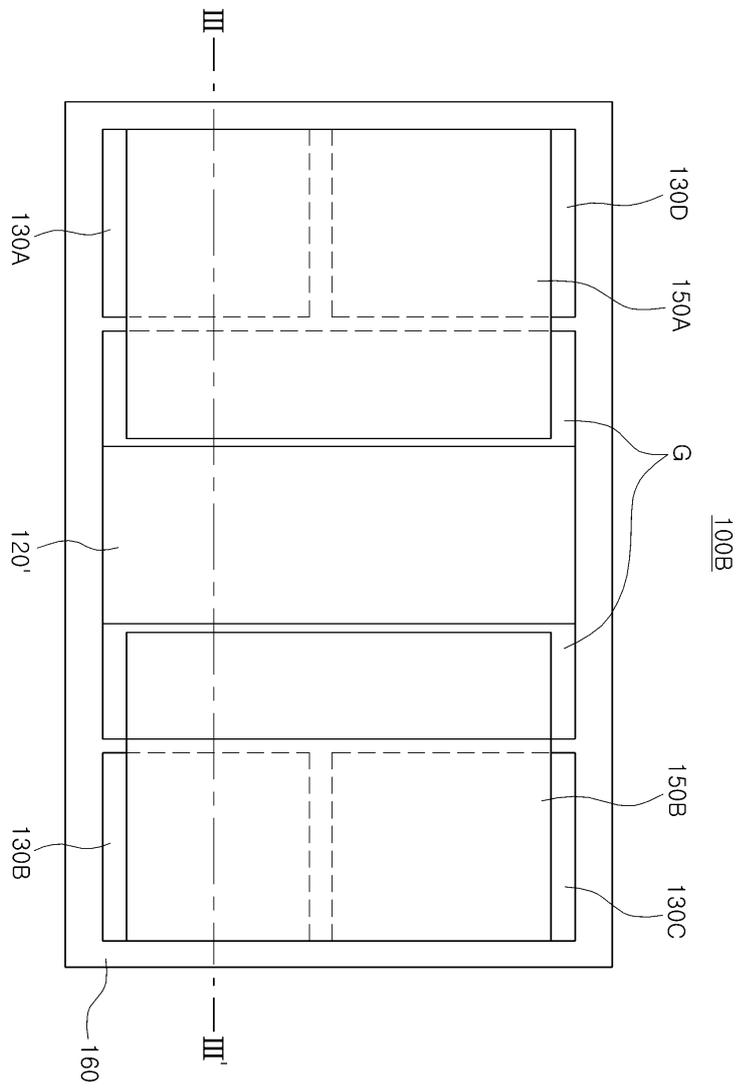
도면6



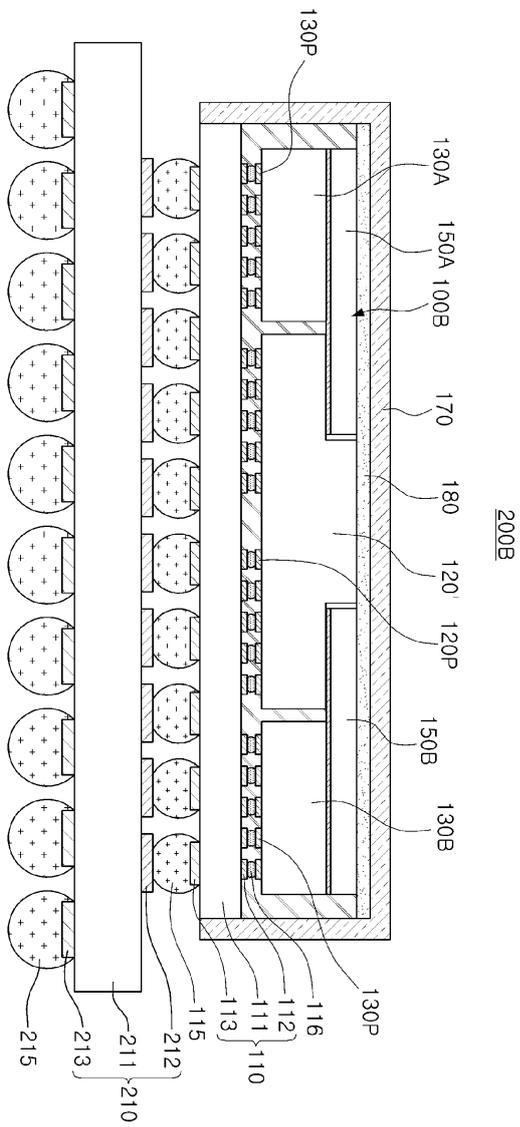
도면7



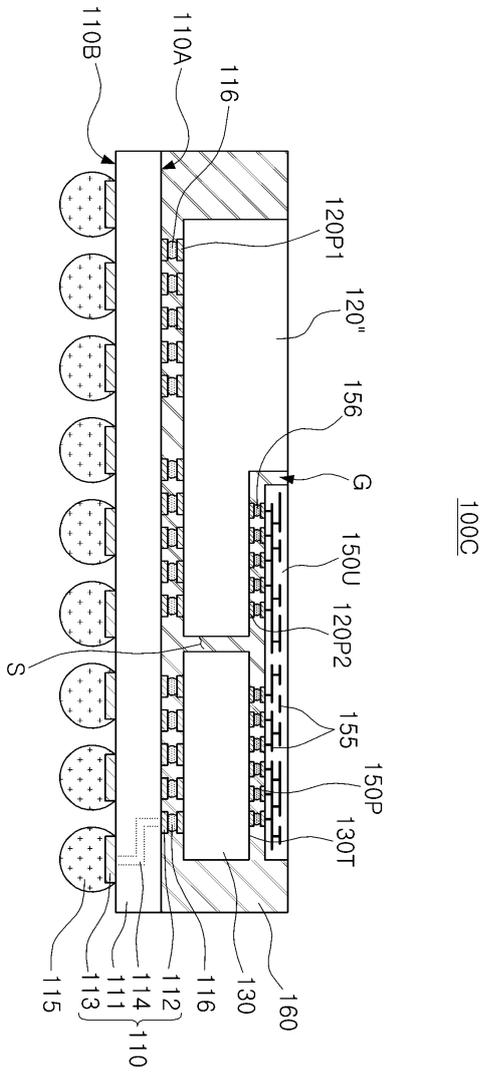
도면9



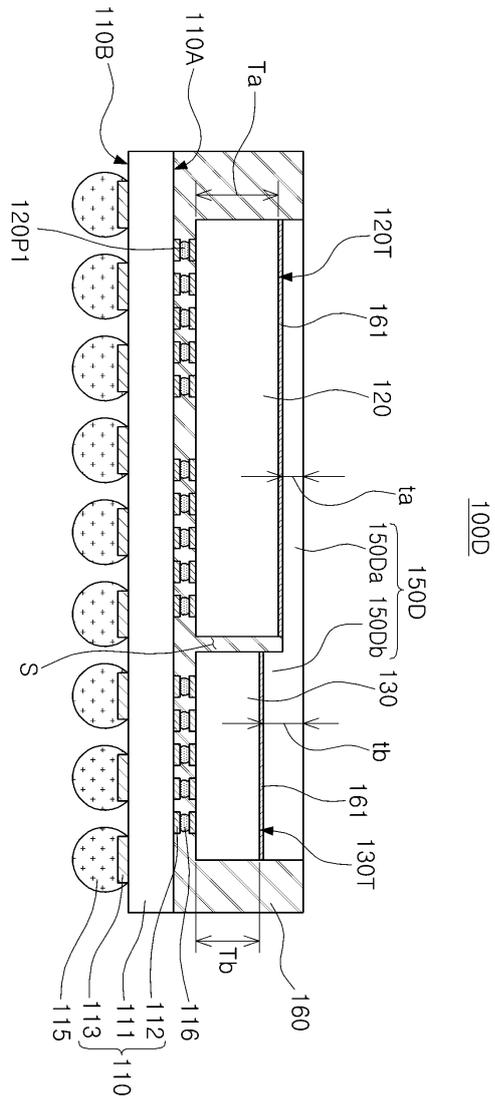
도면10



도면11



도면12



도면13

