



(12) 发明专利

(10) 授权公告号 CN 115441993 B

(45) 授权公告日 2024.05.28

(21) 申请号 202211063700.6

CN 111723924 A, 2020.09.29

(22) 申请日 2022.09.01

CN 113473149 A, 2021.10.01

(65) 同一申请的已公布的文献号

CN 114268328 A, 2022.04.01

申请公布号 CN 115441993 A

CN 114710381 A, 2022.07.05

(43) 申请公布日 2022.12.06

GB 201813351 D0, 2018.09.26

(73) 专利权人 中国人民解放军国防科技大学

GB 201813354 D0, 2018.09.26

地址 410073 湖南省长沙市开福区德雅路109号

KR 20190117186 A, 2019.10.16

(72) 发明人 周彬 王永刚 魏鹏 叶淦华

黄炜 王恒

Bin Zhou等.Adaptive dynamic surface control for small-scale unmanned helicopters using a neural network learning algorithm with the least parameters.《2018 Chinese Control And Decision Conference (CCDC)》.2018,全文.

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 王洋

李国威等.. 2021,35(04) 转发式干扰条件下慢跳频通信系统波形优化设计.《空军预警学院学报》.2021,第35卷(第04期),全文.

(51) Int. Cl.

H04L 1/00 (2006.01)

G06N 3/0464 (2023.01)

G06N 3/048 (2023.01)

G06N 3/08 (2023.01)

郝亚男;杜克明;冯昊轩.一种用于LTE的提前终止Turbo码算法仿真.无线电工程.2017,(第04期),全文.

审查员 李玥

(56) 对比文件

CN 109995380 A, 2019.07.09

权利要求书3页 说明书13页 附图6页

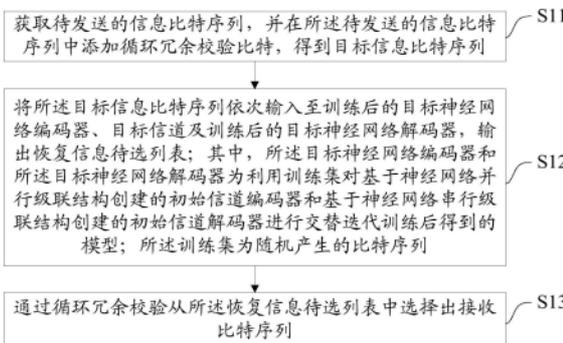
(54) 发明名称

一种信道编解码方法、装置、设备及存储介质

和迭代译码结构相结合,能够以数据驱动的方式实现信道编解码,提高了信道编解码在复杂信道条件下的适应性和鲁棒性。

(57) 摘要

本申请公开了一种信道编解码方法、装置、设备及存储介质,涉及信息通信技术领域,包括:在待发送的信息比特序列中添加循环冗余校验比特得到目标信息比特序列,并将其输入至目标神经网络编码器、目标信道及目标神经网络解码器输出恢复信息待选列表;目标神经网络编码器和目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;通过循环冗余校验从恢复信息待选列表中选择出接收比特序列。本申请通过将神经网络与级联编码结构



CN 115441993 B

1. 一种信道编解码方法,其特征在于,包括:

获取待发送的信息比特序列,并在所述待发送的信息比特序列中添加循环冗余校验比特,得到目标信息比特序列;

将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列;

通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列;

所述方法,还包括:基于神经网络并行级联结构创建所述初始信道编码器,同时基于神经网络串行级联结构创建所述初始信道解码器;对所述初始信道编码器和所述初始信道解码器中的神经网络的参数集进行随机初始化,得到初始化后信道编码器和初始化后信道解码器;固定所述初始化后信道编码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、预设信道和所述初始化后信道解码器,得到第一恢复信息待选列表和更新后的信道解码器;固定所述更新后的信道解码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、所述预设信道和所述更新后的信道解码器,得到第二恢复信息待选列表和更新后的信道编码器;交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器;

所述交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器,包括:交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并在执行过程中计算所述更新后的信道解码器和所述更新后的信道编码器之间的损失函数,再基于所述损失函数利用梯度下降法对所述更新后的信道解码器和所述更新后的信道编码器的参数集进行优化更新,直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

2. 根据权利要求1所述的信道编解码方法,其特征在于,所述交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,包括:

交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前迭代的次数是否达到最大迭代次数,若达到则停止迭代;

或,交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前所述损失函数多次迭代的差值是否小于预设门限值,若是则停止迭代。

3. 根据权利要求1所述的信道编解码方法,其特征在于,所述将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表,包括:

将所述目标信息比特序列输入至训练后的目标神经网络编码器,以便通过所述目标神经网络编码器中预设数量的并行级联结构的编码神经网络对所述目标信息比特序列和经过交织器后的目标信息比特序列进行编码,得到所述预设数量的初始编码序列,并将所述预设数量的所述初始编码序列输入至复接器得到合成编码序列,再对所述合成编码序列进

行功率约束得到目标编码序列；

将所述目标编码序列经过所述目标信道输入至训练后的所述目标神经网络解码器，输出恢复信息待选列表。

4. 根据权利要求3所述的信道编解码方法，其特征在于，所述目标神经网络解码器采用神经网络串行级联结构，并且前一级输出的后验信息特征矩阵为后一级输入的先验信息特征矩阵；其中，所述目标神经网络解码器中第一级输入的先验信息特征矩阵为0，最后一级输出的后验信息特征矩阵经过sigmoid函数得到所述恢复信息待选列表。

5. 根据权利要求1至4任一项所述的信道编解码方法，其特征在于，所述通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列，包括：

逐个对所述恢复信息待选列表中的待选序列进行循环冗余校验，并将所有校验正确的待选序列放入预设子集合中；

统计所述预设子集合中所有所述校验正确的待选序列的数量，得到统计结果，并判断所述统计结果是否大于零；

若所述统计结果大于零，则从所述预设子集合中随机选择一个待选序列作为接收比特序列；

若所述统计结果为零，则从所述恢复信息待选列表中随机选择一个待选序列作为所述接收比特序列。

6. 一种信道编解码装置，其特征在于，包括：

信息获取模块，用于获取待发送的信息比特序列；

校验信息添加模块，用于在所述待发送的信息比特序列中添加循环冗余校验比特，得到目标信息比特序列；

编解码模块，用于将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器，输出恢复信息待选列表；其中，所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型；所述训练集为随机产生的比特序列；

序列选择模块，用于通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列；

所述装置，还用于基于神经网络并行级联结构创建所述初始信道编码器，同时基于神经网络串行级联结构创建所述初始信道解码器；对所述初始信道编码器和所述初始信道解码器中的神经网络的参数集进行随机初始化，得到初始化后信道编码器和初始化后信道解码器；固定所述初始化后信道编码器的参数集，并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、预设信道和所述初始化后信道解码器，得到第一恢复信息待选列表和更新后的信道解码器；固定所述更新后的信道解码器的参数集，并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、所述预设信道和所述更新后的信道解码器，得到第二恢复信息待选列表和更新后的信道编码器；交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止，得到所述目标神经网络编码器和所述目标神经网络解码器；

所述装置，还用于交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器

的获取过程,并在执行过程中计算所述更新后的信道解码器和所述更新后的信道编码器之间的损失函数,再基于所述损失函数利用梯度下降法对所述更新后的信道解码器和所述更新后的信道编码器的参数集进行优化更新,直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

7.一种电子设备,其特征在于,包括处理器和存储器;其中,所述处理器执行所述存储器中保存的计算机程序时实现如权利要求1至5任一项所述的信道编解码方法。

8.一种计算机可读存储介质,其特征在于,用于存储计算机程序;其中,所述计算机程序被处理器执行时实现如权利要求1至5任一项所述的信道编解码方法。

一种信道编解码方法、装置、设备及存储介质

技术领域

[0001] 本申请涉及信息通信技术领域,特别涉及一种信道编解码方法、装置、设备及存储介质。

背景技术

[0002] 信道编解码是现代数字通信中的关键技术之一,广泛应用于地面移动通信、卫星通信及其它通信系统中。现有的Turbo码、LDPC(Low Density Parity Check Code,低密度奇偶校验码)码、Polar(即极化码)码等,在典型的加性高斯白噪声(AWGN,Additive White Gaussian Noise)信道下已经逐渐逼近香农信道容量。然而,上述信道编解码方法主要是基于信道的加性高斯噪声模型假设实现的,因此,在非高斯白噪声信道、非线性失真信道等非典型信道条件下,上述编解码技术仍存在不足,主要包括:一是鲁棒性不足,当信道特性发生改变时,在AWGN信道下设计实现的编解码方式存在明显的性能恶化;二是适应性不足,上述编解码方式难以针对不同信道特性做出相应的适应性改进和优化。

[0003] 目前,基于神经网络信道编解码方法是信息通信领域的一个新兴研究方向。不同于传统的分组编码(Block Coding)或卷积编码(Convolutional Coding)等依赖于数学模型和解析求解的思路,神经网络通过数据驱动的方法,从大量训练数据集中训练学习得到问题的近似最优解。由于能够直接针对具体的信道条件进行训练学习,因此基于神经网络实现的信道编解码较传统编码方法相比具有更高的灵活性和适应性。

[0004] 然而,直接利用现有的神经网络结构实现信道编解码存在维度灾难问题,即算法的复杂度随着编码长度的增加呈指数增长,例如,对于长度为100比特的二进制信息序列,其编码空间包含 2^{100} 个码字。因此,如何基于神经网络设计合理的信道编码和信道解码结构,从而高效地解决时间和空间复杂度过高的问题是本领域技术人员需要解决的技术问题。

发明内容

[0005] 有鉴于此,本申请的目的在于提供一种信道编解码方法、装置、设备及存储介质,能够以数据驱动的方式实现信道编解码,提高信道编解码对复杂信道条件的适应性和鲁棒性。其具体方案如下:

[0006] 第一方面,本申请公开了一种信道编解码方法,包括:

[0007] 获取待发送的信息比特序列,并在所述待发送的信息比特序列中添加循环冗余校验比特,得到目标信息比特序列;

[0008] 将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列;

[0009] 通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。

[0010] 可选的,所述信道编解码方法,还包括:

[0011] 基于神经网络并行级联结构创建所述初始信道编码器,同时基于神经网络串行级联结构创建所述初始信道解码器;

[0012] 对所述初始信道编码器和所述初始信道解码器中的神经网络的参数集进行随机初始化,得到初始化后信道编码器和初始化后信道解码器;

[0013] 固定所述初始化后信道编码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、预设信道和所述初始化后信道解码器,得到第一恢复信息待选列表和更新后的信道解码器;

[0014] 固定所述更新后的信道解码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、所述预设信道和所述更新后的信道解码器,得到第二恢复信息待选列表和更新后的信道编码器;

[0015] 交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

[0016] 可选的,所述交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器,包括:

[0017] 交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并在执行过程中计算所述更新后的信道解码器和所述更新后的信道编码器之间的损失函数,再基于所述损失函数利用梯度下降法对所述更新后的信道解码器和所述更新后的信道编码器的参数集进行优化更新,直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

[0018] 可选的,所述交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,包括:

[0019] 交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前迭代的次数是否达到最大迭代次数,若达到则停止迭代;

[0020] 或,交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前所述损失函数多次迭代的差值是否小于预设门限值,若是则停止迭代。

[0021] 可选的,所述将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表,包括:

[0022] 将所述目标信息比特序列输入至训练后的目标神经网络编码器,以便通过所述目标神经网络编码器中预设数量的并行级联结构的编码神经网络对所述目标信息比特序列和经过交织器后的目标信息比特序列进行编码,得到所述预设数量的初始编码序列,并将所述预设数量的所述初始编码序列输入至复接器得到合成编码序列,再对所述合成编码序列进行功率约束得到目标编码序列;

[0023] 将所述目标编码序列经过所述目标信道输入至训练后的所述目标神经网络解码器,输出恢复信息待选列表。

[0024] 可选的,所述目标神经网络解码器采用神经网络串行级联结构,并且前一级输出的后验信息特征矩阵为后一级输入的先验信息特征矩阵;其中,所述目标神经网络解码器

中第一级输入的先验信息特征矩阵为0,最后一级输出的后验信息特征矩阵经过sigmoid函数得到所述恢复信息待选列表。

[0025] 可选的,所述通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列,包括:

[0026] 逐个对所述恢复信息待选列表中的待选序列进行循环冗余校验,并将所有校验正确的待选序列放入预设子集合中;

[0027] 统计所述预设子集合中所有所述校验正确的待选序列的数量,得到统计结果,并判断所述统计结果是否大于零;

[0028] 若所述统计结果大于零,则从所述预设子集合中随机选择一个待选序列作为接收比特序列;

[0029] 若所述统计结果为零,则从所述恢复信息待选列表中随机选择一个待选序列作为所述接收比特序列。

[0030] 第二方面,本申请公开了一种信道编解码装置,包括:

[0031] 信息获取模块,用于获取待发送的信息比特序列;

[0032] 校验信息添加模块,用于在所述待发送的信息比特序列中添加循环冗余校验比特,得到目标信息比特序列;

[0033] 编解码模块,用于将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列;

[0034] 序列选择模块,用于通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。

[0035] 第三方面,本申请公开了一种电子设备,包括处理器和存储器;其中,所述处理器执行所述存储器中保存的计算机程序时实现前述的信道编解码方法。

[0036] 第四方面,本申请公开了一种计算机可读存储介质,用于存储计算机程序;其中,所述计算机程序被处理器执行时实现前述的信道编解码方法。

[0037] 可见,本申请先获取待发送的信息比特序列,然后在所述待发送的信息比特序列中添加循环冗余校验比特得到目标信息比特序列,接着将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列,最后通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。本申请通过将神经网络与级联编码结构和迭代译码结构相结合,能够以数据驱动的方式实现信道编解码,弥补了现有方法局限于简单信道模型假设的不足,提高了信道编解码在复杂信道条件下的适应性和鲁棒性,对于非高斯噪声、非线性失真、硬件非完美特性等复杂条件下的可靠数据传输具有显著优势。

附图说明

[0038] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0039] 图1为本申请公开的一种信道编解码方法流程图;

[0040] 图2为本申请公开的一种具体的信道编解码方法流程图;

[0041] 图3为本申请公开的一种具体的信道编解码方法流程图;

[0042] 图4为本申请公开的一种具体的并行级联结构神经网络编码器结构框图;

[0043] 图5为本申请公开的一种具体的串行级联结构神经网络解码器结构框图;

[0044] 图6为本申请公开的一种具体的信道编解码方法整体框架图;

[0045] 图7为本申请公开的一种信道编解码装置结构示意图;

[0046] 图8为本申请公开的一种电子设备结构图。

具体实施方式

[0047] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0048] 本申请实施例公开了一种信道编解码方法,参见图1所示,该方法包括:

[0049] 步骤S11:获取待发送的信息比特序列,并在所述待发送的信息比特序列中添加循环冗余校验比特,得到目标信息比特序列。

[0050] 本实施例中,首先对待发送的信息比特序列进行获取,然后在上述待发送的信息比特序列中添加循环冗余校验(Cyclic Redundancy Check)比特,得到目标信息比特序列。

[0051] 步骤S12:将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列。

[0052] 本实施例中,在所述待发送的信息比特序列中添加循环冗余校验比特得到目标信息比特序列之后,进一步的,将上述目标信息比特序列依次输入至基于神经网络并行级联结构创建的训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器中,通过上述目标神经网络编码器对上述目标信息比特序列进行编码,然后将编码后的序列输入至所述目标信道,输出接收序列,接着将经过所述目标信道输出的所述接收序列输入至基于神经网络串行级联结构创建的目标神经网络解码器中,然后通过上述目标神经网络解码器对上述接收序列进行解码,输出恢复信息待选列表。需要指出的是,所述目标神经网络编码器和所述目标神经网络解码器的获取过程是利用随机产生的比特序列对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的。其中,所述目标神经网络编码器和所述目标神经网络解

码器中的神经网络的类型包括但不限于全连接神经网络 (Fully Connected Neural Network)、卷积神经网络 (CNN, Convolutional Neural Network)、循环神经网络 (RNN, Recurrent Neural Network) 等。

[0053] 参见图2所示,本实施例中,所述目标神经网络编码器和所述目标神经网络解码器的获取过程,具体可以包括:

[0054] 步骤S21:基于神经网络并行级联结构创建所述信道编码器,同时基于神经网络串行级联结构创建初始信道解码器;

[0055] 步骤S22:对所述初始信道编码器和所述初始信道解码器中的神经网络的参数集进行随机初始化,得到初始化后信道编码器和初始化后信道解码器;

[0056] 步骤S23:固定所述初始化后信道编码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、预设信道和所述初始化后信道解码器,得到第一恢复信息待选列表和更新后的信道解码器;

[0057] 步骤S24:固定所述更新后的信道解码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、所述预设信道和所述更新后的信道解码器,得到第二恢复信息待选列表和更新后的信道编码器;

[0058] 步骤S25:交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

[0059] 也即,先创建基于神经网络并行级联结构的初始信道编码器和基于神经网络串行级联结构的初始信道解码器,然后对上述初始信道编码器和上述初始信道解码器中的神经网络的参数集进行随机的初始化,即对参数集中的参数进行随机的选取,进而得到初始化后信道编码器和初始化后信道解码器,接着固定上述初始化后信道编码器的参数集,然后将随机产生的比特序列作为训练集依次输入到上述初始化后信道编码器、预设信道和上述初始化后信道解码器中进行训练,得到相应的恢复信息待选列表,即所述第一恢复信息待选列表,然后利用上述第一恢复信息待选列表计算损失函数,并根据所述损失函数对上述初始化后信道解码器进行更新,得到更新后的信道解码器,接着对上述更新后的信道解码器的参数集进行固定,并将随机产生的比特序列作为训练集依次输入至上述初始化后信道编码器、上述预设信道和上述更新后的信道解码器中进行训练,得到新的恢复信息待选列表,即所述第二恢复信息待选列表,然后利用上述第二恢复信息待选列表计算损失函数,并根据上述第二恢复信息待选列表计算出的损失函数对上述初始信道编码器进行更新,得到更新后的信道编码器。接着交替迭代执行上述更新后的信道解码器和上述更新后的信道编码器的获取过程直到达到预设条件为止,进而得到目标神经网络编码器和目标神经网络解码器。其中,所述预设信道包括但不限于上述目标信道、高斯白噪声 (WGN, White Gaussian Noise) 信道等。

[0060] 具体的,所述交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器,可以包括:交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并在执行过程中计算所述更新后的信道解码器和所述更新后的信道编码器之间的损失函数,再基于所述损失函数利用梯度下降法对所述更新后的信道解码器和所述更新后

的信道编码器的参数集进行优化更新,直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。也即,在对更新后的信道解码器和更新后的信道编码器进行不断训练的过程中,计算更新后的信道解码器和更新后的信道编码器之间的损失函数,然后基于上述损失函数并利用梯度下降法对上述更新后的信道解码器和上述更新后的信道编码器的参数集进行不断的优化更新,直到达到预设的条件为止,进而得到适用于所述目标信道编解码的目标神经网络编码器和目标神经网络解码器。

[0061] 本实施例中,所述交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,具体可以包括:交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前迭代的次数是否达到最大迭代次数,若达到则停止迭代;或,交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前所述损失函数多次迭代的差值是否小于预设门限值,若是则停止迭代。也即,交替迭代执行步骤S23和步骤S24,直至达到最大迭代次数,或损失函数多次迭代的差值小于预设门限,则停止迭代,即停止训练的过程。

[0062] 需要指出的是,在对上述更新后的信道解码器和上述更新后的信道编码器进行训练的过程中,可以不依赖于具体的信道。在实际训练过程中,为了更适应待实施的目标信道,可以先在高斯白噪声信道下训练,待训练收敛后,再在待实施的目标信道条件下进行训练微调,从而加快训练过程的收敛,使其更适应待实施的具体信道。

[0063] 步骤S13:通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。

[0064] 本实施例中,将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器输出恢复信息待选列表之后,进一步的,可以对上述恢复信息待选列表中的所有待选序列逐个进行循环冗余校验,然后从所有校验正确的待选序列中随机选择一个作为最终的接收比特序列。

[0065] 可见,本申请实施例先获取待发送的信息比特序列,然后在所述待发送的信息比特序列中添加循环冗余校验比特得到目标信息比特序列,接着将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列,最后通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。本申请实施例通过将神经网络与级联编码结构和迭代译码结构相结合,能够以数据驱动的方式实现信道编解码,弥补了现有方法局限于简单信道模型假设的不足,提高了信道编解码在复杂信道条件下的适应性和鲁棒性,对于非高斯噪声、非线性失真、硬件非完美特性等复杂条件下的可靠数据传输具有显著优势。

[0066] 本申请实施例公开了一种具体的信道编解码方法,参见图3所示,该方法包括:

[0067] 步骤S31:获取待发送的信息比特序列,并在所述待发送的信息比特序列中添加循环冗余校验比特,得到目标信息比特序列。

[0068] 步骤S32:将所述目标信息比特序列输入至训练后的目标神经网络编码器,以便通过所述目标神经网络编码器中预设数量的并行级联结构的编码神经网络对所述目标信息比特序列和经过交织器后的目标信息比特序列进行编码,得到所述预设数量的初始编码序

列,并将所述预设数量的所述初始编码序列输入至复接器得到合成编码序列,再对所述合成编码序列进行功率约束得到目标编码序列。

[0069] 本实施例中,在所述待发送的信息比特序列中添加循环冗余校验比特得到目标信息比特序列之后,进一步的,将上述目标信息比特序列输入至训练后的目标神经网络编码器,然后通过上述目标神经网络编码器中预设数量的并行级联结构的编码神经网络对上述目标信息比特序列和经过交织器后的目标信息比特序列进行编码,进而得到与所述预设数量相同的初始编码序列,再将上述预设数量的所述初始编码序列输入到复接器中进行整合得到合成编码序列,最后对上述合成编码序列进行功率约束得到相应的目标编码序列。可以理解的是,所述神经网络构造编码器中的并行级联结构的编码神经网络的数量可根据实际情况进行选择,在此不做限定。

[0070] 在一种具体的实施方式中,参见图4所示,先将长度为K的待发送的信息比特序列 u 输入至分量1编码神经网络,输出长度为K的分量1编码序列 c_1 ;同时,将待发送的信息比特序列 u 经过一个交织器 π ,得到交织后的比特序列 u_π ;然后将交织后的比特序列 u_π 输入至分量2编码神经网络,输出长度为K的分量2编码序列 c_2 ;再将分量编码序列 c_1 和 c_2 输入至复接器,输出长度为 $N=2K$ 的合成编码序列 c ;最后将合成编码序列 c 经过功率约束后得到长度为N的编码序列 x 。

[0071] 步骤S33:将所述目标编码序列经过目标信道输入至训练后的目标神经网络解码器,输出恢复信息待选列表。其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列。

[0072] 本实施例中,对所述合成编码序列进行功率约束得到目标编码序列之后,将上述目标编码序列经过目标信道输入至训练后的目标神经网络解码器中,然后输出恢复信息待选列表。其中,上述目标神经网络编码器和上述目标神经网络解码器是利用随机产生的比特序列对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的。

[0073] 本实施例中,所述目标神经网络解码器采用神经网络串行级联结构,并且前一级输出的后验信息特征矩阵为后一级输入的先验信息特征矩阵;其中,所述目标神经网络解码器中第一级输入的先验信息特征矩阵为0,最后一级输出的后验信息特征矩阵经过sigmoid函数得到所述恢复信息待选列表。即目标神经网络解码器的第一级为先验信息为0,最后一级之后要经过sigmoid函数。

[0074] 在一种具体的实施方式中,在得到上述图4输出的长度为N的编码序列 x 之后,可以将上述编码序列 x 经过目标信道发送至接收端,得到长度为N的接收序列 y ,其中,所述目标信道可以为任意类型的信道,本实施例中采用加性高斯白噪声信道,即 $y=x+w$,其中, w 表示任意加性噪声或干扰。优选的,对于加性高斯白噪声信道, w 由均值为0、方差为 σ^2 的高斯分布随机变量构成。接着,将上述接收序列 y 经过分接后得到两个长度为K的接收序列分量 y_1 和 y_2 ,分别对应上述编码序列 c_1 和 c_2 ,然后将上述两个接收序列分量 y_1 和 y_2 输入到神经网络解码器中,得到恢复信息待选列表 \hat{u}^{list} ,该列表由L个长度为K的恢复信息待选序列构成。

[0075] 在一种具体的实施方式中,参见图5所示,所述目标神经网络解码器采用多级串行

级联结构,每级包含三个解码神经网络分量,三个分量之间依次传递信息特征矩阵,并通过交织器和解交织器实现信息特征的对齐,并且采用的神经网络的类型为卷积神经网络。其中,每级解码的具体处理流程包括:先将上述收序列分量 y_1 及其对应的第 i 级先验信息特征矩阵 \mathbf{P}_{i-1}^1 一起输入到分量1解码神经网络,然后将输出的特征信息矩阵减去先验信息特征矩阵 \mathbf{P}_{i-1}^1 并经过交织器后,作为分量2解码神经网络的先验信息特征矩阵 \mathbf{P}_{i-1}^2 ;接着将接收序列分量 y_2 及其对应的第 i 级先验信息特征矩阵 \mathbf{P}_{i-1}^2 一起输入到分量2解码神经网络,然后将输出的特征信息矩阵减去先验信息特征矩阵 \mathbf{P}_{i-1}^2 后作为分量3解码神经网络的先验特征信息矩阵 \mathbf{P}_{i-1}^3 ;再将接收序列分量 y_1 经过交织器后得到的序列 $\pi(y_1)$ 、接收序列分量 y_2 、先验信息特征矩阵 \mathbf{P}_{i-1}^3 一起输入到分量3解码神经网络,并将输出的特征信息矩阵减去先验信息特征矩阵 \mathbf{P}_{i-1}^3 ,并经过解交织器后,得到第 i 级输出的信息特征矩阵 \mathbf{P}_i^1 ,然后将该矩阵作为下一级解码的先验信息特征矩阵,再经过多级串行级联结构的解码神经网络,最后一级输出的后验信息特征矩阵经过sigmoid函数之后,输出恢复信息待选列表 $\hat{\mathbf{u}}^{\text{list}}$ 。其中,第一级输入的先验信息特征矩阵为0。需要指出的是,在编码过程中用到的交织器的作用是为了实现信息比特序列中元素位置的置乱,而解交织是交织过程的逆过程;所述交织器包括但不限于伪随机交织器、循环移位交织器等。

[0076] 需要指出的是,所述目标神经网络解码器的级数 I 可以根据实际情况进行设置,每一级采用相同的解码器结构,并且各级解码器中包含的神经网络的参数可以通过梯度下降法训练得到,所述梯度下降法的损失函数为信息比特序列与恢复信息列表中 L 个待选序列的最小二值交叉熵,其计算公式为:

$$[0077] \quad \text{loss}(\hat{\mathbf{u}}^{\text{list}}, \mathbf{u}) = \min_{l \in \{1, \dots, L\}} \rho(\hat{\mathbf{u}}_l^{\text{list}}, \mathbf{u});$$

[0078] 其中 ρ 表示两个长度为 K 的序列之间的二值交叉熵,其计算公式为:

$$[0079] \quad \rho(\hat{\mathbf{u}}; \mathbf{u}) = -\frac{1}{K} \sum_{k=1}^K \left[u_k \log \hat{u}_k + (1 - u_k) \log(1 - \hat{u}_k) \right].$$

[0080] 步骤S34:逐个对所述恢复信息待选列表中的待选序列进行循环冗余校验,并将所有校验正确的待选序列放入预设子集合中。

[0081] 本实施例中,将所述目标编码序列经过目标信道输入至训练后的目标神经网络解码器输出恢复信息待选列表之后,逐个的对上述恢复信息待选列表中的待选序列进行循环冗余校验,然后可以将所有校验正确的待选序列放入预设子集合中。

[0082] 步骤S35:统计所述预设子集合中所有所述校验正确的待选序列的数量,得到统计结果,并判断所述统计结果是否大于零。

[0083] 本实施例中,将所有校验正确的待选序列放入预设子集合中之后,统计上述预设子集合中所有所述校验正确的待选序列的数量,得到相应的统计结果,然后判断上述统计结果的值是否大于零。

[0084] 步骤S36:若所述统计结果大于零,则从所述预设子集合中随机选择一个待选序列作为接收比特序列。

[0085] 本实施例中,如果上述统计结果的值大于零,则可以直接从上述预设子集合中随机选择一个待选序列作为接收比特序列。

[0086] 步骤S37:若所述统计结果为零,则从所述恢复信息待选列表中随机选择一个待选序列作为所述接收比特序列。

[0087] 本实施例中,如果上述统计结果为零,则可以从上述恢复信息待选列表中随机选择一个待选序列作为所述接收比特序列。

[0088] 其中,关于上述步骤S31更加具体的处理过程可以参考前述实施例中公开的相应内容,在此不再进行赘述。

[0089] 本申请实施例利用神经网络代替传统的分组编码或卷积编码,可以提高编码的灵活性和适应性;通过构建合理的交织器将多个神经网络分量编码并行级联,实现了编码长度由短码向长码的扩展,可以获得更大的编码增益;通过设计合理的基于神经网络的多级串行级联解码结构,能够与神经网络编码器联合,根据一定的损失函数对神经网络进行优化训练,能够适应具体信道的编解码。并且创建的神经网络编码器和神经网络解码器具备学习能力,能在不同信道条件下微调神经网络的参数,进而提高在非高斯噪声、非线性失真等非理想信道条件下的信道编解码性能。

[0090] 参见图6所示,本申请实施例公开了一种具体的信道编解码方法处理流程图,包括训练阶段和实施阶段。其中,所述训练阶段具体步骤为:步骤1,随机初始化编码器神经网络的参数集 φ 和解码器神经网络的参数集 θ ;步骤2,固定编码器神经网络的参数 φ ,然后随机产生一定批量的比特序列,并依次经过神经网络编码器、信道、神经网络解码器,得到恢复信息待选列表,接着计算损失函数 $\text{loss}(\hat{\mathbf{u}}^{\text{list}}, \mathbf{u})$,并利用梯度下降法更新解码器神经网络的参数 θ ;步骤3,固定解码器神经网络的参数 θ ,随机产生一定批量的比特序列,然后依次经过神经网络编码器、信道、神经网络解码器,得到恢复信息待选列表,计算损失函数 $\text{loss}(\hat{\mathbf{u}}^{\text{list}}, \mathbf{u})$,利用梯度下降法更新解码器神经网络的参数 φ ;接着交替迭代执行步骤2和步骤3,直至达到最大迭代次数,或损失函数多次迭代的差值小于预设门限,则停止迭代;步骤4:保存训练完成的编码器神经网络和解码器神经网络的参数集。在实施阶段,对长度为K-Z比特的待发送信息比特序列添加长度为Z比特的循环冗余校验比特,构成总长度为K的发送比特序列;然后将待发送信息比特序列依次经过训练完成后的神经网络编码器、信道及训练完成后的神经网络解码器,得到待选的恢复信息列表 $\hat{\mathbf{u}}^{\text{list}}$;再根据所述循环冗余校验的生成多项式,对恢复信息列表 $\hat{\mathbf{u}}^{\text{list}}$ 中的L个待选序列逐个进行循环冗余校验,选出所有 $R(R \leq L)$ 个校验正确的待选序列,构成 $\hat{\mathbf{u}}^{\text{list}}$ 的一个子集 $\hat{\mathbf{u}}_R^{\text{list}}$;若 $R > 0$,则从 $\hat{\mathbf{u}}_R^{\text{list}}$ 中随机选择1个待选序列作为最终的接收比特序列 $\hat{\mathbf{u}}$;若 $R = 0$,则从 $\hat{\mathbf{u}}^{\text{list}}$ 中随机选择1个待选序列作为最终的接收比特序列 $\hat{\mathbf{u}}$ 。

[0091] 由上可见,本申请实施例先构建基于神经网络并行级联结构的信道编码器和基于神经网络串行级联结构的信道解码器,在训练阶段,通过随机产生比特序列作为训练集,利用梯度下降法对编码器神经网络和解码器神经网络的参数进行交替训练,以获得一个适应当前信道特性的编解码方法;在实施阶段,通过在信息比特序列中添加循环冗余校验比特,

以在解码端通过循环冗余校验从恢复信息待选列表中选择最终的接收比特序列。本申请能够以数据驱动的方式实现信道编解码,弥补了现有方法局限于简单信道模型假设的不足,能够提高信道编解码的适应性和鲁棒性,这对于非高斯噪声、非线性失真、硬件非完美特性等复杂条件下的可靠数据传输具有优势。

[0092] 相应的,本申请实施例还公开了一种信道编解码装置,参见图7所示,该装置包括:

[0093] 信息获取模块11,用于获取待发送的信息比特序列;

[0094] 校验信息添加模块12,用于在所述待发送的信息比特序列中添加循环冗余校验比特,得到目标信息比特序列;

[0095] 编解码模块13,用于将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器,输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列;

[0096] 序列选择模块14,用于通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。

[0097] 其中,关于上述各个模块的具体工作流程可以参考前述实施例中公开的相应内容,在此不再进行赘述。

[0098] 可见,本申请实施例中,先获取待发送的信息比特序列,然后在所述待发送的信息比特序列中添加循环冗余校验比特得到目标信息比特序列,接着将所述目标信息比特序列依次输入至训练后的目标神经网络编码器、目标信道及训练后的目标神经网络解码器输出恢复信息待选列表;其中,所述目标神经网络编码器和所述目标神经网络解码器为利用训练集对基于神经网络并行级联结构创建的初始信道编码器和基于神经网络串行级联结构创建的初始信道解码器进行交替迭代训练后得到的模型;所述训练集为随机产生的比特序列,最后通过循环冗余校验从所述恢复信息待选列表中选择出接收比特序列。本申请实施例通过将神经网络与级联编码结构和迭代译码结构相结合,能够以数据驱动的方式实现信道编解码,弥补了现有方法局限于简单信道模型假设的不足,提高了信道编解码在复杂信道条件下的适应性和鲁棒性,对于非高斯噪声、非线性失真、硬件非完美特性等复杂条件下的可靠数据传输具有显著优势。

[0099] 在一些具体实施例中,所述信道编解码装置,还可以包括:

[0100] 模型创建单元,用于基于神经网络并行级联结构创建所述初始信道编码器,同时基于神经网络串行级联结构创建所述初始信道解码器;

[0101] 参数集初始化单元,用于对所述初始信道编码器和所述初始信道解码器中的神经网络的参数集进行随机初始化,得到初始化后信道编码器和初始化后信道解码器;

[0102] 第一训练单元,用于固定所述初始化后信道编码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、预设信道和所述初始化后信道解码器,得到第一恢复信息待选列表和更新后的信道解码器;

[0103] 第二训练单元,用于固定所述更新后的信道解码器的参数集,并将随机产生的比特序列作为训练集依次输入至所述初始化后信道编码器、所述预设信道和所述更新后的信道解码器,得到第二恢复信息待选列表和更新后的信道编码器;

[0104] 交替训练单元,用于交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

[0105] 在一些具体实施例中,所述交替训练单元,具体可以包括:

[0106] 损失函数计算单元,用于交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并在执行过程中计算所述更新后的信道解码器和所述更新后的信道编码器之间的损失函数;

[0107] 参数集优化单元,用于基于所述损失函数利用梯度下降法对所述更新后的信道解码器和所述更新后的信道编码器的参数集进行优化更新,直到达到预设条件为止,得到所述目标神经网络编码器和所述目标神经网络解码器。

[0108] 在一些具体实施例中,所述交替训练单元,具体可以包括:

[0109] 第一迭代停止单元,用于交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前迭代的次数是否达到最大迭代次数,若达到则停止迭代;

[0110] 或,第二迭代停止单元,用于交替迭代执行所述更新后的信道解码器和所述更新后的信道编码器的获取过程,并判断当前所述损失函数多次迭代的差值是否小于预设门限值,若是则停止迭代。

[0111] 在一些具体实施例中,所述编解码模块13,具体可以包括:

[0112] 序列编码单元,用于将所述目标信息比特序列输入至训练后的目标神经网络编码器,以便通过所述目标神经网络编码器中预设数量的并行级联结构的编码神经网络对所述目标信息比特序列和经过交织器后的目标信息比特序列进行编码,得到所述预设数量的初始编码序列,并将所述预设数量的所述初始编码序列输入至复接器得到合成编码序列,再对所述合成编码序列进行功率约束得到目标编码序列;

[0113] 序列解码单元,用于将所述目标编码序列经过所述目标信道输入至训练后的所述目标神经网络解码器,输出恢复信息待选列表。

[0114] 在一些具体实施例中,所述目标神经网络解码器采用神经网络串行级联结构,并且前一级输出的后验信息特征矩阵为后一级输入的先验信息特征矩阵;其中,所述目标神经网络解码器中第一级输入的先验信息特征矩阵为0,最后一级输出的后验信息特征矩阵经过sigmoid函数得到所述恢复信息待选列表。

[0115] 在一些具体实施例中,所述序列选择模块14,具体可以包括:

[0116] 循环冗余校验单元,用于逐个对所述恢复信息待选列表中的待选序列进行循环冗余校验,并将所有校验正确的待选序列放入预设子集合中;

[0117] 数量统计单元,用于统计所述预设子集合中所有所述校验正确的待选序列的数量,得到统计结果;

[0118] 判断单元,用于判断所述统计结果是否大于零;

[0119] 第一序列选择单元,用于如果所述统计结果大于零,则从所述预设子集合中随机选择一个待选序列作为接收比特序列;

[0120] 第二序列选择单元,用于如果所述统计结果为零,则从所述恢复信息待选列表中随机选择一个待选序列作为所述接收比特序列。

[0121] 进一步的,本申请实施例还公开了一种电子设备,图8是根据一示例性实施例示出的电子设备20结构图,图中的内容不能认为是对本申请的使用范围的任何限制。

[0122] 图8为本申请实施例提供的一种电子设备20的结构示意图。该电子设备20,具体可以包括:至少一个处理器21、至少一个存储器22、电源23、通信接口24、输入输出接口25和通信总线26。其中,所述存储器22用于存储计算机程序,所述计算机程序由所述处理器21加载并执行,以实现前述任一实施例公开的信道编解码方法中的相关步骤。另外,本实施例中的电子设备20具体可以为电子计算机。

[0123] 本实施例中,电源23用于为电子设备20上的各硬件设备提供工作电压;通信接口24能够为电子设备20创建与外界设备之间的数据传输通道,其所遵循的通信协议是能够适用于本申请技术方案的任意通信协议,在此不对其进行具体限定;输入输出接口25,用于获取外界输入数据或向外界输出数据,其具体的接口类型可以根据具体应用需要进行选取,在此不进行具体限定。

[0124] 另外,存储器22作为资源存储的载体,可以是只读存储器、随机存储器、磁盘或者光盘等,其上所存储的资源可以包括操作系统221、计算机程序222等,存储方式可以是短暂存储或者永久存储。

[0125] 其中,操作系统221用于管理与控制电子设备20上的各硬件设备以及计算机程序222,其可以是Windows Server、Netware、Unix、Linux等。计算机程序222除了包括能够用于完成前述任一实施例公开的由电子设备20执行的信道编解码方法的计算机程序之外,还可以进一步包括能够用于完成其他特定工作的计算机程序。

[0126] 进一步的,本申请还公开了一种计算机可读存储介质,用于存储计算机程序;其中,所述计算机程序被处理器执行时实现前述公开的信道编解码方法。关于该方法的具体步骤可以参考前述实施例中公开的相应内容,在此不再进行赘述。

[0127] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其它实施例的不同之处,各个实施例之间相同或相似部分互相参见即可。对于实施例公开的装置而言,由于其与实施例公开的方法相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0128] 专业人员还可以进一步意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、计算机软件或者二者的结合来实现,为了清楚地说明硬件和软件的可互换性,在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

[0129] 结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块,或者二者的结合来实施。软件模块可以置于随机存储器(RAM)、内存、只读存储器(ROM)、电可编程ROM、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

[0130] 最后,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意

在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0131] 以上对本申请所提供的一种信道编解码方法、装置、设备及存储介质进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;同时,对于本领域的一般技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

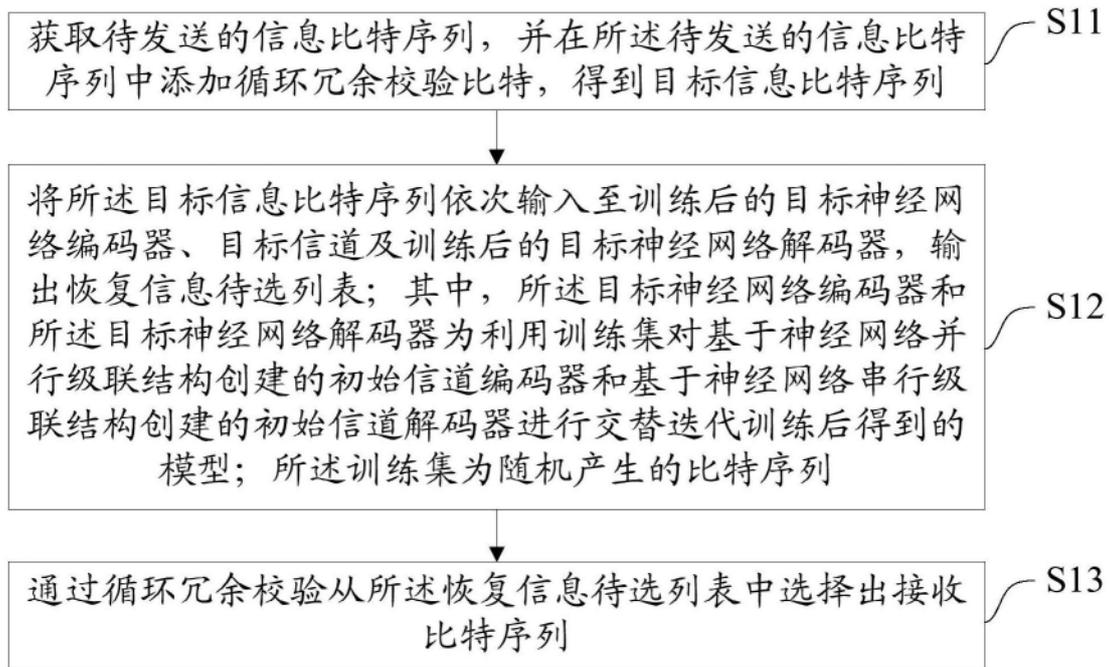


图1

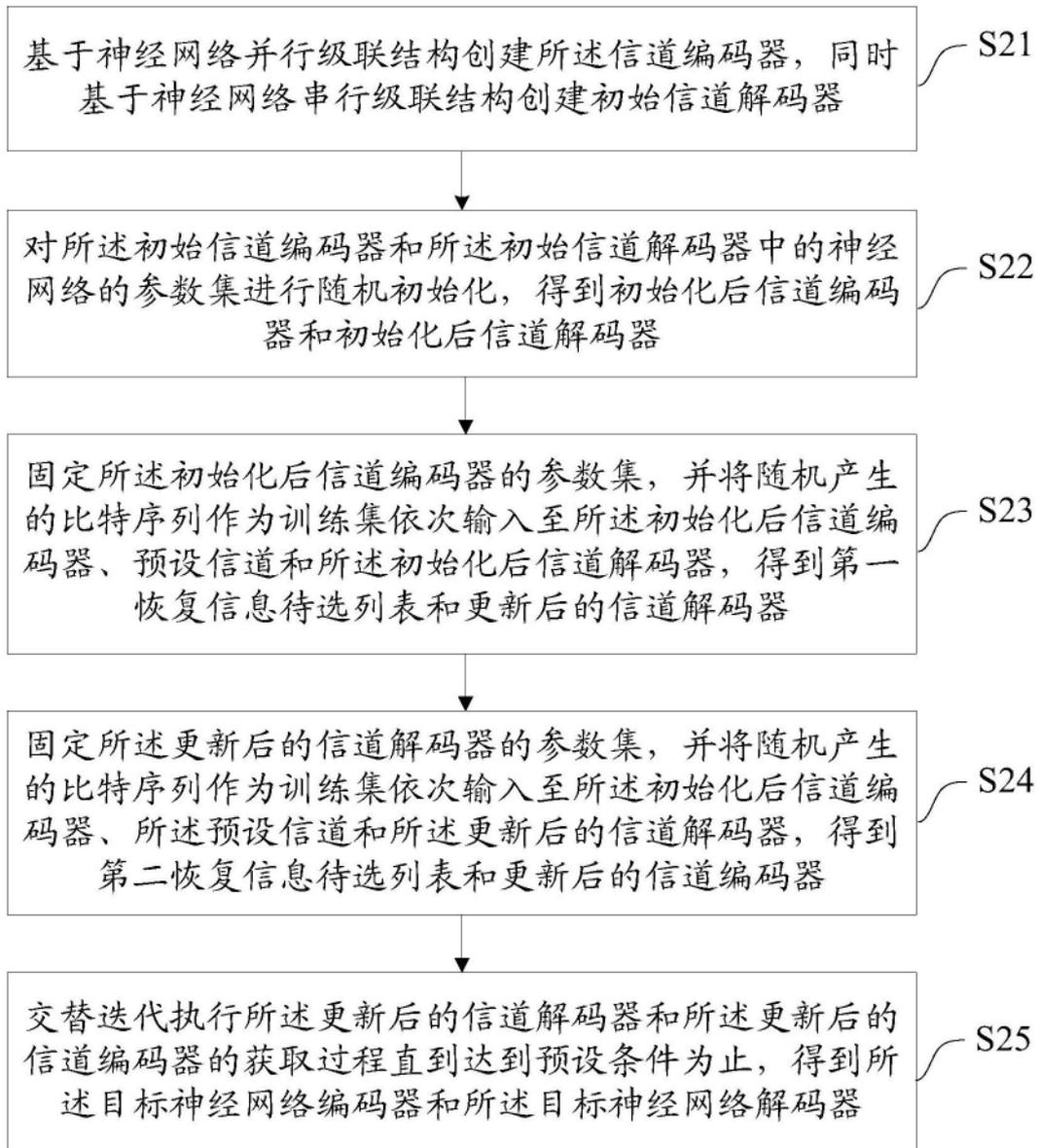


图2

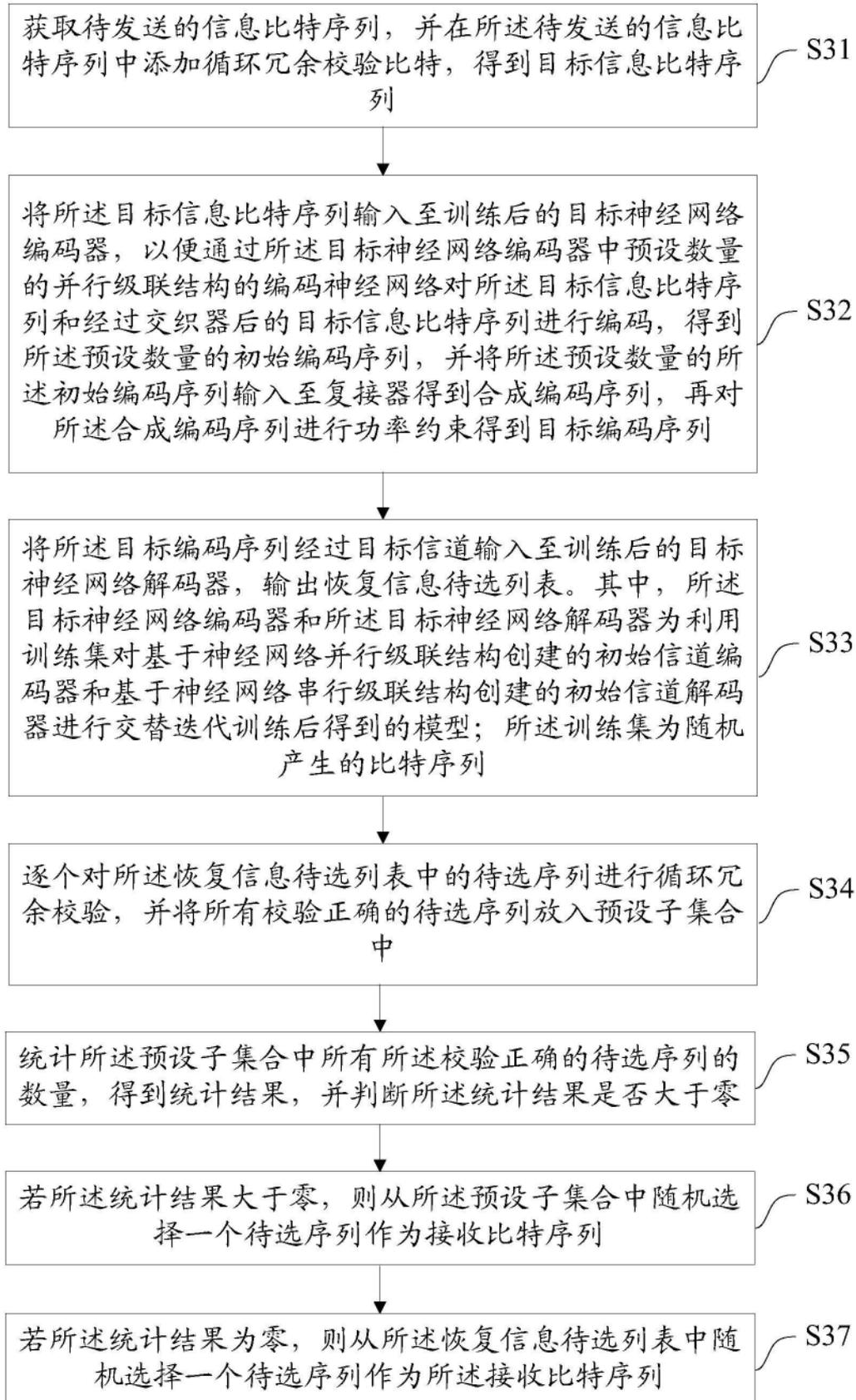


图3

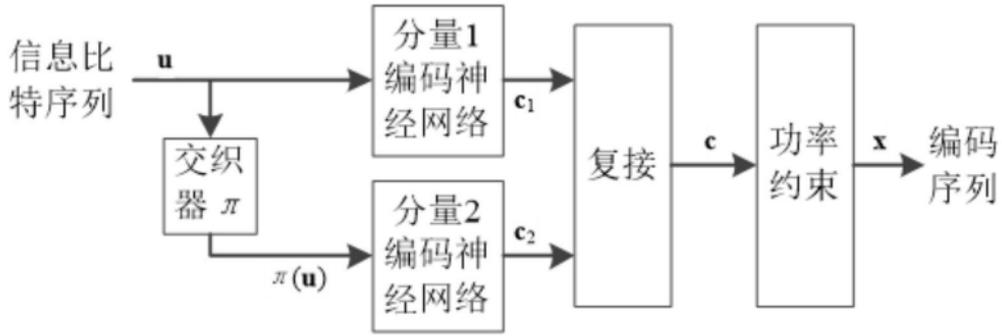


图4

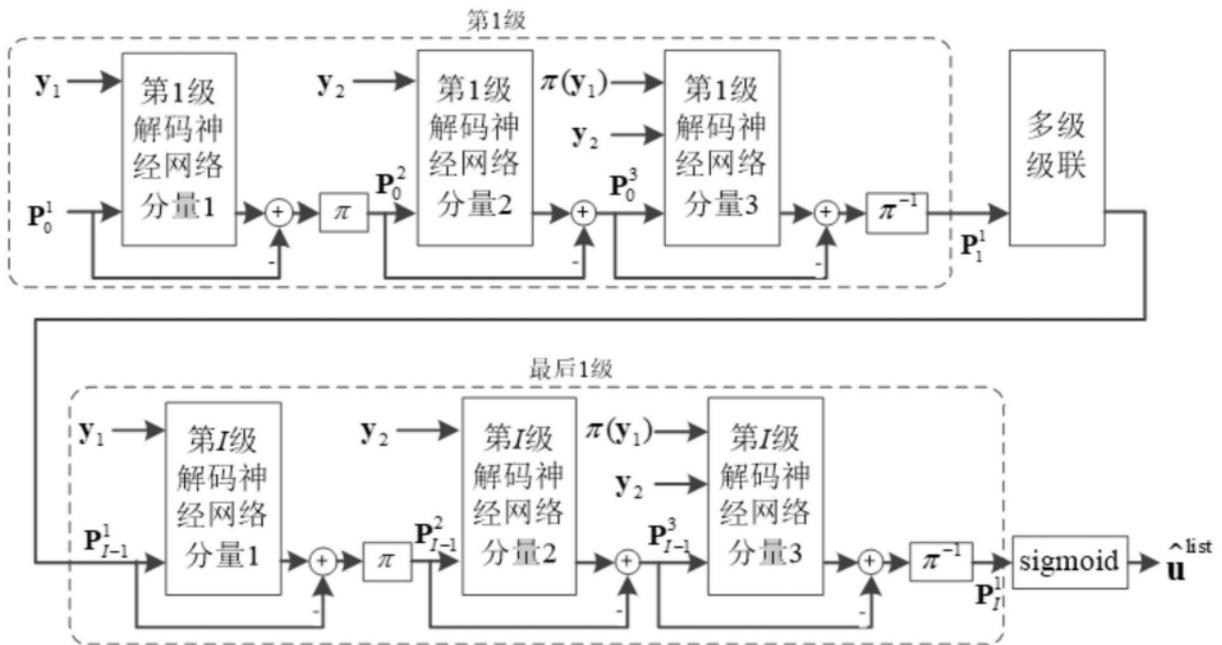


图5

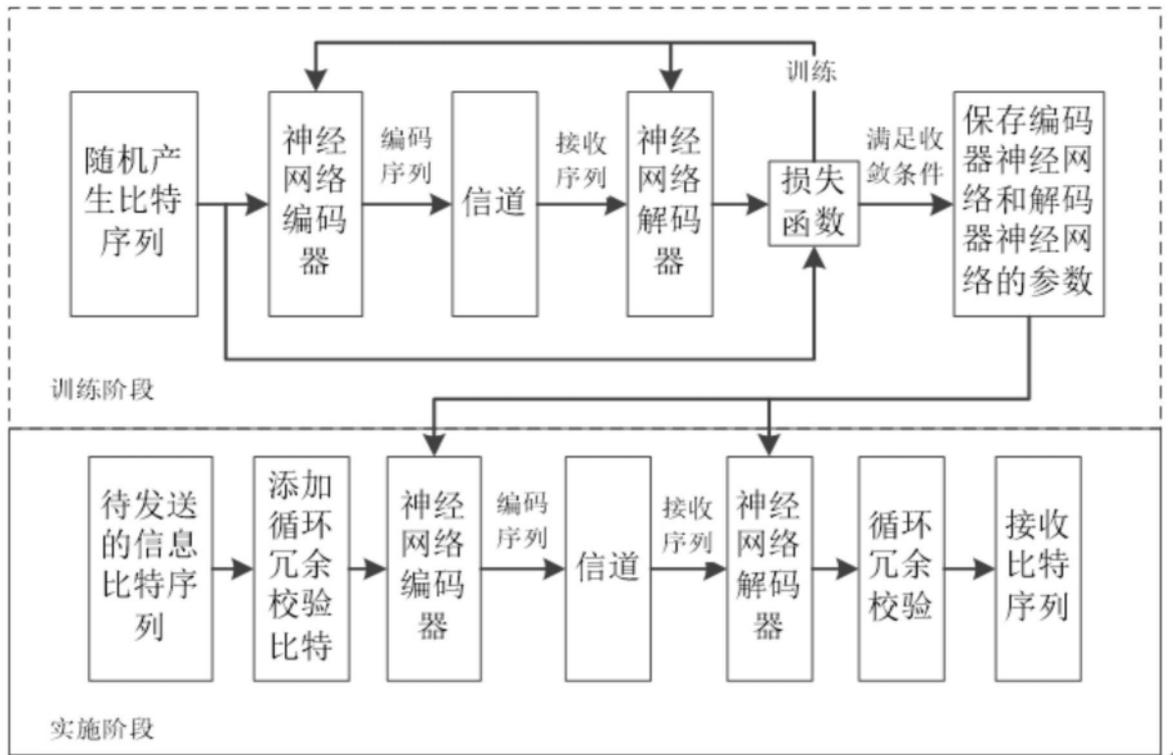


图6

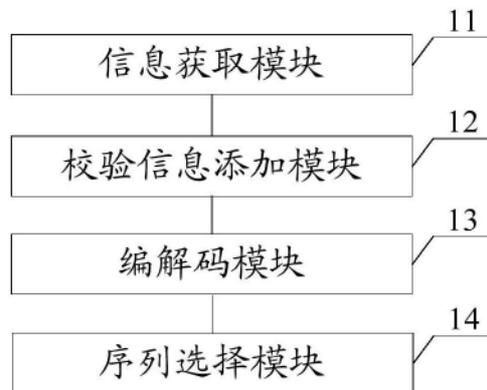


图7

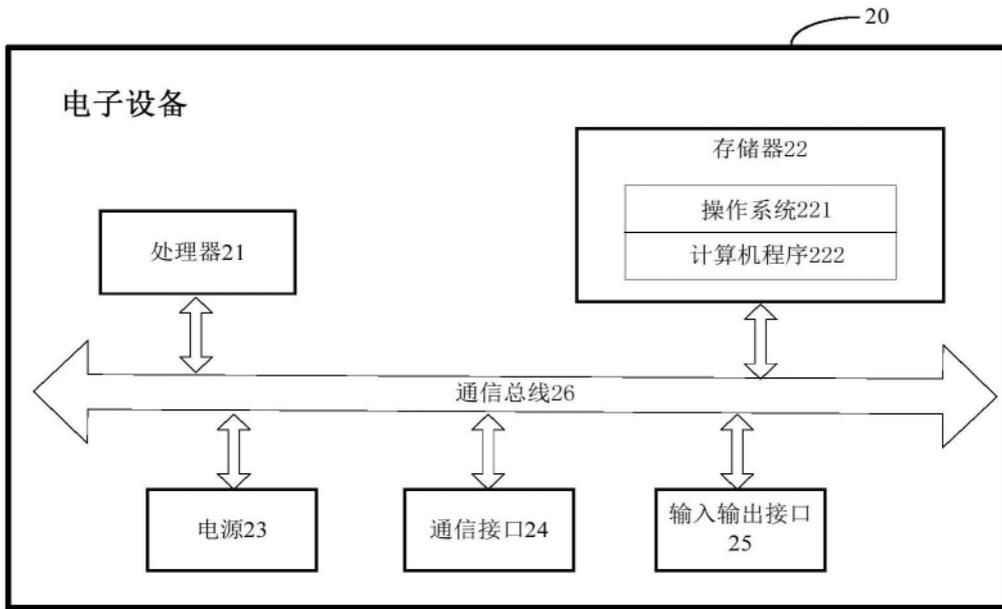


图8