

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03155071.1

H01L 21/768 (2006.01)

H01L 21/3205 (2006.01)

H01L 23/52 (2006.01)

H01L 27/00 (2006.01)

[45] 授权公告日 2007 年 2 月 28 日

[11] 授权公告号 CN 1302534C

[22] 申请日 2003.8.27 [21] 申请号 03155071.1

[30] 优先权

[32] 2003.1.30 [33] JP [31] 022394/2003

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 宫本浩二

[56] 参考文献

US5601678A 1997.2.11

US5046238A 1991.9.10

US5262351A 1993.11.16

US5258236A 1993.11.2

US4841355A 1989.6.20

US6271137B1 2001.8.7

CN1204142A 1999.1.6

CN1131817A 1996.9.25

审查员 刘震

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

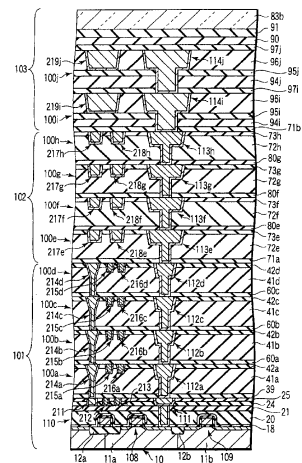
权利要求书 3 页 说明书 23 页 附图 9 页

[54] 发明名称

具有多层布线层的半导体器件及其制造方法

[57] 摘要

形成在衬底上至少具有 1 个基底布线层的基底，其中，基底具有第 1 粘贴面；形成至少具有 1 个上部布线层的至少 1 个上部构造体，其中，上部构造体具有第 2 粘贴面，由上述第 1、第 2 粘贴面在预定的位置把上述上部构造体以及上述基底粘合在一起。



1. 一种具有多层布线层的半导体器件的制造方法，包括以下步骤：

形成基底，其中，上述基底包含形成在衬底上的多层基底布线层、以及设置于上述基底布线层的最上层的上表面上的第 1 粘贴面，上述基底布线层各自具有形成在层间绝缘膜内的上部布线槽内的布线部分、以及形成在与上述上部布线槽连续的下部通孔内的插塞部，在上述第 1 粘贴面上露出上述基底布线层的最上层的上述布线部分的上表面；

形成至少一个上部构造体，其中，上述上部构造体包含多层上部布线层、以及设置于上述上部布线层的最下层的下表面上的第 2 粘贴面，上述上部布线层各自具有形成在层间绝缘膜内的上部布线槽内的布线部分、以及形成在与上述上部布线槽连续的下部通孔内的插塞部，在上述第 2 粘贴面上露出上述上部布线层的最下层的上述插塞部的下表面，并且使上述上部构造体的布线部分形成得比上述基底的布线部分粗；以及

将上述上部构造体的上述插塞部被露出的上述下表面和上述基底的上述布线部分被露出的上述上表面以线性方式进行配置，且使上述第 1 及上述第 2 粘贴面相互粘贴在一起。

2. 根据权利要求 1 所述的半导体器件的制造方法，特征在于：

在进行了镜面精加工的状态下，使上述基底布线层的布线的一部分以及上部布线层的布线的一部分在上述第 1、第 2 粘贴面露出。

3. 根据权利要求 1 或 2 所述的半导体器件的制造方法，特征在于：

上述基底布线层以及上部布线层的布线由铜布线形成。

4. 根据权利要求 1 或 2 所述的半导体器件的制造方法，特征在于：

上述第 1、第 2 粘贴面通过加压粘合在一起。

5. 根据权利要求 2 所述的半导体器件的制造方法，特征在于：
在上述第 2 粘贴面上形成焊锡突点电极的接点。

6. 根据权利要求 2 所述的半导体器件的制造方法, 特征在于:
在上述第 2 粘贴面的预定位置形成布线部分。

7. 根据权利要求 2 所述的半导体器件的制造方法, 特征在于:
上述上部构造体具有在预定的加强构件上形成的上部布线层, 通过研磨上述加强构件形成上述第 2 粘贴面。

8. 根据权利要求 7 所述的半导体器件的制造方法, 特征在于:
在上述加强构件内的预定位置具有通过上述研磨露出的导电部分。

9. 根据权利要求 7 所述的半导体器件的制造方法, 特征在于:
用保护膜覆盖上述上部构造体的最上层。

10. 一种具有多层布线层的半导体器件, 包括:

基底, 其中, 上述基底包含设置在衬底上的多层基底布线层、以及设置于上述基底布线层的最上层的上表面上的第 1 粘贴面, 上述基底布线层各自具有形成在层间绝缘膜内的上部布线槽内的布线部分、以及形成在与上述上部布线槽连续的下部通孔内的插塞部, 在上述第 1 粘贴面上露出上述基底布线层的最上层的上述布线部分的上表面;

至少一个上部构造体, 其中, 上述上部构造体包含多层上部布线层、以及设置于上述上部布线层的最下层的下表面上的第 2 粘贴面, 上述上部布线层各自具有形成在层间绝缘膜内的上部布线槽内的布线部分、以及形成在与上述上部布线槽连续的下部通孔内的插塞部, 在上述第 2 粘贴面上露出被粘贴在上述第 1 粘贴面的基底布线层的上述布线部分的上表面的、上述上部布线层的最下层的上述插塞部的下表面, 并且使上述上部构造体的布线部分形成得比上述基底的布线部分粗。

11. 根据权利要求 10 所述的具有多层布线层的半导体器件, 特征在于:

在进行镜面精加工的状态下, 上述基底布线层的布线的一部分以及上部布线层的布线的一部分在上述第 1、第 2 粘贴面中相互接合。

12. 根据权利要求 10 所述的具有多层布线层的半导体器件, 特

征在于:

上述基底布线层以及上部布线层的布线由铜布线形成。

13. 根据权利要求 10 所述的具有多层布线层的半导体器件, 特征在于:

在上述第 2 粘贴面上具有焊锡突点电极的接点。

14. 根据权利要求 10 所述的具有多层布线层的半导体器件, 特征在于:

在上述第 2 粘贴面的预定位置具有布线部分。

15. 根据权利要求 10 所述的具有多层布线层的半导体器件, 特征在于:

上述上部构造体具有预定的加强构件以及在该加强构件上形成的上部布线层, 在上述加强构件内的预定位置具有从上述第 2 粘贴面露出的导电部分。

16. 根据权利要求 15 所述的具有多层布线层的半导体器件, 特征在于:

具有覆盖上述上部构造体的最上层的保护膜。

17. 根据权利要求 12 所述的具有多层布线层的半导体器件, 特征在于:

沿着上述铜布线的表面还进一步形成有用于防止形成上述铜布线的铜扩散的扩散阻挡膜。

18. 根据权利要求 10 至 17 中任意一项所述的具有多层布线层的半导体器件, 特征在于:

上述第 1 粘贴面和第 2 粘贴面分别具有 40% 以上的金属面。

具有多层布线层的半导体器件及其制造方法

技术领域

本发明涉及半导体器件，特别是涉及叠层多个布线层构成的具有多层布线层的半导体器件及其制造方法。

背景技术

当前正在使用各种具有多层布线层的半导体器件。从 SOC（芯片基硅）时代开始，制造在单个芯片上搭载了存储器、逻辑电路、模拟电路等所谓各种 IP（知识产权）的系统 LSI 等。取入设计多种 IP 的系统 LSI 等的 SOC 的工艺复杂而且很长，特别是布线层的总数超过 10 层的 SOC 经过非常复杂的工艺花费很长时间进行制造。但是，一般 SOC 产品的特征是寿命周期短。因此，缩短开发 TAT（周转时间）就是非常重要的。

例如，在半导体衬底上形成晶体管等半导体元件，在其上面顺序淀积形成布线层的 LSI 中，直到在半导体衬底上试做形成了晶体管和第 1 层布线层的部分（以下，称为基底）花费大约 20 天。另外，用于形成一层布线层的制造时间是大约 5 天。即，为了在上述基底的上方形成例如 10 层的布线层要花费大约 50 天，如果与基底一起进行制造则花费大约 70 天左右。

如以上那样，以往的半导体器件的制造工艺，特别是形成多层的 SOC 产品的制造工艺复杂，在其试制开发（LOT）或者制造方面存在着花费很多时间的问题。另外，如上述那样，由于 SOC 产品的寿命周期短，因此还存在着试制开发不能够花费大量时间的问题。

发明内容

本发明提供一种具有多层布线层的半导体器件及其制造方法，包

括以下步骤：形成基底，其中，上述基底包含形成在衬底上的多层基底布线层、以及设置于上述基底布线层的最上层的上表面上的第 1 粘贴面，上述基底布线层各自具有形成在层间绝缘膜内的上部布线槽内的布线部分、以及形成在与上述上部布线槽连续的下部通孔内的插塞部，在上述第 1 粘贴面上露出上述基底布线层的最上层的上述布线部分的上表面；形成至少一个上部构造体，其中，上述上部构造体包含多层上部布线层、以及设置于上述上部布线层的最下层的下表面上的第 2 粘贴面，上述上部布线层各自具有形成在层间绝缘膜内的上部布线槽内的布线部分、以及形成在与上述上部布线槽连续的下部通孔内的插塞部，在上述第 2 粘贴面上露出上述上部布线层的最下层的上述插塞部的下表面，并且使上述上部构造体的布线部分形成得比上述基底的布线部分粗；以及将上述上部构造体的上述插塞部被露出的上述下表面和上述基底的上述布线部分被露出的上述上表面以线性方式进行配置，且使上述第 1 及上述第 2 粘贴面相互粘贴在一起。

附图说明

图 1 是示出本发明一实施形态的在形成于半导体衬底上的基底上通过粘贴具有多层布线层的上部构造体形成的半导体器件的构造的剖面图。

图 2A 是示出作为图 1 所示的半导体器件的基底的第 1 多层布线层的制造工艺的构造的剖面图。

图 2B 是示出接在图 2A 后面的作为图 1 所示的半导体器件的基底的第 1 多层布线层区的制造工艺的构造的剖面图。

图 2C 是示出接在图 2B 后面的作为图 1 所示的半导体器件的基底的第 1 多层布线层区的制造工艺的构造的剖面图。

图 3A 是示出接在图 2C 后面的半导体器件的第 1 多层布线层区的制造工艺的构造的剖面图。

图 3B 是示出接在图 3A 后面的半导体器件的第 1 多层布线层区的制造工艺的构造的剖面图。

图 4 是示出在硅衬底上形成与图 1 所示的半导体器件的基底单独制造的第 2 多层布线层区时的制造工艺的构造的剖面图。

图 5 是示出在硅衬底上形成与图 1 所示的半导体器件的基底单独制造的第 3 多层布线层区时的制造工艺的构造的剖面图。

图 6A 是详细地示出图 1 所示的粘接前的半导体器件的第 1 多层布线层区和第 2 多层布线层区的粘贴面的构造的剖面图。

图 6B 是详细地示出图 6A 所示的半导体器件的第 1 多层布线层区和第 2 多层布线层区的粘贴面的构造的剖面图。

图 7A 是详细地示出图 1 所示的粘接前的半导体器件的第 2 多层布线层区和第 3 多层布线层区的粘贴面的构造的剖面图。

图 7B 是详细地示出图 7A 所示的半导体器件的第 2 多层布线层区和第 3 多层布线层区的粘贴面的构造的剖面图。

图 8A 是示出其它实施形态中的在半导体器件的第 3 多层布线层区的粘贴部分中具有焊锡的构造的剖面图。

图 8B 是示出接在图 8A 后面的用层间绝缘膜覆盖了在半导体器件的第 3 多层布线层区的粘接部分中所具有的焊接构造的剖面图。

图 8C 是示出接在图 8B 后面的把半导体器件的第 2 多层布线层区与第 3 多层布线层区粘接前的粘贴面的构造的剖面图。

图 8D 是示出接在图 8C 后面的在半导体器件的第 2 多层布线层区与第 3 多层布线层区的粘贴部分的布线连接中使用焊锡的构造的剖面图。

图 9A 是示出另一个实施形态中的在半导体器件的第 3 多层布线层区的粘贴部分中使用硅衬底的布线部分的构造的剖面图。

图 9B 是示出接在图 9A 后面的粘接前的半导体器件的第 2 多层布线层区和第 3 多层布线层区的粘贴面的构造的剖面图。

图 9C 是示出接在图 9B 后面的在半导体器件的第 2 多层布线层区与第 3 多层布线层区的粘贴部分中使用硅衬底的布线部分的构造的剖面图。

图 10A 是示出在另一个实施形态中的半导体器件的第 2 多层布

线层区的粘贴部分中，在高质玻璃中形成布线部分的状况的剖面图。

图 10B 是示出接在图 10A 后面的粘贴前的半导体器件的第 2 多层布线层区和第 3 多层布线层区的粘贴面的构造的剖面图。

图 10C 是示出接在图 10B 后面的在半导体器件的第 2 多层布线层区与第 3 多层布线层区的粘贴部分中使用高质玻璃中的布线部分的构造的剖面图。

具体实施方式

以下，参照附图说明本发明的实施形态。另外，在以下叙述的实施形态中，虽然包含同样构成的多个布线层，但是在这些布线层中，对于发挥同样作用的多个构成要素，例如像图 1 所示的参考符号 60a、60b、60c、...那样，使用由字母不同的相同数字构成的符号，并且节略每次的详细说明。另外，以下说明的实施形态的布线为了使用铜布线，在所需要的位置使用了铜扩散阻挡膜，而铜以外的其它金属或者包括铜的布线根据需要通过使用扩散阻挡膜当然也同样能够实施。

图 1 的剖面图示出在预定的衬底 10 上包括基板布线层区在内全部共形成了 11 层布线层的本发明一实施形态的半导体器件总体的剖面构造。

图 1 所示的半导体器件由在半导体衬底 10 上形成的由 5 层布线层构成的作为基底的第 1 多层布线层区 101，连接在其上面的由 4 层布线层构成的作为第 1 上层构造体的第 2 多层布线层区 102，进而连接在其上面由 2 层布线层构成的作为第 2 上层构造体的第 3 多层布线层区 103 构成。

基底即第 1 多层布线层区 101 具有形成在该半导体衬底 10 上的 MOS 型晶体管 108、109 以及形成在半导体衬底 10 的上部的作为基底布线层的第 1 布线层 110 以及同样作为基底布线层的第 2~第 5 布线层区 100a~100d。

作为第 1 上部构造体的第 2 多层布线层区 102 具有第 6~第 9 布

线层区 100e~100h。另外，作为第 2 上部构造体的第 3 多层布线层区 103 具有第 10 以及第 11 布线层区 100i、100j、钝化膜 90、91 以及高质玻璃 83b。

这里，为了形成图 1 所示的半导体器件，分别单独形成第 1 多层布线层区 101，第 2 多层布线层区 102，第 3 多层布线层区 103。然后，把第 1 多层布线层区 101 与第 2 多层布线层区 102，第 2 多层布线层区 102 与第 3 多层布线层区 103 结合。在该结合时，通过把每一个进行粘贴结合成一体。

以下，顺序说明形成第 1 多层布线层区 101 的工艺。

首先，在半导体衬底 10 上形成 P 阱 11a 和 N 阱 11b。在半导体衬底 10 上部的各阱的边界部分，形成例如 STI（浅沟槽隔离）用的元件分离绝缘膜 12a，12b。

在 P 阱 11a 上形成第 1MOS 晶体管 108，在 N 阱 11b 上形成第 2MOS 晶体管 109。在形成了上述第 1 以及第 2MOS 晶体管 108、109 以后，在包含有这些第 1 以及第 2MOS 晶体管 108、109 的半导体衬底 10 的表面形成薄膜绝缘膜 18。

在形成了该薄膜绝缘膜 18 以后，在半导体衬底 10 的上部，形成第 1 布线层区 110。该第 1 布线层区 110 具有层间绝缘膜 20，层间膜势垒层（以下，称为腐蚀阻挡膜）21，层间绝缘膜（低 k 膜）24，腐蚀阻挡膜 25 以及铜扩散阻挡膜 39，这些膜顺序地向上方淀积。

另外，在第 1 布线层区 110 内具有接点 22 的第 1 布线部分 111，布线部分 211 以及独立布线 212、213 形成在层间绝缘膜 24 和腐蚀阻挡膜 25 内的预定位置。这里，上述第 1 布线部分 111 的接点 22 的下端如图所示那样贯通绝缘膜 18，形成为使得与第 1MOS 晶体管 108 一方的源 / 漏区 17c 导通。

在第 1 布线层 110 的上部形成第 2 布线层 100a。该第 2 布线层 100a 具有形成在铜扩散阻挡膜 39 上的层间绝缘膜 41a、腐蚀阻挡膜 42a、铜扩散阻挡膜 60a，按照该顺序，顺序地向上方淀积。

另外，在第 2 布线层 100a 内形成第 2 布线部分 112a，从属布线

214a, 独立布线 215a、216a。这里, 第 2 布线层 100a 内的第 2 布线 112a 的下表面形成为使得与第 1 布线 111 的上表面连接。另外, 从属布线 214a 形成为使得与布线部分 211 连接。

作为第 2 布线层 100a 的上层布线的第 3~第 5 布线层 100b~100d 的构造与上述第 2 布线层 100a 同样形成。这些第 3 布线层 100b 至第 5 布线层 100d 与第 2 布线层 100a 相同, 分别具有层间绝缘膜 41b~41d, 腐蚀阻挡膜 42b~42d, 铜扩散阻挡膜 60b~60c, 第 3~第 5 布线部分 112b~112d, 从属布线 214b~214d 以及独立布线 215b~215d, 216b~216d。

这里, 第 1 布线部分 111 至第 5 布线部分 112d 分别以直线状顺序向上方叠层, 连接成使得相互成为导通状态。另外, 第 5 布线层 100d 与其下面的其它布线层不同, 不具有铜扩散阻挡膜。对于这一点在后面进行说明。

这样, 图 1 所示的第 1 多层布线层区 101 的最上层是腐蚀阻挡膜 42d。另外, 在上述腐蚀阻挡膜 42d 的表面, 形成为露出第 5 布线部分 112d, 从属布线 214d, 独立布线 215d, 216d 的顶端。

另外, 这里虽然没有进行图示, 但是在最上层的腐蚀阻挡膜 42d 的表面上根据需要作为用于把基底的第 1 多层布线层区 101 的内部进行保护防止受到机械、化学等各种损伤的被膜, 形成钝化膜。该钝化膜如在后面说明的那样, 在把作为基底的第 1 多层布线层区 101 与第 2 多层布线层区 102 粘贴构成为一体时, 可以削除。这是因为为了与形成在第 6 布线层 100e 内部的第 6 布线部分 113e 连接, 需要剥离出第 5 布线部分 112d 的上表面, 而且进行镜面精加工。

另一方面, 在该实施形态中, 在第 6 布线层 100e 的下表面不是使用上述钝化膜进行覆盖, 而是形成高质玻璃。该高质玻璃也在粘贴前去除。对于这一点也在后面叙述。

例如, 通过 CMP 进行镜面精加工露出上述第 5 布线部分 112d 的上表面, 形成粘贴面。在这样形成的第 1 多层布线层区 101 的上表面的粘贴面上, 按压并粘接与在第 2 多层布线层区 102 中同样形成的

粘贴面。

这里，在上述第 1 多层布线层区 101 的上部粘贴的第 2 多层布线层区 102 与第 1 多层布线层区 101 分别形成。以下，说明其结构。

第 2 多层布线层区 102 的第 6 布线层 100e 如在后面详细叙述的那样，在高质玻璃衬底的上面按照腐蚀阻挡膜 71a，层间绝缘膜 72e，腐蚀阻挡膜 73e 以及铜扩散阻挡膜 80e 的顺序，顺序淀积形成。另外，在第 6 布线层 100e 的内部，具有第 6 布线部分 113e，独立布线部分 217e、218e。

如果第 1 多层布线层区 101 与第 2 多层布线层区 102 粘贴在一起，则形成在第 6 布线层 100e 内的第 6 布线部分 113e 的底面与第 5 布线层区 100d 的第 5 布线部分 112d 的上表面连接。

第 2 多层布线层区 102 具备连续在第 6 布线层 100e 的上面的顺序叠层形成的第 7 布线层区 100f 至第 9 布线层区 100h。第 7 布线层区 100f 至第 9 布线层区 100h 与第 6 布线层区 100e 同样构成，分别具有层间绝缘膜 72f~72h，腐蚀阻挡膜 73f~73h，铜扩散阻挡膜 80f~80g，第 7~第 9 布线部分 113f~113h 以及独立布线部分 217f~217h、218f~218h。这里，第 6 布线部分 113e 至第 9 布线部分 113h 分列连接成导通状态。另外，上述第 9 布线层 100h 与布线层 100d 相同，不具有铜扩散阻挡膜。

即，图 1 所示的第 2 多层布线层区 102 的最上层是腐蚀阻挡膜 73h。另外，在露出上述腐蚀阻挡膜 73h 的表面的状态下，在多层布线层区 102 的最上部的布线层 100h 的表面部分中，形成第 9 布线部分 113h，独立布线部分 217h、218h。

这里，根据需要，在最上层的腐蚀阻挡膜 73h 的表面，形成直到开始粘接作业为止一直保护布线层区 100h 的表面的被膜，例如钝化膜。其中，由于在图 1 中已经进行了粘贴，因此去除了该钝化膜，没有进行图示。即，在与单独形成的第 3 多层布线层区 103 的粘贴时，消除钝化膜，这是由于为了与形成在第 10 布线层区 100i 上的第 10 布线部分 114i 连接而需要剥离第 9 布线部分 113h 的上表面。

另外，虽然在后面叙述，但是在实施形态中，示出了不使用钝化膜而使用高质玻璃的保护膜的例子。在第 2 多层布线层区 102 上表面通过粘贴形成第 3 多层布线层区 103。

其次，详细地说明该第 3 多层布线层区 103 的结构。

该第 3 多层布线层区 103 的第 10 布线层 100i 通过顺序淀积腐蚀阻挡膜 71b，层间绝缘膜 94i，腐蚀阻挡膜 95i，层间绝缘膜 96i 以及铜扩散阻挡膜 97i 而形成。另外，在第 10 布线层 100i 的预定位置，形成第 10 布线部分 114i 和独立布线部分 219i。这里，在第 10 布线层区 100i 内所形成的第 10 布线 114i 的底面从腐蚀阻挡膜 71b 的底面露出，形成为与第 9 布线层 100h 的第 9 布线 113h 的上表面连接。

在第 3 多层布线层区 103 中，具备连接在第 10 布线层区 100i 的上面的同样顺序淀积形成的第 1 布线层 100j。第 1 布线层 100j 与第 10 布线层 100i 同样形成，具有顺序叠层了层间绝缘膜 94j，腐蚀阻挡膜 95j，层间绝缘膜 96j，铜扩散阻挡膜 97j，第 1 布线部分 114j 以及独立布线部分 219j。这里，相互连接使得第 10 的布线部分 114i 的上表面与第 11 布线部分 114j 的底面成为导通状态。

另外，在上述形成的第 3 多层布线层区 103 的第 11 布线部分 100j 的铜扩散阻挡膜 97j 的上表面上，顺序形成钝化膜 90、91 以及高质玻璃 83b。

这样，分别形成作为基底的第 1 多层布线层区 101，作为第 1 上部构造体的第 2 多层布线层区 102 以及作为第 2 上部构造体的第 3 多层布线层区 103。在形成具有在图 1 所示的半导体衬底 10 上形成的 11 层布线层 110，100a~100j 的多层布线层构造的半导体器件时，通过简单地按压上述第 1~第 3 多层布线层区 101、102、103 的分别镜面精加工了的粘贴面，能够容易而且牢固地粘贴。

这样，晶体管 108 的源/漏区 17c 连接成使得从与基底布线层 110 的接点 22 连接的第 1 布线部分 111 到作为第 2 上部构造体的第 3 多层布线层区 103 的第 11 布线层 100j 的第 11 布线部分 114j 成为导

通状态。

其次，参照图 2A ~ 图 3B 对于图 1 所示的作为半导体器件的基底的第 1 多层布线层区 101 详细地说明其制造工艺。

首先，在图 2 中，在半导体衬底 10 上形成 P 阱 11a 以及 N 阱 11b、11c。在半导体衬底 10 上部的不同导电类型的阱 11a、11b 以及 11a、11c 的边界部分分别形成元件分离绝缘膜 12a、12b。

在元件分离绝缘膜 12a、12b 之间的 P 阱 11a 的上部，顺序形成栅极氧化膜 13b，栅极电极 14b，绝缘层 15b。在该状态下，在与上述栅极氧化膜 13b 邻接的半导体衬底 10 的上方，以上述绝缘层 15b 作为掩模，通过离子注入法等形成源 / 漏区的 LDD 区。

在栅极氧化膜 13b，栅极电极 14b 以及绝缘层 15b 的两端，在形成了上述 LDD 区以后形成各个栅极侧壁绝缘膜 16c、16d。然后，源 / 漏区 17b、17c 以上述栅极侧壁绝缘膜 16c、16d 作为掩模，通过离子注入法等形式形成。

这样，在 P 阱 11a 的上部形成 MOS 晶体管 108。

同样，在用元件分离绝缘膜 12b 分离了的 N 阱 11b 的上部形成 MOS 晶体管 109。MOS 晶体管 109 与 MOS 晶体管 108 相同，具有栅极氧化膜 13c，栅极电极 14c，绝缘层 15c，栅极侧壁绝缘膜 16e、16f 以及具有 LDD 区的源 / 漏区 17d、17e。

另外，在元件分离绝缘膜 12a 上与 MOS 晶体管 108 相同，生成具有栅极氧化膜 13a，栅极电极 14a、绝缘层 15a 以及栅极侧壁绝缘膜 16a、16b 的电极构造。该电极构造由于形成在元件分离绝缘膜 12a 的上部，因此不形成源 / 漏区。即，在元件分离绝缘膜 12a 上形成的栅极电极 14a 例如用作为布线。这里，虽然在 N 阱 11c 上形成了源 / 漏区 17a，但是示出未图示的 MOS 晶体管的源 / 漏区的一方。

薄膜状栅极绝缘膜 18 形成在包括 MOS 晶体管 108、109 的半导体衬底 10 的整个表面上。进而，在栅极绝缘膜 18 的上部整体中，形成层间绝缘膜 20 以及腐蚀阻挡膜 21。

在该状态下，由于在 MOS 晶体管 108 的源 / 漏区 17c 的上方形成金属势垒层 22 以及接点 23，因此腐蚀层间绝缘膜 20 以及腐蚀阻挡膜 21。然后，例如使用单金属镶嵌法形成金属势垒层 22 以及接点 23。在形成了这些金属势垒层 22 以及接点 23 以后，用 CMP 研磨腐蚀阻挡膜 21，使得这些金属势垒层 22，接点 23 精加工成与扩散阻挡膜 21 成为相同的平面。

进而，在上述形成的腐蚀阻挡膜 21 的上部顺序淀积层间绝缘膜（低 k 膜）24 以及腐蚀阻挡膜 25。图 2A 示出该状态。

接着，如图 2B 所示，在腐蚀阻挡膜 25 的上表面上淀积绝缘膜 26，进而在绝缘膜 26 上形成抗蚀剂膜 27。抗蚀剂膜 27 用通常的光刻法构图。接着，把该构图的抗蚀剂膜 27 作为腐蚀掩模，在预定的位置腐蚀层间绝缘膜 24，腐蚀阻挡膜 25 以及绝缘膜 26，形成具有到达扩散阻挡膜 21 的深度的布线槽 28a、28b、28c 以及 28d。

其结果，在布线槽 28d 的底部露出接点 23 的上表面。另外，布线槽 28a、28b、28c 也在例如没有形成晶体管 108、109 的元件分离绝缘膜 12a 上方的位置形成。如果形成上述布线槽 28a ~ 28d，则剥离抗蚀剂膜 27 以及绝缘膜 26。

然后，如图 2C 所示，在上述形成的布线槽 28d 的内壁形成金属势垒层 30，进而在该金属势垒层 30 内淀积金属层，形成第 1 布线 35。另外，同时还在布线槽 28a、28b、28c 中形成各个金属势垒层 31、32、33 以及布线 36、37、38。

这里，把金属势垒层 22，接点 23，金属势垒层 30 以及第 1 布线 35 统称为第 1 布线部分 111。同样，把金属势垒层 31 和布线 36 统称为布线部分 211，把金属势垒层 32 和布线 37 统称为独立布线部分 212，把金属势垒层 33 和独立布线 38 统称为独立布线部分 213。

在腐蚀阻挡膜 25，第 1 布线部分 111，布线部分 211，独立布线部分 212 以及独立布线部分 213 的上表面形成铜扩散阻挡膜 39，形成基底 101 的第 1 布线层 110。

接着，如图 3A 所示，在铜扩散阻挡膜 39 的上部，顺序淀积层

间绝缘膜 41a, 腐蚀阻挡膜 42a 以及绝缘膜 43a。进而, 为了使用双金属镶嵌法, 淀积用预定的第 1 图形形成的抗蚀剂膜 44。以该第 1 图形的抗蚀剂膜 44 为腐蚀掩模进行腐蚀, 在层间绝缘膜 41a, 腐蚀阻挡膜 42a 以及绝缘膜 43a 的预定位置形成通孔 40a、40b。上述通孔 40a 形成在布线部分 211 的上部, 通孔 40b 形成在第 1 布线部分 111 的上部。

接着, 为了形成预定的布线槽 51a、51b、51c、51d, 上述抗蚀剂膜 44 如图 3A 所示, 形成为用于形成布线槽的第 2 图形形状。把该抗蚀剂膜 44 作为腐蚀掩模, 再次进行腐蚀, 在一方的形成了通孔 40a 的位置形成布线槽 51a, 在另一方的形成了通孔 40b 的位置形成布线槽 51b。在其它的 2 个预定位置, 这里是在与布线槽 51a 邻接的位置分别形成布线槽 51c、51d。如果形成各个布线槽, 则剥离抗蚀剂膜 44 以及绝缘膜 43a。

然后, 如图 3B 所示, 在上述形成的一方的通孔 40b 以及布线槽 51b 的内面上形成势垒层 46a, 进而在该势垒层 46a 的内部淀积导电体形成第 2 布线 50a。在另一方的通孔 40a 以及布线槽 51a 的内面同样地形成势垒层 46b 和布线 47a。另外, 在布线槽 51c、51d 中分别形成势垒层 44a、45a 以及布线 48a、49a。

这里, 把金属势垒层 46b 和布线 47a 统称为从属布线部分 214a, 把金属势垒层 46a 和第 2 布线 50a 统称为第 2 布线部分 112a。另外, 把金属势垒层 44a 和布线 48a 统称为独立布线部分 215a, 把金属势垒层 45a 和布线 49a 统称为独立布线部分 216a。这样, 上述从属布线部分 214a 以及第 2 布线部分 112a 例如通过双金属镶嵌法形成。

上述形成的从属布线部分 214a 与布线部分 211, 独立布线部分 216a 与第 1 布线部分 111 分别处于导通状态。

上述腐蚀阻挡膜 42a, 从属布线部分 214a, 独立布线部分 215a, 独立布线部分 216a 以及独立布线部分 216a 的每一个与腐蚀阻挡膜 42a 一起通过 CMP 法平面化, 在其平面的上面形成铜扩散阻挡

膜 60a。这样如图 3B 所示，形成第 2 基底布线层 100a。

如在图 1 中说明过的那样，作为基底的第 1 多层布线层区 101 具备在半导体衬底 10 上顺序淀积形成的第 1 至第 5 基底布线层 110 以及 100a~100d。这里，第 3 至第 5 基底布线层 100b~100d 与第 2 基底布线层 100a 同样构成，分别具有包括层间绝缘膜 41b~41d，腐蚀阻挡膜 42b~42d，铜扩散阻挡膜 60b~60d，金属势垒层 43b~43d 的从属布线 47b~47d 的从属布线部分 214b~214d，分别包括金属势垒层 44b~44d 和布线 48b~48d 的独立布线部分 215b~215d，分别包括金属势垒层 45b~45d 和布线 49b~49d 的独立布线部分 216b~216d，分别包括金属势垒层 46b~46d 和第 3~第 5 布线 50b~50d 的第 3~第 5 布线部分 112b~112d。

其中，在形成于半导体衬底 10 上的第 1 多层布线层区 101 的最上部没有形成上述的铜扩散阻挡膜。即，在作为第 1 多层布线层区 101 的最上部的腐蚀阻挡膜 42d，从属布线部分 214d，独立布线部分 215d、216d 以及第 5 布线部分 112d 的上面形成未图示的高质玻璃。为了确保与第 2 多层布线层区 102 粘贴的第 1 多层布线层区 101 的机械强度，根据需要安装该高质玻璃。另外，在晶体管 108 的源/漏区 17c 的正上方的位置沿着垂直方向顺序形成第 1 布线部分至第 5 布线部分 111，112a~112d，使得成为相互导通状态。

另外，高质玻璃由 SiN，SiC 等形成。另外，关于在第 1 多层布线层区 101 上制造高质玻璃的方法由于使用以往已知的技术，因此省略说明。

这里，在用于形成上述栅极氧化膜 13a、13b、13c 的材料方面能够使用例如 SiO₂ 等，为了形成栅极电极 14a、14b、14c，例如能够使用多晶硅等。

这样，在图 1 的实施形态中，形成在半导体衬底 10 上的第 1 多层布线层区 101 包括 5 层基底布线层区 110，100a~100d。在特定的 IP（知识产权），例如 DRAM 中，为了在存储器芯中使用 3~4 层布线层，使用在衬底上顺序进行淀积，形成布线层的方法是妥当的，一

般不使用粘贴面进行存储器芯部分的形成。由此，需要粘贴的是要顺序地在衬底上形成在存储器芯中使用的 3~4 层以上的更多布线层的半导体器件。

在该实施状态下，由于总体叠层 11 层布线层，因此基底布线层仅做成 5 层，其余 6 层布线层分为 2 个多层布线层区，即，4 层结构的第 1 上部构造体以及 2 层结构的第 2 上部构造体形成，最后通过把它们每一个粘贴而形成。

其次，参照图 4，说明在图 1 所示的第 1 多层布线层区 101 的上部粘贴的作为第 1 上部构造体的第 2 多层布线层区 102 形成在另外制备的硅衬底上的状态的多层布线构造。

图 4 中，作为与图 1 的硅衬底 10 另外制备的半导体衬底的硅衬底 70a 上，形成具有腐蚀阻挡膜 71a，层间绝缘膜 72e，腐蚀阻挡膜 73e 以及铜扩散阻挡膜 80e 第 6 布线层 100e。

在第 6 布线层区 100e 内，形成具有金属势垒层 76e 和第 6 布线 79e 的第 6 布线部分 113e，同时，在预定的位置形成具有金属势垒层 74e 和布线 77e 的独立布线部分 217e，以及具有金属势垒层 75e 和布线 78e 的独立布线部分 218e。这里，第 6 布线部分 113e 与布线部分 112a 相同，能够通过用双金属镶嵌法形成的布线槽中淀积铜形成，另外，独立布线部分 217e、218e 能够通过用单金属镶嵌法形成的布线槽中淀积铜形成。

这里，构成为在硅衬底 70a 上，预先形成例如未图示的对位标记，使得在以后的工艺中当粘贴第 1 多层布线层区 101 和第 2 多层布线层区 102 时，使用该对位标记，第 6 布线部分 113e 正确地与多层布线层区 101 一侧的第 5 布线部分 112d 连接。

第 2 多层布线层区 102 具有 4 层布线层，具备在第 6 布线层 100e 的上面顺序叠层形成的第 7 至第 9 布线层 100f~100h。第 7 至第 9 布线层 100f~100h 与第 6 布线层 100e 同样构成，分别具有包括层间绝缘膜 72f~72h，腐蚀阻挡膜 73f~73h，铜扩散阻挡膜 80f~80g，金属势垒层 74f~74h 和布线 77f~77h 的独立布线部分 217f~

217h, 包括金属势垒层 75f~75h 和布线 78f~78h 的独立布线部分 218f~218h, 包括金属势垒层 76f~76h 和第 7 至第 9 布线 79f~79h 的第 7 至第 9 布线部分 217f~217h。

这里, 在形成于硅衬底 70a 的第 2 多层布线层区 102 的最上部, 即第 9 布线层 100h 的上面, 没有形成在其它的布线层 100e~100g 上形成的铜扩散阻挡膜。代替该膜, 在作为第 2 多层布线层区 102 的最上部的腐蚀阻挡膜 73h, 以及露出到与该腐蚀阻挡膜 73h 同一平面内的独立布线部分 217h、218h 以及第 9 布线部分 113h 的用 CMP 平坦化了的上面形成高质玻璃 83a。为了提高粘贴的第 2 多层布线层区 102 的机械强度而安装该高质玻璃 83a。另外, 形成为使得第 6 布线部分至第 9 布线部分 113e~113h 成为相互导通状态, 而且在衬底 70a 的上面沿着垂直方向直线形排列。

另外, 关于制造在图 4 所示的硅衬底 70a 上部形成的第 2 多层布线层区 102 以及高质玻璃 83a 的方法由于使用以往已知的技术, 因此省略其说明。

其次, 参照图 5, 说明作为图 1 所示的第 3 多层布线层区 103 形成在硅衬底上的多层布线构造。

图 5 中, 在作为另外制备的半导体衬底的硅衬底 70b 上形成具有腐蚀阻挡膜 71b, 层间绝缘膜 94i, 腐蚀阻挡膜 95i, 层间绝缘膜 96i 以及铜扩散阻挡膜 97i 的第 10 布线层 100i。在第 10 布线层 100i 内, 在各个预定的位置形成具有金属势垒层 86i 和第 10 布线 88i 的第 10 布线部分 114i, 具有金属势垒层 85i 和布线 87i 的独立布线部分 219i。

这里, 第 10 布线部分 114i 与布线部分 112a 相同, 能够在用双金属镶嵌法形成的布线槽中淀积铜形成, 另外, 独立布线部分 87i 能够通过用单金属镶嵌法形成的布线层区中淀积铜形成。

这里, 在硅衬底 70b 上与图 4 相同, 预先形成例如未图示的对位标记, 构成为使得在后面的工艺中, 当在第 2 多层布线层区 102 上粘贴第 3 多层布线层区 103 时, 使用该对位标记, 第 10 布线部分

114i 与多层布线层区 102 一侧的第 9 布线部分 113h 正确地连接。

第 3 多层布线层区 103 具备在第 10 布线层区 100i 上叠层形成的第 11 布线层区 100j。第 11 布线层区 100j 与第 10 布线层区 100i 同样构成，具有包括层间绝缘膜 94j，腐蚀阻挡膜 95j，层间绝缘膜 96j，铜扩散阻挡膜 97j，金属势垒层 86j 和第 1 布线 88j 的第 11 布线部分 114j，包括金属势垒层 85j 和布线 87j 的独立布线部分 219j。形成在预定的位置使得第 10 布线部分 114i 和第 11 布线部分 114j 成为导通状态。

在上述铜扩散阻挡膜 97j 的上面，顺序形成钝化膜 90、91 以及高质玻璃层 83b。该实施例的情况下，由于第 3 多层布线层区 103 是半导体器件的最上层，因此形成钝化膜 90、91。另外，该高质玻璃层 83b 与图 4 的多层布线层区 102 相同，为了提高机械强度而安装。其中，由于在该多层布线层区 103 上没有粘贴的布线层，因此也可以在通过粘贴形成了半导体器件以后，用研磨去除。

另外，关于制造在图 5 所示的硅衬底 70b 的上部形成的第 3 区域 103，钝化膜 90、91 以及高质玻璃层 83b 的方法使用以往已知的技术，因此省略其说明。

以下说明在图 1 至图 5 所示的各个接点、通孔以及布线部分中作为导电性的金属淀积了例如铜的情况，而也能够使用铜以外的例如包含铜的导电性材料等各种材料。另外，作为腐蚀阻挡膜，例如使用 SiO_2 绝缘膜，作为铜扩散阻挡膜，例如使用 SiN 形成。进而，作为层间绝缘膜，例如以包含磷或者硼的 SiO_2 为材料形成，而除去 SiO_2 以外也可以使用 FSG 等其它的材料形成。

除此以外，例如层间绝缘膜等也可以代替使用单一层构造，做成由多种材料形成的叠层构造。

在以上说明的实施形态中，分别单独地形成在图 1 所示的半导体衬底 10 上所形成的第 1 多层布线层区 101~103。使用这些形成的第 1 多层布线层区 101~103，通过粘贴形成图 1 所示的半导体器件。以下，使用图 6A 至图 7B 说明多层布线层的粘贴技法。

图 6A 中示出在图 4 所示的硅衬底 70a 上形成第 2 多层布线层区 102 和高质玻璃层 83a 以后，除去硅衬底 70a 露出了腐蚀阻挡膜 71a 的状态。

另外图 6A 中还示出应该与该第 2 多层布线层区 102 粘贴的基底多层布线层区 101 的最上部分。即，根据需要剥离形成在半导体衬底 10 上部的第 1 多层布线层区 101 的上部所形成的高质玻璃层，露出第 5 布线层区 100d 的腐蚀阻挡膜 42d 的同时，还示出在同一个面上露出了第 5 布线部分 50d，从属布线部分 214d 以及独立布线层 215d、216d 的各个上表面的状态。

这里，把在腐蚀阻挡膜 71a 的下面内露出了第 6 布线部分 113e 的面作为第 2 粘贴面 2，把腐蚀阻挡膜 42d，第 5 布线部分 112d，从属布线部分 214d 以及独立布线层 215d、216d 露出的面作为第 1 粘贴面 1。

这些第 1、第 2 粘贴面 1、2 例如通过 CMP 研磨，进行镜面精加工。另外，也可以在通过 CMP 粗研磨了以后，进而，使用进行通过药品或者湿法处理实施的镜面精加工的 CMP 法，进行粘贴用的研磨。

研磨图 4 所示的硅衬底 70a 露出腐蚀阻挡膜 71a 的下面的研磨，以及使基底的腐蚀阻挡膜 42d 的上面露出的研磨不限于 CMP，只要能够进行镜面精加工，例如也可以使用腐蚀等其它方法。

图 6A 中，在预定的位置对位的状态下相互按压进行了镜面精加工的第 1、第 2 粘贴面 1、2。由此，不使用任何粘接剂等，两者牢固地粘贴在一起。

图 6B 示出该状态的粘贴部分。这里，粘接成使得第 5 布线部分 112d 以及第 6 布线部分 113e 成为导通状态。其结果，作为基底的第 1 多层布线层区 101 与作为第 1 上部构造体的第 2 多层布线层区 102 粘接在一起。其次，参照图 7A、7B 说明使其与作为第 2 上部构造体的第 2 多层布线层区 103 粘贴的工艺。

图 7A 中示出研磨去除在图 4 所示的第 2 多层布线层区 102 的最

上层形成的高质玻璃层 83A，露出了腐蚀阻挡膜 73h 的状态。进而，还示出在图 5 所示的第 3 多层布线层区 103 中，研磨去除硅衬底 70b，露出了腐蚀阻挡膜 71b 的状态。这里，在与腐蚀阻挡膜 73h 相同的面内露出了第 9 布线部分 113h，布线部分 217h 以及布线部分 218h 的每一个的面是第 3 粘贴面 3。另外，把在与腐蚀阻挡膜 71b 相同的面内露出了第 10 布线部分 114i 的面作为第 4 粘贴面 4。

这里，作为研磨去除图 4 所示的高质玻璃层 83a 以及图 5 的硅衬底 70b 的方法除去 CMP 以外，还有以按照预定腐蚀速率的腐蚀等方法。另外，第 3、第 4 粘贴面 3、4 的镜面精加工与第 1、第 2 粘贴面 1、2 的镜面精加工同样进行。

如果进行上述镜面精加工，则第 3、第 4 粘贴面 3、4 在预定位置被加压，粘贴在一起。图 7B 示出该粘贴部分的状态。这里，粘贴成使得第 9 布线部分 113h 与第 10 布线部分 114i 成为导通状态。其结果，完成具有图 1 所示构造的 11 层布线层 110，100a~100j 的半导体器件。

如以上说明的那样，把第 1、第 2 粘贴面 1、2 进行镜面精加工粘贴在一起，把第 3、第 4 粘贴面 3、4 进行镜面精加工粘贴在一起的方法并不需要过多的时间。因此，与以往为了形成多层布线的半导体器件所需要的时间相比较，能够缩短大量的制造时间。

例如，通过使用该实施形态的粘贴技法，直到形成在图 1 所示的衬底 10 上形成的多层布线了 11 层的半导体器件的试制时间是大约 40 天。即，在衬底 10 上形成基底的第 1 布线层区 110 需要大约 20 天，形成在其上面所形成的布线层 100a~100d 的各层需要大约 5 天，4 层共需要大约 20 天，因此形成基底 101 需要大约 40 天。

另一方面，由于第 2 多层布线层区 102 是 4 层构造，因此其制作需要大约 20 天，由于第 3 多层布线层区 103 是 2 层构造，因此其制作需要大约 10 天。从而，如果同时开始这 3 个区域 101、102、103 的生成，则由于在它们的粘贴时不需要时间，因此总体的制造需要 40 天。

在以往的方法中，制造具有第 1 布线层区 110 的基底需要大约 20 天，形成在其上面形成的布线层区 100a~100j 的各层需要大约 5 天，10 层共需要大约 50 天。从而，以往由于需要 20 天与 50 天合计的 70 天的天数，因此在上述实施形态的方法中，与以往相比较能够缩短 30 天左右的天数。

这种情况下，如果把本发明适用在基底需要 20 天，10 层的上部构造体需要 50 天的半导体器件的制造中，则能够用 50 天制造总体的半导体器件。这种情况下由于用以往的方法是 70 天，因此需要大约 1.4 倍的天数。

进而，在制造图 1 结构的半导体器件时，如果分别用 20 天形成 1 层的基底，把 10 层的上部构造体分开为 2 个各 5 层的上部构造体分别用 25 天制作，则总体的制造仅用 25 天就可完成。这种情况下由于用以往的方法是 70 天，因此需要大约 2.8 倍的天数。

本发明的粘贴技法在最少粘贴 2 个以上的多层布线层时是有效的。另外，在布线层等的金属面露出用 SiN 等绝缘膜形成的腐蚀阻挡膜的面内的状态下粘贴上述实施形态的第 1 至第 4 粘贴面 1~4 的每一个。在该粘贴的情况下，可知如果粘贴界面相互含有 40% 以上的金属部分，则能够实施良好的粘贴。从而，通过在该条件下进行，能够进行粘接强度高的粘贴。

另外，如图 1 至图 6B 所示那样，在半导体衬底 10 上成为导通状态那样形成第 1 布线部分 111 至第 11 布线部分 114j 中，越是上层的布线部分越粗地形成布线部分。即，较粗地生成布线部分是因为越是上层越需要降低形成布线部分的电阻。另外，该布线部分粗意味着增加上述粘贴部分的金属部分的比例，在实现牢固地粘贴方面也是有效的。

另外，在图 1 的实施形态中，在形成了基底的多种布线层区 101 以后，在粘贴之前检查是否按照设计形成了该部分。同样，在形成了第 1、第 2 上部构造体 102、103 以后，在粘贴之前检查是否按照设计形成了这些部分。其结果，例如如果知道区域 103 不良，则仅再次

生成该部分只需要大约 10 天就可以完成，而不需要再次重新制作半导体器件总体。

另一方面，在以往的半导体衬底上顺序多层地形成布线层的情况下，在已知由于工艺的不理想，与上述区域 103 相对应的部分是不良时，在从最初开始计算已经达到 60 天以上，即，在已经完成了八成的阶段，需要从最初开始重做。

在上述实施形态中，在进行粘贴时，在粘接面上使布线层自身露出，通过使用把该露出的布线层之间直接粘贴的技法，形成多层布线的半导体器件。但是，并不限于上述实施形态，如果在粘贴部分的布线上连接其它大面积的金属，在其上面进行粘贴，则能够具有余量地进行布线连接部分（接点）的对位。

图 8A 至图 10C 是基于这种考虑的~~实施形态~~的剖面图。以下，以单独制作图 1 的第 2 多层布线层区 102 和第 3 多层布线层区 103 进行粘贴的情况为例进行说明。这里，在第 1 多层布线层区 101 与第 2 部分布线层区 102 的粘贴中当然也能够得到相同的效果。

首先，如图 5 所示，在硅衬底 70b 上形成第 3 多层布线层区 103。然后，在该图 5 的结构中，研磨硅衬底 70b 以及腐蚀阻挡膜 71b。进而，研磨腐蚀阻挡膜 71b 的全部以及金属势垒层 86i 的下部使得露出第 1 布线部分 114i 的第 10 布线 88i 的下部。这里，假设在完全除去了腐蚀阻挡膜 71b 的位置结束研磨。

然后，熔融在与层间绝缘膜 94i 的下面同一个平面露出的第 10 布线 88i 以及金属势垒层 86i 的下部，浸渍在成为液体状的焊锡中以后取出。其结果，形成为图 8A 所示那样椭圆形的焊锡球 98 粘接在第 10 布线 114i 的下部。

然后，如图 8B 所示，在层间绝缘膜 94i 的下方按照遮挡焊锡球 98 的厚度形成层间绝缘膜 99。

接着，如图 8C 所示，直到在上述形成的焊锡球 98 的接合中使用剖面积最宽的位置，即焊锡球 98 的最大直径的位置，用例如 CMP 法除去焊锡球 98 和层间绝缘膜 99，进而进行镜面精加工。在进行该

镜面精加工时例如也使用 CMP 法。

其结果，在同一个面上形成具有构成预定的微突点电极接点的半球形的焊锡接点 98c 和层间绝缘膜 99 下方表面的粘贴面 5。

另一方面，研磨在图 4 所示的多层布线层区 102 的最上部中形成的高质玻璃 83a，进行镜面精加工，如图 8C 所示制备形成了在腐蚀阻挡膜 73h 的表面露出了第 9 布线部分 113h，布线部分 217h、218h 的状态的粘贴面 3 的第 2 多层布线层区 102。

这些进行了镜面精加工的粘贴面 3、粘贴面 5 在预定的位置对位后接合，加压并且粘合在一起。图 8D 示出其粘合部分。其结果，第 9 布线部分 113h 以及第 10 布线部分 114i 粘合在一起，使得借助焊锡接点 98c 成为导通状态。

由于这样作为微突点电极接点形成的焊锡接点 98c 形成在布线部分 114i 的下部，因此与图 1 所示的实施形态相比较能够保证粘贴的余量。

另外，在上述实施形态中，通过形成作为微突点电极接点所形成的焊锡接点 98c，使得拓宽第 10 布线部分 114i 的下部的接合面积，能够保证粘贴的余量，而不使用焊锡接点 98c，通过较粗地形成在第 10 布线部分 114i 的下部形成的粘贴面的支承部分也能够保证粘贴的余量。

另外，在上述实施形态中，作为布线部分 114i 的粘贴面，在支承部分的下部形成焊锡接点 98c，拓宽接合面积，而也可以形成为在作为布线部分 114i 的粘贴面的支承部分下部的硅衬底 70b 中预先形成与焊锡接点 98c 相当的布线部分，通过把该布线部分用作为接合面，拓宽接合面积。

图 9A 至图 9C 是示出其一个例子的实施形态的剖面图，在图 5 中的布线部分 114i 的下部的硅衬底 70b 中，如图 9A 所示，生成布线部分 122，拓宽了粘贴时的接合面积。这里，与上述实施形态相同的部分使用相同的符号并且省略其详细的说明。

首先，在图 9A 中，在硅衬底 70b 中形成布线槽，在该布线槽

中形成具有金属势垒层 120 和铜布线部分 121 的布线部分 122。

如果形成了布线部分 122，则用 CMP 把表面平坦化以后，用与图 5 所示的相同的工艺形成第 3 多层布线层区 103。

接着，如图 9B 所示，用 CMP 等腐蚀硅衬底 70b 直到露出布线部分 122 的金属势垒层 120 的下部。然后，用 CMP 通过镜面精加工处理金属势垒层 120 下部的露出面和硅衬底 70b 的腐蚀面，形成粘贴面 6。在图 9B 中示出进行了镜面精加工的上述粘贴面 6 和第 2 多层布线层区 102 上面的粘贴面 3。

接着，如图 9C 所示，通过在预定的位置接合粘贴面 3 与粘贴面 6，进行加压，粘合在一起。其结果，第 2 多层布线层区 102 的第 9 布线部分 113h 以及第 3 多层布线层区 103 的第 10 布线部分 114i 经过布线部分 122 粘贴成导通状态。这样，由于形成提供比使布线部分 114i 下部的支承部分露出粘贴面还大的接合面积的布线部分 122，因此能够进一步保证粘贴的余量。

图 10A 至图 10C 示出另一个实施形态。在该实施形态中，是图 4 所示的高质玻璃 83a 具有铜扩散防止效果的情况。在图 9A 至图 9C 的实施形态中完全除去高质玻璃 83a 使得露出腐蚀阻挡膜 73h，而在图 10A 至图 10C 的实施形态中不削除高质玻璃 83a，而如图 10B 所示那样，在内部形成布线部分 125 使得与第 9 布线部分 113h 连接。这里，与上述实施形态相同的部分标注相同的符号并且省略其详细的说明。

首先，在完成了图 4 所示的第 2 多层布线层区 102 以后，如图 10A 所示，在高质玻璃 83a 上面形成预定的抗蚀剂图形 130。该抗蚀剂图形 130 用通常的光刻法形成。

如果完成抗蚀剂图形 130，则以该抗蚀剂图形 130 为掩模进行高质玻璃层 83a 的腐蚀，使得露出第 9 布线部分 113h 的除去金属势垒层 76h 的布线部分 79h 的上表面。其结果，如图 10A 所示，在高质玻璃层 83a 的布线部分 79h 的上面形成布线槽 123。

如果形成布线槽 123，则剥离抗蚀剂图形 130，在布线槽 123 内

如图 10B 所示，形成金属势垒层 124 和具有铜布线 125 的布线部分 126。然后，通过 CMP 法的研磨以及镜面精加工形成由布线部分 126 的上表面与高质玻璃层 83a 的上表面构成的粘贴面 7。在图 10B 中示出进行了镜面精加工的上述粘贴面 7 与第 3 多层布线层区 103 的下表面的粘贴面 4。

接着，如图 10C 所示，粘贴面 4 与粘贴面 7 在预定的位置接合，加压后粘贴在一起。由此，第 9 布线部分 113h 以及第 10 布线部分 114i 经过大面积的布线部分 126 粘接成导通状态。

这样，在高质玻璃层 83a 具有铜扩散防止效果的情况下，也可以不除去高质玻璃，而在高质玻璃层中形成布线部分 126，上部的布线部分在这里与第 10 布线部分 114i 连接。由此，能够得到提高粘贴时的接合强度、导电性等效果的同时，由于能够用高质玻璃层保持机械强度，因此能够容易处理粘合时的第 2 多层布线层区 120。

另外，在半导体器件的布线形成时，如已经说明过的那样，使用铜布线或者包含铜的材料的布线。特别是在使用了铜布线的情况下，在与铜布线邻接的布线层中需要形成铜扩散阻挡膜。

例如，着眼于图 6B 所示的第 5 布线层区 100d 与第 6 布线层区 100e 的粘合部分。这里，在第 5 布线部分 112d 与第 6 布线部分 113e 之间不形成铜扩散阻挡膜。这种情况下，例如能够把腐蚀阻挡膜 71a 形成为铜扩散阻挡膜。

或者，根据需要，当然也可以在第 5 布线部分 112d 与第 6 布线部分 113e 之间形成铜扩散阻挡膜。如果举出一个例子，则在图 6A 中，在剥离第 5 布线层 100d 的上部形成的高质玻璃 83c 形成了粘贴面 1 的状态下，能够在该粘贴面 1 的上面形成铜扩散阻挡膜。

这种情况下，由于第 5 布线部分 112d 用该铜扩散阻挡膜覆盖而绝缘，因此在该部分中需要形成连接孔。即，使得与第 5 布线部分 112d 连接那样在该连接孔中埋入导电体，形成未图示的接点。然后，通过 CMP 法把该连接孔上表面和铜扩散阻挡膜的上表面进行镜面精加工、形成粘合面。

另外，在粘贴面 1~7 中，如果粘贴的界面中的金属面对于绝缘物的比例是 40% 以上，则能够实施良好的粘合，而根据情况，当然该比例也可以是 40% 以下。

另外，本发明并不限于上述各实施形态，在实施阶段不脱离其宗旨范围内，能够进行各种变形。

本领域普通技术人员容易得出附加的优点和改进。因此，本发明在更宽的方面不限于文中所描述和示出的特定细节和代表性实施例。因此，可以做出各种改进而不会脱离后附权利要求书及其等价物所限定总的发明概念的精神和范围。

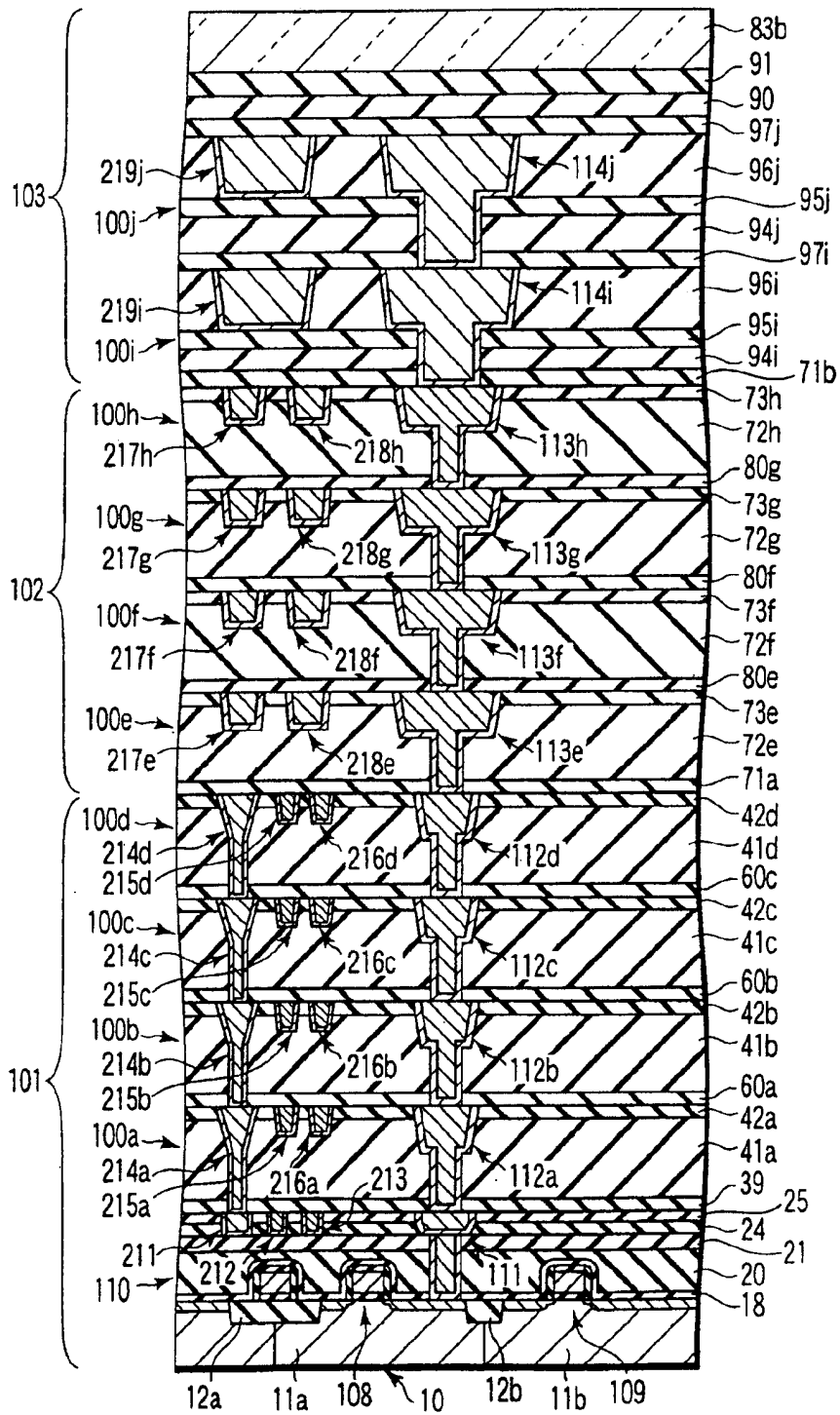


图1

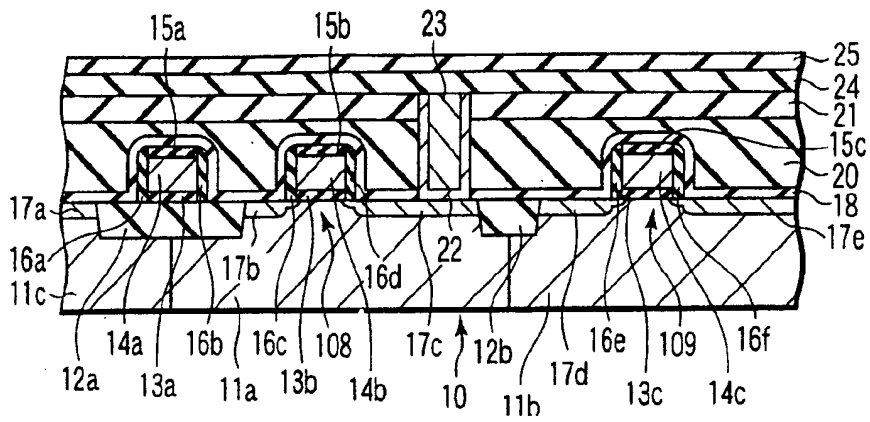


图 2A

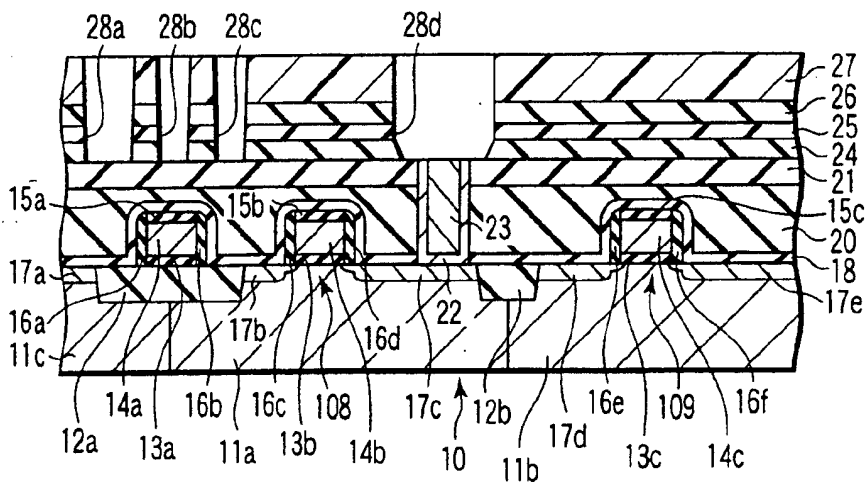


图 2B

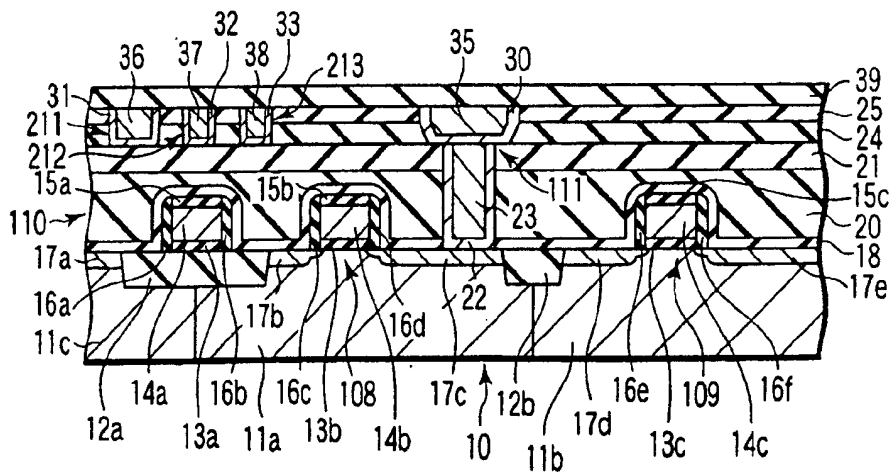


图 2C

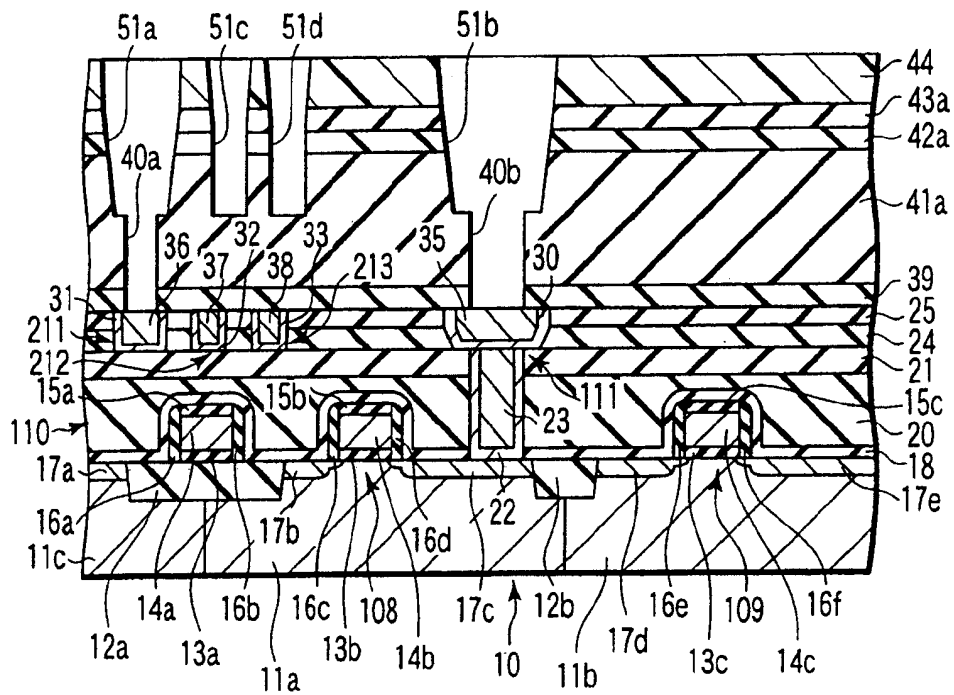


图 3A

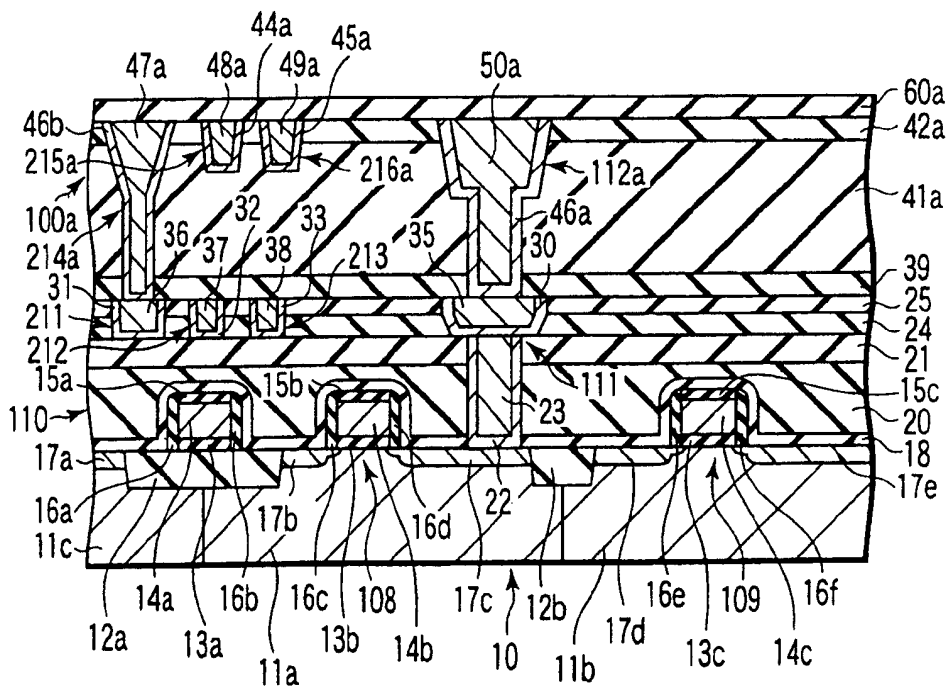
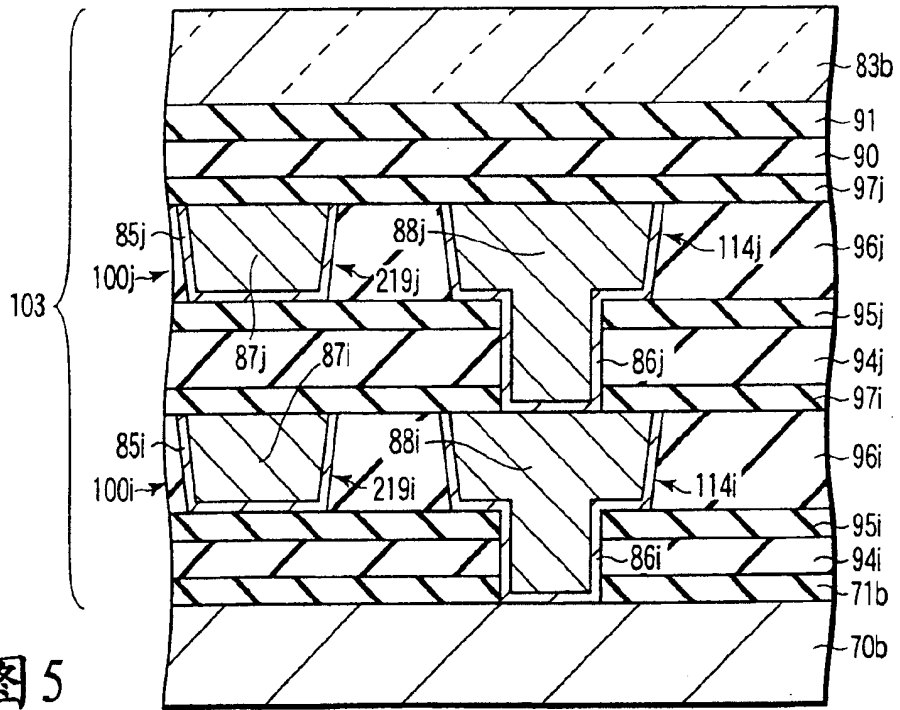
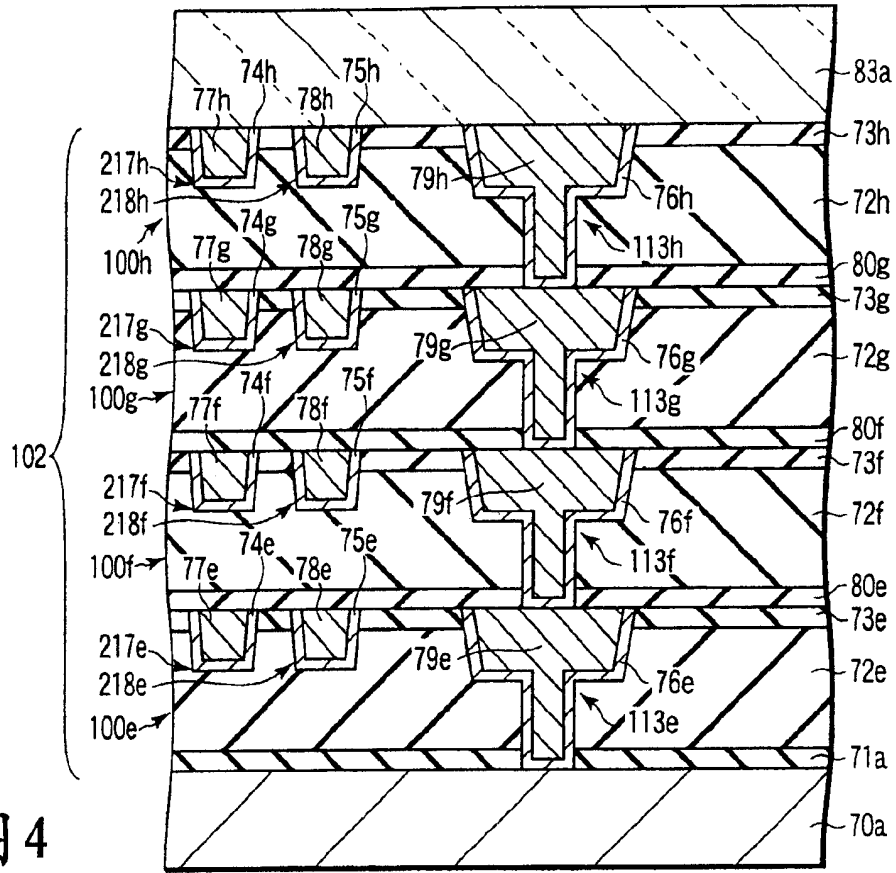


图 3B



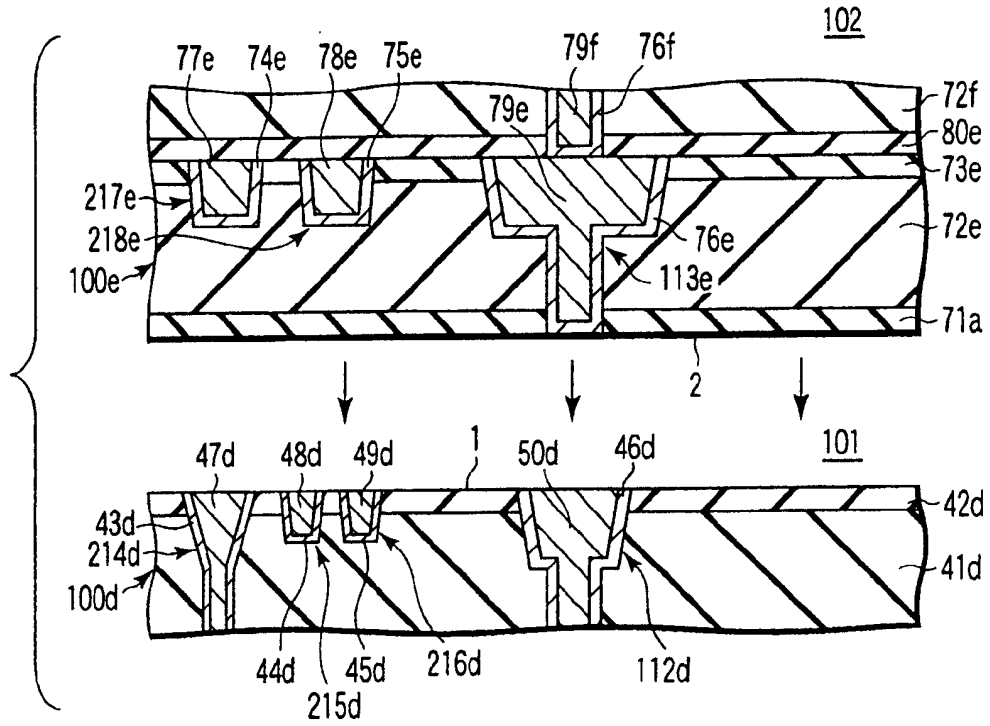


图 6A

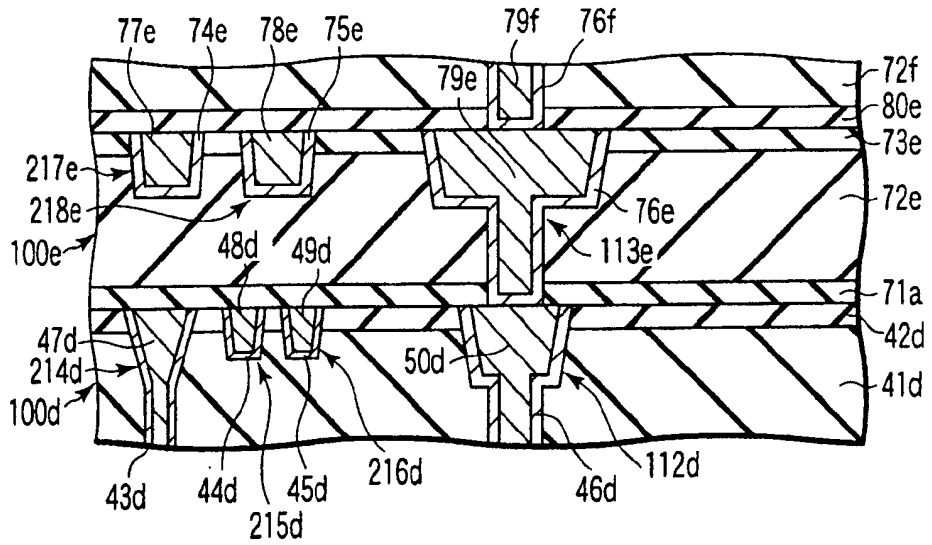


图 6B

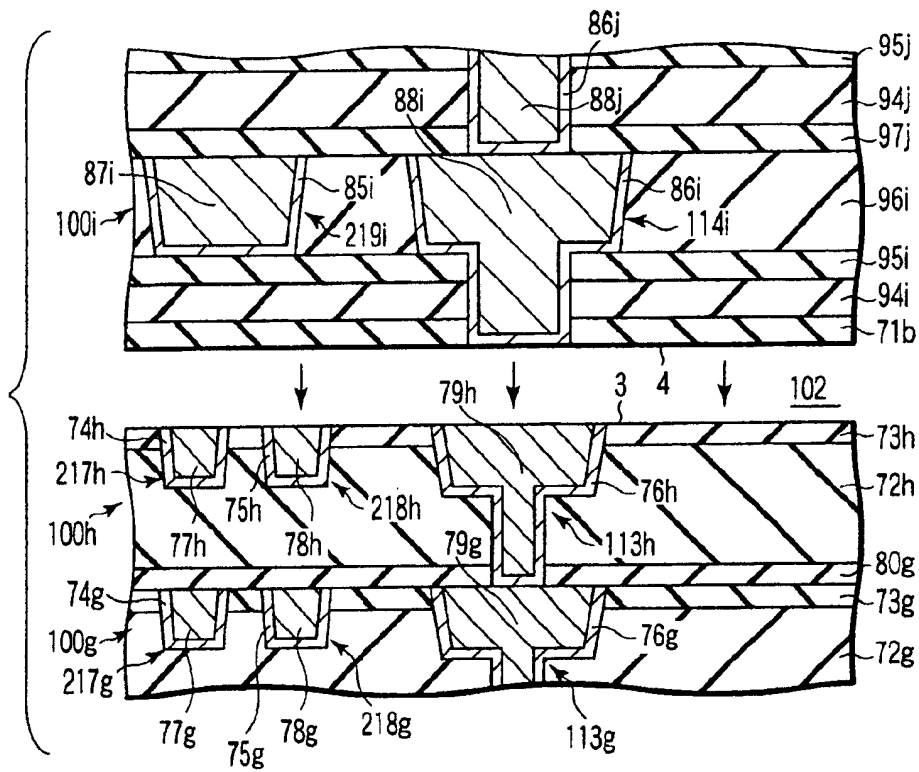


图 7A

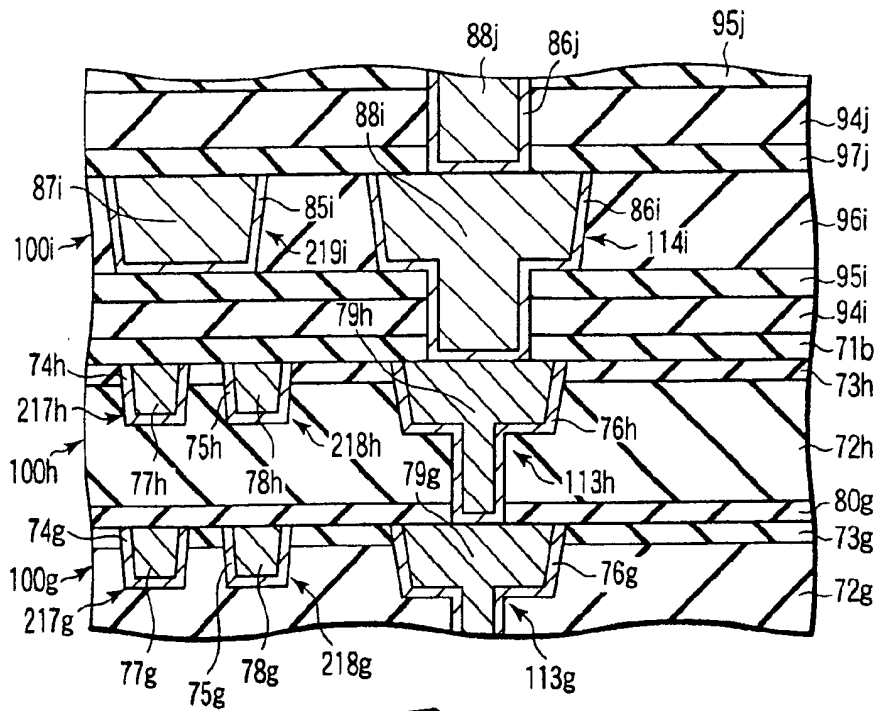
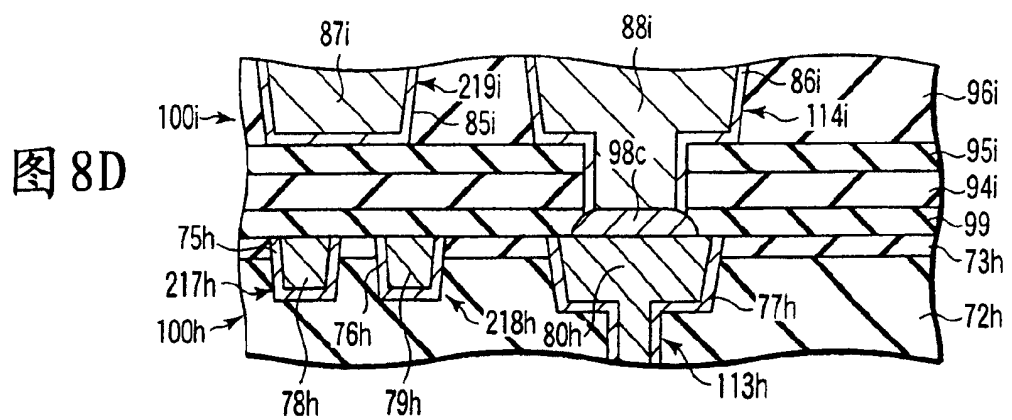
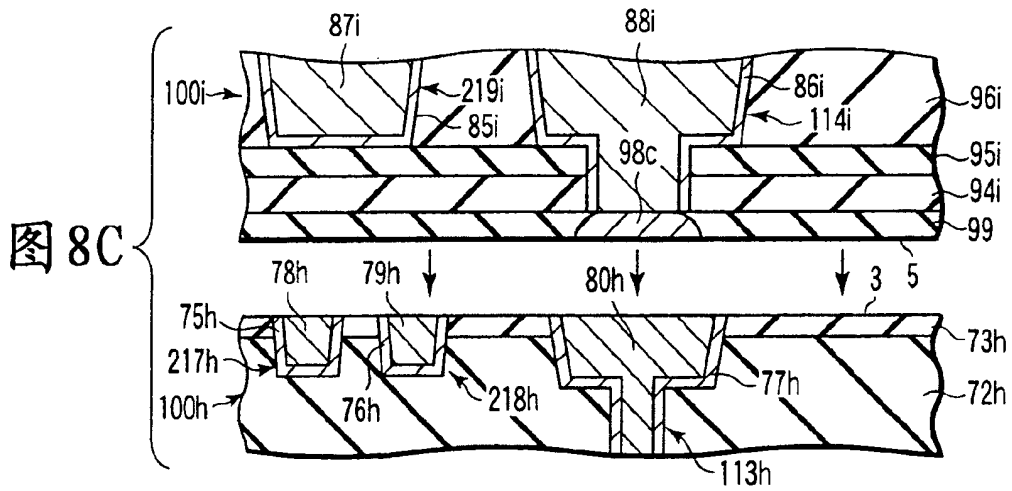
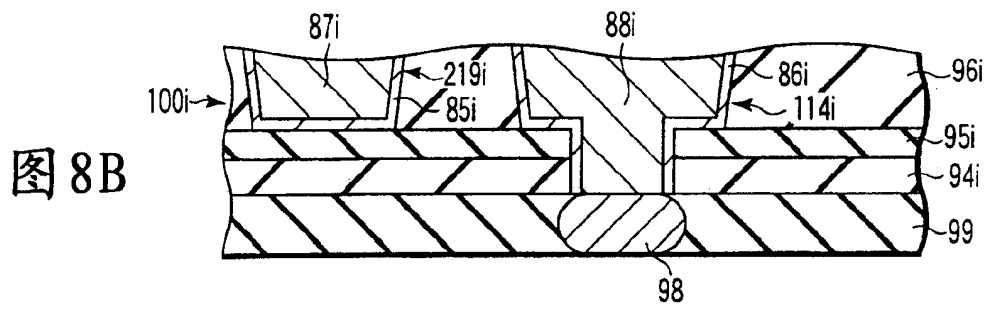
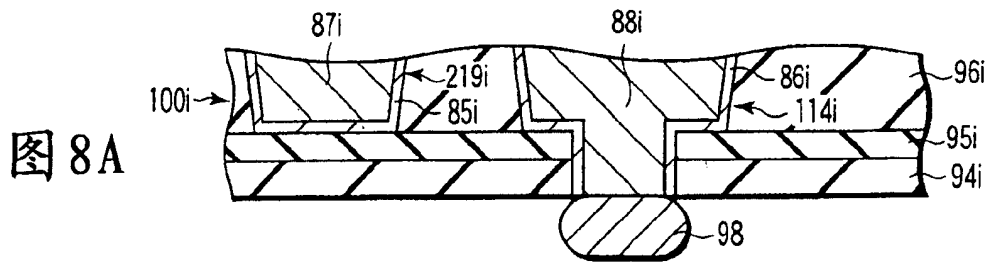


图 7B



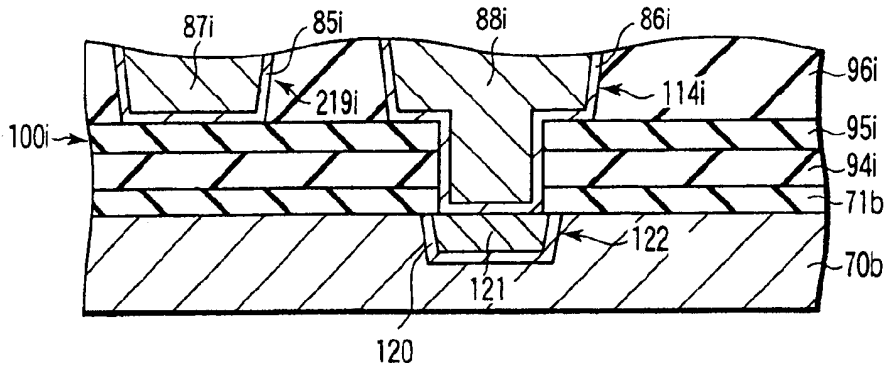


图 9A

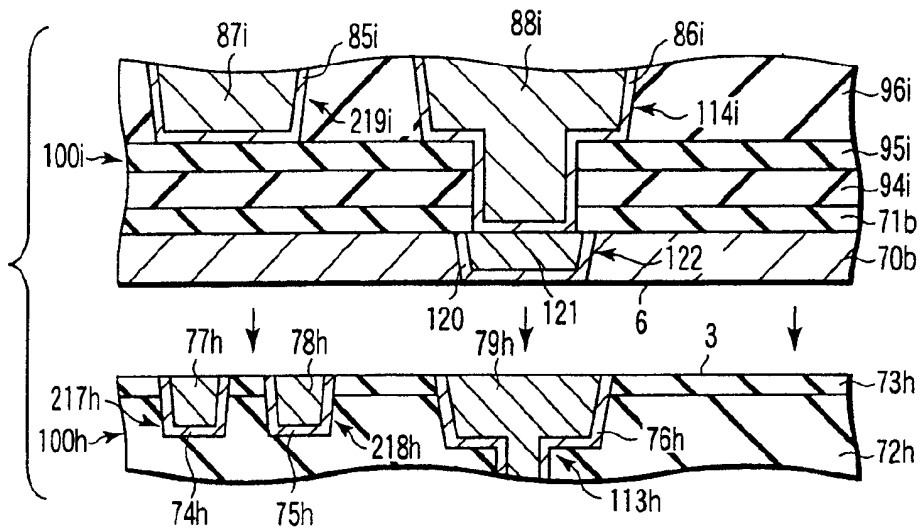


图 9B

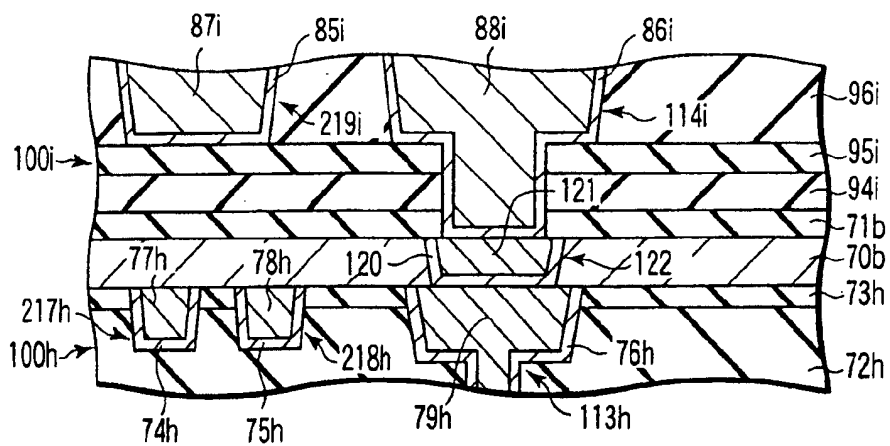


图 9C

图 10A

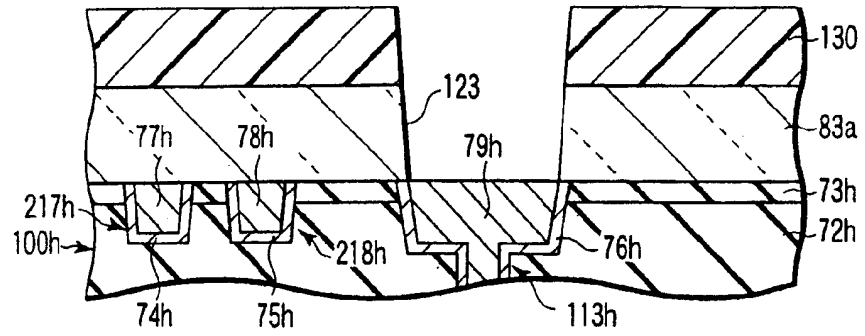


图 10B

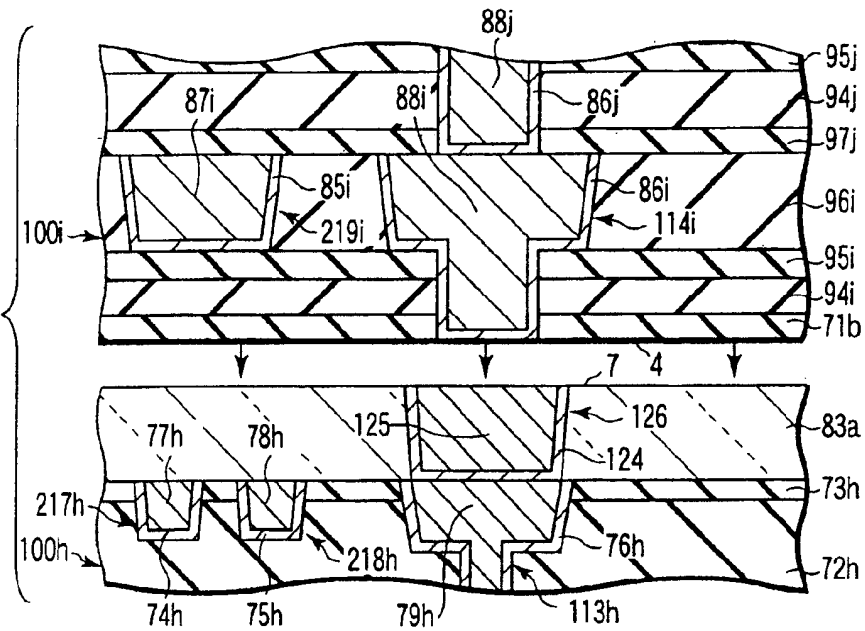


图 10C

