

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4425270号
(P4425270)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int.Cl.		F I		
GO 1 Q 70/16	(2010.01)	GO 1 N 13/10	1 1 1 M	
GO 1 Q 60/00	(2010.01)	GO 1 N 13/10	1 4 1 Z	
G 1 1 B 9/02	(2006.01)	G 1 1 B 9/02		
G 1 1 B 9/14	(2006.01)	G 1 1 B 9/14	M	

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2006-514116 (P2006-514116)	(73) 特許権者	000005016 パイオニア株式会社 東京都目黒区目黒1丁目4番1号
(86) (22) 出願日	平成17年6月1日(2005.6.1)	(73) 特許権者	000167989 江刺 正喜 宮城県仙台市太白区八木山南1丁目11番地9
(86) 国際出願番号	PCT/JP2005/010067	(74) 代理人	100104765 弁理士 江上 達夫
(87) 国際公開番号	W02005/119204	(74) 代理人	100107331 弁理士 中村 聡延
(87) 国際公開日	平成17年12月15日(2005.12.15)	(72) 発明者	高橋 宏和 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内
審査請求日	平成18年12月20日(2006.12.20)		
(31) 優先権主張番号	特願2004-167170 (P2004-167170)		
(32) 優先日	平成16年6月4日(2004.6.4)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 プローブヘッドの製造方法

(57) 【特許請求の範囲】

【請求項1】

ダイヤモンドチップを備えたプローブヘッドの製造方法であって、
 基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、
 前記モールド穴内に、不純物を混入させつつダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、
 前記シリコン層において、前記ダイヤモンドチップの針先とは異なる側の周辺領域に不純物を注入し、これにより前記周辺領域に低抵抗層を形成する低抵抗層形成工程と、
 前記加工面上に導電材料からなるパターンを形成し、これにより前記ダイヤモンドチップに対する電気信号の入出力を可能とする信号経路を形成する信号経路形成工程と、
 前記加工面にヘッド基板を接合する接合工程と、
 前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程と
 を備えていることを特徴とするプローブヘッドの製造方法。

【請求項2】

ダイヤモンドチップと歪み検出回路とを備えたプローブヘッドの製造方法であって、
 基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層

10

20

の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、

前記モールド穴内に、不純物を混入させつつダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、

前記シリコン層において、前記ダイヤモンドチップの針先とは異なる側の周辺領域に不純物を注入し、これにより前記周辺領域に低抵抗層を形成する低抵抗層形成工程と、

前記シリコン層において、前記モールド穴と離れた位置に配置された回路形成領域に不純物を注入し、これにより前記回路形成領域に低抵抗層を形成し、よって前記歪み検出回路を形成する回路形成工程と、

前記加工面上に導電材料からなるパターンを形成し、これにより前記ダイヤモンドチップに対する電気信号の入出力を可能とする信号経路と前記歪み検出回路に対する他の電気信号の入出力を可能とする信号経路とをそれぞれ形成する信号経路形成工程と、

前記加工面にヘッド基板を接合する接合工程と、

前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程と

を備えていることを特徴とするプローブヘッドの製造方法。

【請求項3】

ダイヤモンドチップを備えたプローブヘッドの製造方法であって、

基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、

前記モールド穴内に、ダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、

前記シリコン層において、前記ダイヤモンドチップの針先とは異なる側の周辺領域に不純物を注入し、これにより前記周辺領域に低抵抗層を形成する低抵抗層形成工程と、

前記加工面上に、前記ダイヤモンドチップへ入出力される信号の信号経路を形成する信号経路形成工程と、

前記加工面にヘッド基板を接合する接合工程と、

前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程と

を備えていることを特徴とするプローブヘッドの製造方法。

【請求項4】

ダイヤモンドチップと歪み検出回路とを備えたプローブヘッドの製造方法であって、

基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、

前記モールド穴内に、ダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、

前記シリコン層において、前記ダイヤモンドチップの針先とは異なる側の周辺領域に不純物を注入し、これにより前記周辺領域に低抵抗層を形成する低抵抗層形成工程と、

前記シリコン層において、前記モールド穴と離れた位置に配置された回路形成領域に不純物を注入し、これにより前記回路形成領域に低抵抗層を形成し、よって前記歪み検出回路を形成する回路形成工程と、

前記加工面上に、前記ダイヤモンドチップへ入出力される信号の信号経路と前記歪み検出回路に対する電気信号の入出力を可能とする信号経路とをそれぞれ形成する信号経路形成工程と、

前記加工面にヘッド基板を接合する接合工程と、

10

20

30

40

50

前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程と
備えていることを特徴とするプローブヘッドの製造方法。

【請求項5】

前記信号経路形成工程において、前記ダイヤモンドチップに対する電気信号の入出力を可能とする信号経路の一部は、前記低抵抗層の上に形成されることを特徴とする請求項1又は2に記載のプローブヘッドの製造方法。

【請求項6】

前記信号経路形成工程において、前記ダイヤモンドチップへ入出力される信号の信号経路の一部は、前記低抵抗層の上に形成されることを特徴とする請求項3又は4に記載のプローブヘッドの製造方法。

10

【請求項7】

ヘッド基板と、
前記ヘッド基板から伸びる梁と、
不純物を混入させつつダイヤモンドを成長させることで前記針の先端部に形成されるダイヤモンドチップと、

前記ダイヤモンドチップの針先とは異なる側の周辺領域に不純物を注入することで前記梁上に形成される低抵抗層と

前記梁上に形成される導電材料からなるパターンであって、前記ダイヤモンドチップに対する電気信号の入出力を可能とする信号経路と

20

を備えることを特徴とするプローブヘッド。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば走査型プローブ顕微鏡装置または走査型プローブ情報記録再生装置等に用いられるプローブヘッドの製造方法に関する。

【背景技術】

【0002】

走査型プローブ顕微鏡（SPM：Scanning Probe Microscope）は、ナノスケールで、試料表面の形状や物性等を測定することができる装置として知られている。中でも、試料の表面をプローブで走査し、プローブと試料との間に流れるトンネル電流を利用して測定を行う走査型トンネル顕微鏡（STM：Scanning Tunneling Microscope）や、同じく、試料の表面をプローブで走査し、プローブと試料との間の原子間力を利用して測定を行う原子間力顕微鏡（AFM：Atomic Force Microscope）は、広く普及している。

30

【0003】

近時、走査型プローブ顕微鏡の一種として、強誘電体試料の非線形誘電率を読み取って、強誘電体試料の分極状態または結晶性を測定する走査型非線形誘電率顕微鏡（SNDM：Scanning Nonlinear Dielectric Microscope）が開発されている。SNDMによれば、強誘電体試料の分極状態等を、ナノスケールの高分解能で純電氣的に測定することができる（特許文献1参照）。

40

【0004】

また、SNDMの技術を応用して情報記録を実現する研究が開始されている。以下、SNDM技術を応用した情報記録（これを「SNDM情報記録」という。）について概説する。まず、強誘電体にプローブを介して抗電界を超える電界を局所的に印加し、これによりデジタル情報を強誘電体に分極方向として記録する。強誘電体に分極方向として記録されたデジタル情報は、強誘電体の自発分極の性質により、電界の印加を止めても保持される。次に、SNDM技術により、強誘電体の分極方向を検出し、分極方向として記録されたデジタル情報を読み取る。

【0005】

SNDM情報記録によれば、理論的に、強誘電体の結晶格子単位まで情報記録密度を向

50

上させることが可能である。そのため、DVD、ブルーレイディスク等の光学式情報記録における記録密度の限界（回折限界）や、ハードディスクドライブ等の磁気式情報記録における記録密度の限界（超常磁性限界）を超える超高密度情報記録の実現が期待されている。

【0006】

SNDMおよびSNDM情報記録で用いられるプローブヘッドには、(1)試料表面に向けて試料表面と垂直な方向に伸びるタングステン針を設け、このタングステン針の基端部をヘッド基板に固定する構造のもの、(2)試料表面にほぼ水平な方向に伸びる梁を設け、梁の基端部をヘッド基板に固定し、梁の先端部には、試料表面に向けて試料表面に垂直な方向に伸びるチップを設ける構造のもの等、様々なタイプのものが提案されている。以下

10

【0007】

【特許文献1】特開2003-085969号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、SNDMおよびSNDM情報記録では、カンチレバー型プローブヘッドのチップ先端を、強誘電体の表面に接触させつつ走査を行う。このため、強誘電体の表面に微少な凹凸があると、走査中にチップ先端がこの凹凸上を通過することにより、梁が振動する。梁が振動すると、チップ先端が強誘電体の表面から小刻みに浮上するため、走査が不完全となり、測定不良ないし情報の読取不良等が生じるおそれがある。特に、SNDM情報記録では、情報の読取速度を向上させる要請から、走査速度を高める必要がある。高速走査中にチップ先端が強誘電体表面の凹凸上を通過すると、梁に大きな振動が生じ、振動の収束に時間がかかり、情報の読取不良が深刻な問題となるおそれがある。

20

【0009】

かかる問題の解決方法を検討するに、まず、梁の振動の周波数が予め明らかであれば、梁の振動と情報読取不良発生との関係を考慮して走査速度の上限を制限する等、情報の読取不良を予防する措置をとることが可能となる。このためには、梁の振動の周波数に関して、プローブ毎のバラツキを低減する必要がある。また、マルチプローブの場合には、複数のプローブ間のバラツキを低減する必要がある。このためには、梁の厚さの均一性を確保する必要がある。ところが、梁の厚さは数十ナノメートルないし数マイクロメートルと、きわめて薄く、しかも、梁の厚さが数ナノメートル異なれば、梁の振動の周波数も変動する。このため、梁の厚さを均一にして梁の振動の周波数を均一にすることは容易でない。具体的には、プローブヘッドを量産するにあたって、すべてのプローブヘッドにおいて梁の厚さを均一にすることは容易でない。また、マルチプローブ型のプローブヘッドにおいては、カンチレバー型プローブが数十ないし数百個配列されており、すべてのプローブにおいて梁の厚さを均一にすることは困難である。

30

【0010】

一方、SNDMおよびSNDM情報記録では、走査を行う際に、カンチレバー型プローブヘッドのチップ先端を強誘電体の表面に接触させる。このため、プローブヘッドに歪み検出回路を設け、チップ先端が強誘電体表面に接触したか否かを感知することが望ましい。この場合、歪み検出用のピエゾ抵抗素子をプローブヘッドの梁の一部に設ければ、チップ先端が強誘電体表面に接触したことによる梁の撓みを検出することができ、これにより、チップ先端が強誘電体表面に接触したか否かを感知することができる。ところが、歪み検出用のピエゾ抵抗素子を梁の一部に設けると、梁の面積が大きくなる。この結果、梁の厚さの均一性を確保することがより一層困難となる。

40

【0011】

本発明は上記に例示したような問題点に鑑みなされたものであり、本発明の課題は、梁の振動の周波数を均一にでき、または高めることができ、測定不良ないし情報の読取不良を防止することができるプローブヘッドの製造方法を提供することにある。

50

【課題を解決するための手段】

【0012】

上記課題を解決するために、本発明の第1のプローブヘッドの製造方法は、ダイヤモンドチップを備えたプローブヘッドの製造方法であって、基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、前記モールド穴内に、不純物を混入させつつダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、前記加工面上に導電材料からなるパターンを形成し、これにより前記ダイヤモンドチップに対する電気信号の入出力を可能とする信号経路を形成する信号経路形成工程と、前記加工面にヘッド基板を接合する接合工程と、前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程とを備えている。

10

【0013】

上記課題を解決するために、本発明の第2のプローブヘッドの製造方法は、ダイヤモンドチップと歪み検出回路とを備えたプローブヘッドの製造方法であって、基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、前記モールド穴内に、不純物を混入させつつダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、前記シリコン層において、前記モールド穴と離れた位置に配置された回路形成領域に不純物を注入し、これにより前記回路形成領域に低抵抗層を形成し、よって前記歪み検出回路を形成する回路形成工程と、前記加工面上に導電材料からなるパターンを形成し、これにより前記ダイヤモンドチップに対する電気信号の入出力を可能とする信号経路と前記歪み検出回路に対する他の電気信号の入出力を可能とする信号経路とをそれぞれ形成する信号経路形成工程と、前記加工面にヘッド基板を接合する接合工程と、前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程とを備えている。

20

【0014】

上記課題を解決するために、本発明の第3のプローブヘッドの製造方法は、ダイヤモンドチップを備えたプローブヘッドの製造方法であって、基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、前記モールド穴内に、ダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、前記加工面上に、前記ダイヤモンドチップへ入出力される信号の信号経路を形成する信号経路形成工程と、前記加工面にヘッド基板を接合する接合工程と、前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程とを備えている。

30

【0015】

上記課題を解決するために、本発明の第4のプローブヘッドの製造方法は、ダイヤモンドチップと歪み検出回路とを備えたプローブヘッドの製造方法であって、基盤層上に絶縁層が形成され、前記絶縁層上にシリコン層が形成され、前記シリコン層の表面が加工面であるSOI (Silicon On Insulator) 基板の一部に、前記加工面側から基盤層の底面側に向けて、前記ダイヤモンドチップを成形するためのモールド穴を形成するモールド穴形成工程と、前記モールド穴内に、ダイヤモンドを成長させ、これにより前記ダイヤモンドチップを形成するチップ形成工程と、前記シリコン層において、前記モールド穴と離れた位置に配置された回路形成領域に不純物を注入し、これにより前記回路形成領域に低抵抗層を形成し、よって前記歪み検出回路を形成する回路形成工程と、前記加工面上に、前記ダイヤモンドチップへ入出力される信号の信号経路と前記歪み検出回路に対する電気信号の

40

50

入出力を可能とする信号経路とをそれぞれ形成する信号経路形成工程と、前記加工面にヘッド基板を接合する接合工程と、前記基盤層の底面側からエッチングを行い、これにより前記基盤層と前記絶縁層とを除去する除去工程と備えている。

【図面の簡単な説明】

【0016】

【図1】プローブヘッドの基本的構成を示す説明図である。

【図2】本発明の製造方法の実施形態により製造されるプローブヘッドを示す斜視図である。

【図3】図2中のプローブヘッドの平面図である。

【図4】図2中のプローブヘッドの断面図である。

10

【図5】本発明の製造方法の実施形態で用いるSOI基板を示す断面図である。

【図6】本発明の製造方法の実施形態におけるモールド穴形成工程を示す断面図である。

【図7】図6に続くモールド穴形成工程を示す断面図である。

【図8】図7に続くモールド穴形成工程を示す断面図である。

【図9】図8に続くモールド穴形成工程を示す断面図である。

【図10】本発明の製造方法の実施形態におけるチップ形成工程を示す断面図である。

【図11】本発明の製造方法の実施形態における回路形成工程を示す断面図である。

【図12】図11に続く回路形成工程を示す断面図である。

【図13】図12に続く回路形成工程を示す断面図である。

【図14】図13に続く回路形成工程を示す断面図である。

20

【図15】本発明の製造方法の実施形態における信号経路形成工程を示す断面図である。

【図16】本発明の製造方法の実施形態における接合工程を示す断面図である。

【図17】本発明の製造方法の実施形態における除去工程を示す断面図である。

【図18】図17に続く除去工程を示す断面図である。

【符号の説明】

【0017】

30 プローブヘッド

31 ヘッド基板

33、77 チップ支持部

34、71 ダイヤモンドチップ

30

36、78 歪み検出回路

37、79 絶縁壁部

61 SOI基板

62 基盤層

63 絶縁層

64 シリコン層

74 低抵抗層(ボロンドープ層)

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について図面を参照して説明する。

40

【0019】

(プローブヘッドの基本的構成)

図1は、プローブヘッドの基本的構成を示している。図1において、プローブヘッド10は、SNDMおよびSNDM情報記録に用いられるカンチレバー型プローブヘッドである。プローブヘッド10は、ヘッド基板11と、ヘッド基板11から伸びる梁12とを備えている。

【0020】

梁12の先端側には、チップ支持部13が形成されている。チップ支持部13は、尖鋭なダイヤモンドチップ14を支えている。梁12の基端側には、回路部15が形成されている。回路部15内には歪み検出回路16が形成されている。梁12においてチップ支持

50

部 1 3 と回路部 1 5 との間には、絶縁壁部 1 7 が形成されている。

【 0 0 2 1 】

チップ支持部 1 3 およびダイヤモンドチップ 1 4 は、いずれも低抵抗であり、実質的に導電体である。また、歪み検出回路 1 6 は、例えばホイーストブリッジ回路であり、ホイーストブリッジ回路を構成する抵抗素子等を備えている。絶縁壁部 1 7 は、高抵抗であり、実質的に絶縁体である。絶縁壁部 1 7 は、ダイヤモンドチップ 1 4 と歪み検出回路 1 6 とを電氣的に分離する機能を有する。

【 0 0 2 2 】

ダイヤモンドチップ 1 4 は、信号経路 1 8 を介して読取信号処理回路 2 1 に接続されている。歪み検出回路 1 6 は、信号経路 1 9 を介して歪み信号処理回路 2 2 に接続されている。なお、読取信号処理回路 2 1 および歪み信号処理回路 2 2 は、プローブヘッド 1 0 の外部に設けられている。

10

【 0 0 2 3 】

強誘電体試料の分極状態を測定するとき、または強誘電体記録媒体に記録された情報を読み取るときには、試料または記録媒体である強誘電体 1 の表面に、ダイヤモンドチップ 1 4 の先端を接触させつつ走査を行う。ダイヤモンドチップ 1 4 の先端が強誘電体 1 の表面に接触しているか否かは、歪み検出回路 1 6 により梁 1 2 のわずかな撓みを検出することにより感知することができる。

【 0 0 2 4 】

(プローブヘッドの実施形態)

20

図 2、図 3 および図 4 は、それぞれ、本発明のプローブヘッドの実施形態を示す斜視図、平面図および断面図である。なお、図 2 および図 3 では、説明の便宜上、プローブヘッドを、ヘッド基板、フィードスルーおよび電極を透視した状態で示している。また、図 4 では、図 2 中の二点鎖線に沿ったプローブヘッドの断面を矢示 A 方向から見た状態を示している。

【 0 0 2 5 】

図 2 において、プローブヘッド 3 0 は、ヘッド基板 3 1 と、ヘッド基板 3 1 から伸びる梁 3 2 とを備えている。梁 3 2 の厚さは、例えば、およそ 1 ないし 5 マイクロメートル (後述する製造方法の例によれば 3 . 5 マイクロメートル) である。梁 3 2 の先端側には、チップ支持部 3 3 が形成されている。チップ支持部 3 3 は、鋭なダイヤモンドチップ 3 4 を支えている。梁 3 2 の基端側には、回路部 3 5 が形成されている。回路部 3 5 内には歪み検出回路 3 6 が形成されている。梁 3 2 においてチップ支持部 3 3 と回路部 3 5 との間には、絶縁壁部 3 7 が形成されている。

30

【 0 0 2 6 】

ヘッド基板 3 1 は、梁 3 2 の基端部を支えている。ヘッド基板 3 1 は、例えばパイレックスガラス等のガラス材料により形成されており、絶縁性を有する。なお、ヘッド基板 3 1 の材料は、絶縁性、強度、微細加工容易性、物性の安定性、耐久性等の点で、ガラス材料と同程度のまたはより優れた性質を備えた他の物質でもよい。

【 0 0 2 7 】

チップ支持部 3 3 は、梁 3 2 の先端側においてダイヤモンドチップ 3 4 の基部を支えている。チップ支持部 3 3 は、梁 3 2 の先端側において梁 3 2 の一部を構成している。チップ支持部 3 3 は、例えばボロンドープシリコンにより形成されている。チップ支持部 3 3 は、低抵抗であり、実質的に導電体である。なお、チップ支持部 3 3 の材料は、ボロンドープシリコンに限られず、シリコンに他の不純物を打ち込んで導電性を高めたものでもよい。

40

【 0 0 2 8 】

ダイヤモンドチップ 3 4 は、例えばボロンドープダイヤモンドにより形成されている。ダイヤモンドチップ 3 4 は、低抵抗であり、実質的に導電体である。ダイヤモンドチップ 3 4 の先端の直径は、例えば数ナノメートルないし数十ナノメートル程度である。なお、ダイヤモンドチップ 3 4 の材料は、ボロンドープダイヤモンドに限られず、ダイヤモンド

50

に他の不純物を打ち込んで導電性を高めたものでもよい。

【0029】

ダイヤモンドチップ34は、信号経路41、42およびフィードスルー43、44を介して電極45、46に電氣的に接続されている。信号経路41、42、フィードスルー43、44および電極45、46は、それぞれ金属等の導電材料から形成された薄膜であり、高い導電性を有する。これにより、ダイヤモンドチップ34に対する電気信号の入出力が可能となる。例えば、電極45、46を外部の読取信号処理回路(図1参照)に接続すれば、ダイヤモンドチップ34から読取信号を得て、これを読取信号処理回路で分析し、強誘電体の分極状態の測定、または強誘電体に記録された情報の再生を行うことができる。なお、ダイヤモンドチップ34に対する電気信号の入出力を可能とするための信号経路として、2本の信号経路41、42を設けたが、この信号経路は1本でもよい。

10

【0030】

歪み検出回路36は、測定ないし情報読取を行うときに、ダイヤモンドチップ34の先端が強誘電体の表面に接触したか否かを感知するための回路である。歪み検出回路36は、例えばホイートストンブリッジ回路である。歪み検出回路36は、図3に示すように、歪み検出用抵抗47および他の抵抗48を備えている。歪み検出用抵抗47は、梁32の基端側に配置されており、梁32の一部を構成している。抵抗48はヘッド基板31の下側に配置されている。歪み検出用抵抗47と抵抗48とは、信号経路49を介して相互に電氣的に接続されている。また、歪み検出回路36は、信号経路51、52、53およびフィードスルー54、55、56を介して電極57、58、59に電氣的に接続されている。信号経路49ないし53、フィードスルー54ないし56、電極57ないし59は、それぞれ金属等の導電材料から形成された薄膜である。なお、ホイートストンブリッジ回路に必要な他の抵抗素子等は、電極57、58、59を介して接続される外部の歪み信号処理回路(図1参照)に設けられている。そして、歪み検出用抵抗47に歪みが生じていないときの抵抗値と抵抗48の抵抗値とが相等しくなることが好ましい。即ち、歪み検出用抵抗47及び抵抗48の夫々の大きさ(例えば、幅や形状や厚さ等)が相等しく、またこれらの抵抗と信号経路49等とが接続する位置も夫々の抵抗において相等しいことが好ましい。

20

【0031】

絶縁壁部37は、ダイヤモンドチップ34と歪み検出回路36とを電氣的に分離する。絶縁壁部37は、例えば単結晶シリコンにより形成されている。絶縁壁部37は、高抵抗であり、実質的に絶縁体である。絶縁壁部37は、図4に示すように、チップ支持部33と歪み検出回路36(歪み検出用抵抗47)との間に配置されており、梁32の一部を構成している。

30

【0032】

次に、図5ないし図18は、プローブヘッド30の製造工程を示している。以下、これらの図面を用いて、プローブヘッド30の製造方法について説明する。

【0033】

まず、図5に示すように、SOI基板(Silicon On Insulator)61を用意する。SOI基板61は、基盤層62上に絶縁層63が形成され、絶縁層63上にシリコン層64が形成され、シリコン層64の表面が加工面65である。シリコン層64は単結晶シリコンから形成されており、その厚さは、例えばおよそ3.5マイクロメートルである。絶縁層63は、 SiO_2 から形成されており、その厚さは、例えばおよそ0.2マイクロメートルである。

40

【0034】

次に、SOI基板61の一部に、加工面65側から基盤層62の底面側に向けて、ダイヤモンドチップを成形するためのモールド穴70を形成する(モールド穴形成工程:図6ないし図9)。具体的には、図6に示すように、まず、加工面65上および基盤層62の底面上等にカバー層66、67を形成する。カバー層66、67は、 SiO_2 から形成されており、それぞれの厚さは、絶縁層63よりも厚く、例えばおよそ1マイクロメートル

50

である。カバー層 66、67 の形成は、例えば熱酸化法により行う。続いて、図 7 に示すように、カバー層 66 上にレジスト 68 を形成する。続いて、レジスト 68 をマスクにして、カバー層 66 に対してエッチングを行い、図 8 に示すように、カバー層 66 の一部に穴 69 を形成する。このエッチングは、FAB (Fast Atom Beam)、フッ酸 (HF) 又はバッファードフッ酸 (BHF) により行うことが望ましい。その後、レジスト 68 を除去する。続いて、穴 69 が形成されたカバー層 66 をマスクにして、シリコン層 64 に対して異方性エッチングを行う。このエッチングには、例えば水酸化テトラメチルアンモニウム (TMAH: Tetramethyl ammonium Hydroxide) を用いる。続いて、カバー層 66 をマスクにして、絶縁層 63 に対してエッチングを行う。このエッチングは、FAB、HF 又は BHF により行うことが望ましい。なお、このとき、カバー層 66 の表面側の一部も除去されるが、カバー層 66 は絶縁層 63 よりも厚いので、カバー層 66 が完全に除去されることはない。続いて、カバー層 66 をマスクにして、基盤層 62 に対して異方性エッチングを行う。このエッチングは TMAH を用いて行えばよい。これにより、図 9 に示すように、ダイヤモンドチップを成形するためのモールド穴 70 が形成される。

【0035】

次に、モールド穴 70 内に、不純物 (例えばボロン) を混入させつつダイヤモンドを成長させ、これによりダイヤモンドチップ 71 を形成する (チップ形成工程: 図 10)。以下、ダイヤモンドチップ 71 の形成方法として好適な一例を挙げる。まず、メタノールまたはベンゼン等に、粒径がマイクロメートルオーダーのダイヤモンドパウダーを混ぜた溶液をつくり、その溶液中に、モールド穴 70 が形成された SOI 基板 61 を浸す。そして、溶液中に浸された SOI 基板 61 に対し、超音波発生器 (超音波洗浄機) により超音波を与えながら、例えばおよそ 4 時間放置する。これにより、溶液に接していたモールド穴 70 内およびカバー層 66 の表面等に、ダイヤモンド成長のきっかけとなる傷が形成される。続いて、ホットフィラメント化学気相堆積法 (HF-CVD) により、ダイヤモンドを成長させる。このとき、成長炉には H_2 とメタンをモル数比でメタン 3 パーセントの割合で供給する。さらに、これと同時に、p 型不純物であるボロンの原料であるトリメトキシボランを少量 (メタンに対してモル数で 2 桁下程度) 供給する。なお、この工程におけるダイヤモンドの成長は、ダイヤモンドが膜状にならない程度にとどめる。続いて、バッファードフッ酸または薄めた FH を用いて、カバー層 66 に対してエッチングを行い、カバー層 66 の表面側の一部を除去する。これにより、カバー層 66 上に成長したダイヤモンド粒もカバー層 66 の一部と共に除去される。続いて、HF-CVD により、モールド穴 70 内にボロンドープダイヤモンドを成長させ、図 10 に示すように、ダイヤモンドチップ 71 を形成する。その後、カバー層 66 をエッチングにより除去する。

【0036】

次に、シリコン層 64 において、モールド穴 70 の周辺領域であるチップ支持領域 75、およびモールド穴 70 から離れた位置に配置された回路形成領域 76 に不純物 (例えばボロン) を注入し、チップ支持領域 75 および回路形成領域 76 等に低抵抗層を形成する。そして、これにより、チップ支持部 77 および歪み検出回路 78 等を形成する (回路形成工程: 図 11 ないし 14)。具体的には、図 11 に示すように、加工面 65 上に再び SiO_2 のカバー層 72 を形成する。カバー層 72 は、以降の工程で行うイオン注入および熱処理によりシリコン層 64 の表面がダメージを受けるのを防止する役割を果たす。続いて、カバー層 72 上の一部にフォトレジスト 73 を形成する。続いて、図 12 に示すように、イオン注入装置を用いて、シリコン層 64 の表面にボロンを打ち込み、図 13 に示すように、シリコン層 64 の表面から深さおよそ 0.2 ないしは 0.8 マイクロメートルまでの領域にボロンドープ層 74 (低抵抗層) を形成する。このとき、フォトレジスト 73 により注入イオンが遮蔽されるため、シリコン層 64 内には、フォトレジスト 73 により遮蔽されていない部分に限り、ボロンドープ層 74 が形成される。このため、フォトレジスト 73 を形成するときには、少なくともチップ支持領域 75 および回路形成領域 76 にイオン注入が行われるように配慮し、かつ、チップ支持領域 75 と回路形成領域 76 との間にイオン注入が行われない部位 (高抵抗層) が形成される (残存する) ように配慮し

10

20

30

40

50

つ、フォトリジスト73をパターンニングする。続いて、シリコン層64に対して熱を加え、ボロンドープ層74においてp型を発現させる。続いて、カバー層67、72をエッチングにより除去する。続いて、チップ支持部77(33)および歪み検出回路78(36)等が、図2に示す形状となるように、シリコン層64に対してエッチングを行う。より具体的には、シリコン層64上に、チップ支持部77および歪み検出回路78等を形取ったフォトリジストを形成し、その後、例えば誘導結合プラズマ式反応性イオンエッチング(ICP-RIE: Inductively Coupled Plasma-Reactive Ion Etching)により、エッチングする。これにより、図14に示すように、シリコン層64に、チップ支持部77および歪み検出回路78が形成される。そして、チップ支持部77と歪み検出回路78との間に残存した高抵抗層は、絶縁壁部79となる。

10

【0037】

次に、シリコン層64の加工面65上に導電材料(例えばCr/Pt)からなるパターンを形成し、これによりダイヤモンドチップ71に対する電気信号の入出力を可能とする信号経路80、および歪み検出回路78に対する他の電気信号の入出力を可能とする信号経路81等を形成する(信号経路形成工程:図15)。

【0038】

次に、加工面65にフィードスルー用の穴等が形成されたヘッド基板材料82(例えばパイレックスガラス)を接合する(接合工程:図16)。その後、アルミ等をスパッタリングし、フィードスルー83および電極84を形成する。

【0039】

20

次に、基盤層62の底面側からエッチングを行い、基盤層62と絶縁層63とを除去する(除去工程:図17および図18)。具体的には、図17に示すように、例えばICP-RIEにより、基盤層62に対してエッチングを行い、基盤層62を除去する。続いて、図18に示すように、パフアードフッ酸(BHF)により、絶縁層63に対してエッチングを行うことで絶縁層63を除去し、その後、超臨界乾燥法(Supercritical drying)により全体を乾燥させる。

【0040】

最後に、ヘッド基板材料82の一部を切り離し、プローブヘッド30が完成する(図4参照)。

【0041】

30

以上のように、プローブヘッド30の製造方法では、梁32を構成するチップ支持部33(77)、絶縁壁部37(79)および歪み検出回路36(78)の材料としてSOI基板61を用いる。そして、図6ないし図18に示すすべての製造工程において、SOI基板61のシリコン層64の全体的な厚さを維持しながら、チップ支持部33(77)、絶縁壁部37(79)および歪み検出回路36(78)を形成する。さらに、図17および図18に示すように、SOI基板61の基盤層62および絶縁層63を除去し、これにより、最終的に、チップ支持部33(77)、絶縁壁部37(79)および歪み検出回路36(78)が形成されたシリコン層64のみを残存させる。かかる製造方法によれば、均一の厚さを有する梁32を形成することができる。これにより、梁32の振動の周波数を、個体間において均一にすることができる。したがって、プローブヘッド30またはSNDM分析装置・SNDM情報再生装置等の設計の段階で、梁32の振動の周波数を考慮することが可能となり、梁の振動に起因する走査不良、誤検出、情報の読取不良等に対する予防措置を講じることができる。例えば、梁32の振動の周波数を考慮して、走査速度の上限を制限することにより、強誘電体の表面の凹凸のために生ずる梁32の振動を抑え、走査不良、誤検出、情報の読取不良等を防止することができる。

40

【0042】

特に、SOIウェハを用いて多数のプローブヘッド30を量産する場合には、SOIウェハのシリコン層64の厚さが均一である限り、量産されたすべてのプローブヘッド30において梁32の厚さの均一性を確保することができる。したがって、梁32の振動のバラツキをなくし、走査不良、誤検出、情報の読取不良等を防止することができる。この点

50

は、マルチプローブヘッドを製造する場合においても有益である。

【0043】

さらに、上記製造方法では、SOI基板61の基盤層62および絶縁層63を除去して、製造開始当初から均一な厚さを有しているシリコン層64を残存させることにより、梁32を形成する。かかる製造方法によれば、たとえ梁32に歪み検出回路36（歪み検出用抵抗47）を組み込むことによって、梁32の上面および下面（梁32の振動方向と垂直な方向、すなわち強誘電体の表面と平行な方向に広がる面）の面積が大きくなっても、梁32の厚さの均一性を確保することができる。したがって、プローブヘッドに歪み検出回路36を組み込んで、梁32の振動の周波数の均一性を確保することができ、走査不良、誤検出、情報の読取不良等を防止することができる。

10

【0044】

なお、上述した実施形態では、本発明をSNDMないしSNDM情報記録に用いられるプローブヘッドに適用した場合を例にあげたが、本発明はこれに限られず、STM、AFM、熱機械式情報記録等、他の方式のSPMないし情報記録に用いられるプローブヘッドにも適用することができる。

【0045】

また、例えばAFM等の如く、導電性を有している必要性がないプローブヘッドに対して上記製造方法を適用する場合は、上述の実施例のうちチップ支持部材13（33）やダイヤモンドチップ14（34）は、ボロン等をドーピングすることによって低抵抗にする必要はない。即ち、図10におけるダイヤモンドの成長工程や図11ないし図14におけるチップ支持領域75の形成工程において、ボロン等の不純物を混入させる必要はない。このようなダイヤモンドチップ14（34）が導電性を有さないプローブヘッドであっても、均一の厚さを有する梁32を形成することができ、上述の各種利益を享受することが可能である。

20

【0046】

また、本発明は、請求の範囲および明細書全体から読み取るこのできる発明の要旨または思想に反しない範囲で適宜変更可能であり、そのような変更を伴うプローブヘッドの製造方法もまた本発明の技術思想に含まれる。

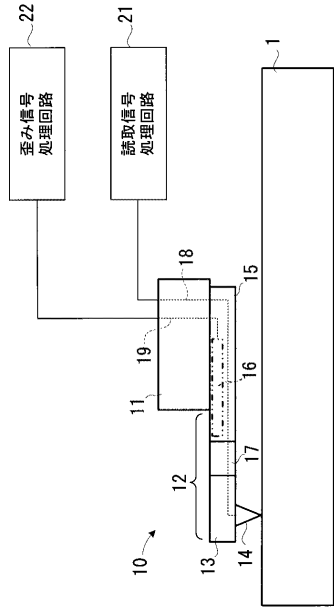
【産業上の利用分野】

【0047】

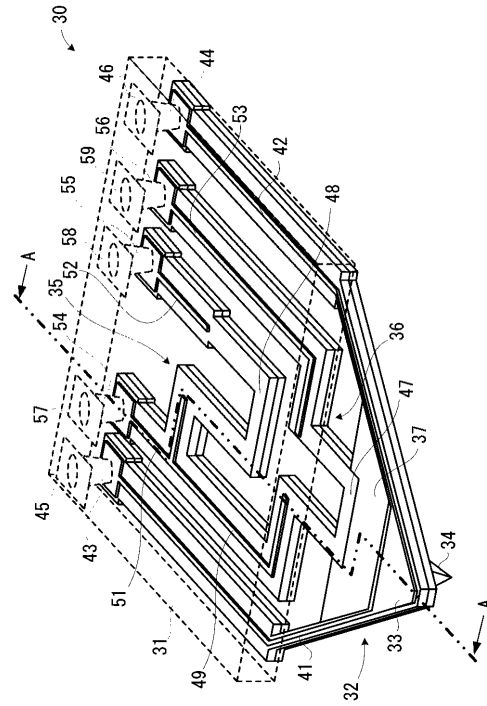
本発明に係るプローブヘッドの製造方法は、例えば走査型プローブ顕微鏡装置または走査型プローブ情報記録再生装置等の技術分野に利用可能である。

30

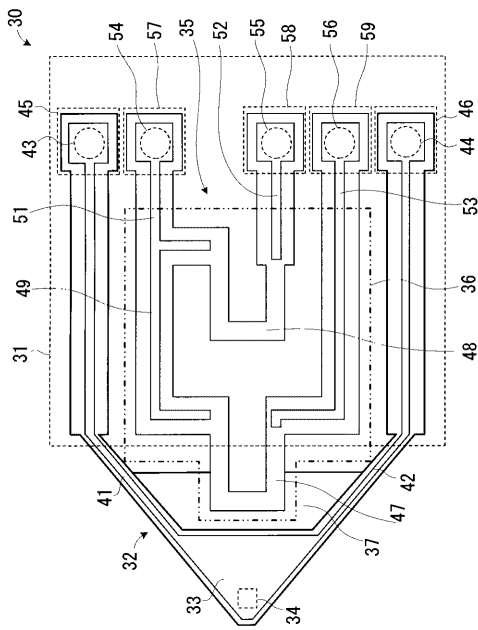
【 図 1 】



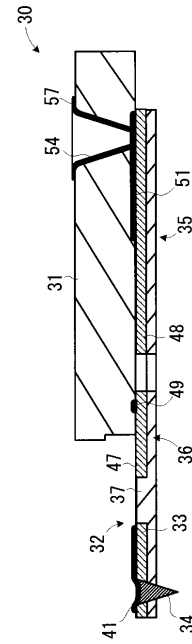
【 図 2 】



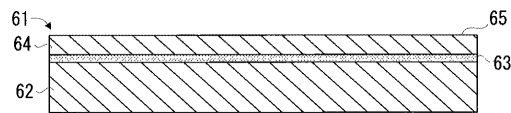
【 図 3 】



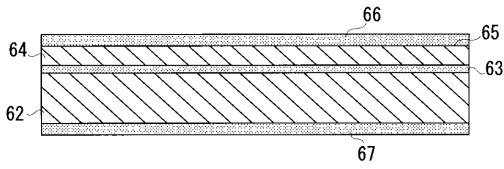
【 図 4 】



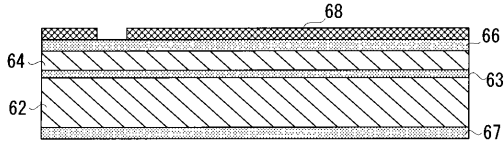
【 図 5 】



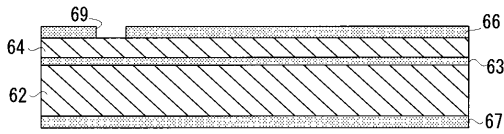
【図 6】



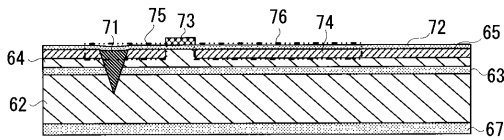
【図 7】



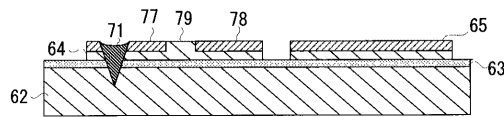
【図 8】



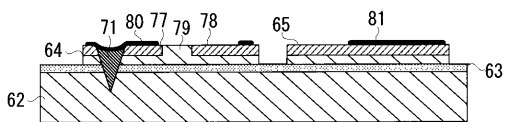
【図 13】



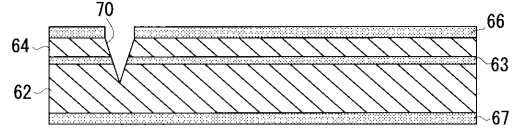
【図 14】



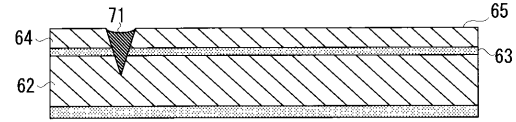
【図 15】



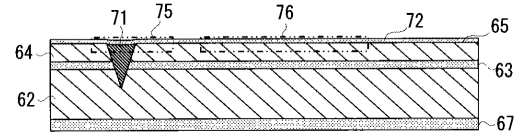
【図 9】



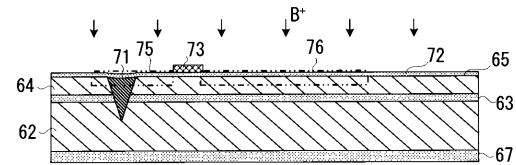
【図 10】



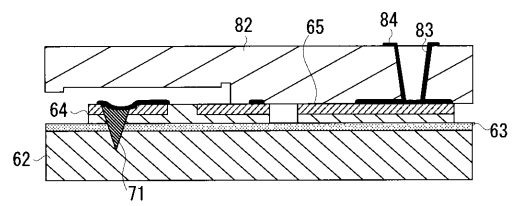
【図 11】



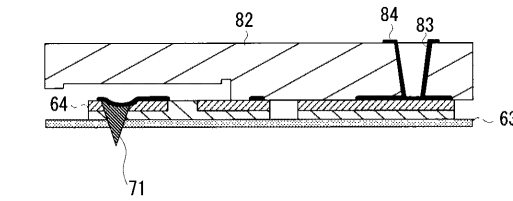
【図 12】



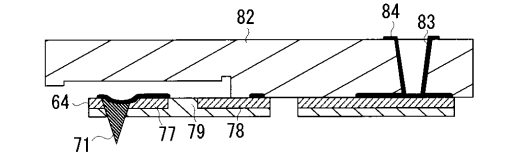
【図 16】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 小野 崇人
宮城県仙台市太白区八木山香澄町10-5-301
- (72)発明者 江刺 正喜
宮城県仙台市太白区八木山南1丁目11番地9

審査官 樋口 宗彦

- (56)参考文献 特開平07-311207(JP,A)
特開2003-279461(JP,A)
特開平10-038916(JP,A)
特開2000-065718(JP,A)
Joon Hyung Bae, et al., Scanning Diamond Probe for Nano-processing, Proceedings of the 19th Sensor Symposium, 2002年 5月30日, pp. 315-319
Joon Hyung Bae, et al., Scanning probe with an integrated diamond heater element for nanolithography, APPLIED PHYSICS LETTERS, 2003年 2月 3日, VOLUME 82, NUMBER 5, P. 814-816
Yasuo Cho, et al., Scanning nonlinear dielectric microscope, Rev. Sci. Instrum., 1996年, Vol. 67, No. 6, p.2297-2303
Hirokazu Takahashi, et al., DIAMOND PROBE FOR ULTRA-HIGH-DENSITY FERROELECTRIC DATA STORAGE BASED ON SCANNING NONLINEAR DIELECTRIC MICROSCOPY, MEMS 2004 TECHNICAL DIGEST, 2004年, p. 536-539

- (58)調査した分野(Int.Cl., DB名)
G01N13/10-13/24
JSTPlus, JST7580
PATOLIS