

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4963969号
(P4963969)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int. Cl. F I
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 Q
 HO 5 K 1/02 (2006.01) HO 5 K 1/02 J

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2007-2635 (P2007-2635)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成19年1月10日(2007.1.10)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2008-171950 (P2008-171950A)	(74) 代理人	100080816 弁理士 加藤 朝道
(43) 公開日	平成20年7月24日(2008.7.24)	(72) 発明者	林 映守 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成21年12月15日(2009.12.15)	審査官	官本 靖史
		(56) 参考文献	特開2006-310411 (JP, A)) 特開2004-119454 (JP, A))

最終頁に続く

(54) 【発明の名称】 配線基板

(57) 【特許請求の範囲】

【請求項1】

少なくとも第1乃至第 $2^n + 1$ (n は、1以上の整数)の半導体チップを搭載可能とし、前記第1乃至第 $2^n + 1$ の半導体チップのそれぞれに含まれる端子同士を分岐点を介して接続する配線を含む配線基板において、

前記第1乃至第 $2^n + 1$ の半導体チップのそれぞれに第1および第2の端子が含まれ、該第1の端子同士に係る配線基板内の第1の配線と該第2の端子同士に係る配線基板内の第2の配線とは、電氣的に接触しないように配線基板の平面方向に平行移動した位置関係にあって、

前記第1および第2のそれぞれの配線において、前記第1の半導体チップの端子への接続点からルート位置に配線され、ルートからリーフまでの深さが同一となる完全二分木構造をなし、前記第2乃至第 $2^n + 1$ の半導体チップの端子への接続点がそれぞれのリーフに位置し、該木構造の同一深さに属するブランチにそれぞれ対応する配線は、経路中にビアを含み、該ビアの長さを含んで互いに等長とされることを特徴とする配線基板。

【請求項2】

前記第1および第2のそれぞれの配線において、ルート位置およびそれぞれのノード位置にはそれぞれ第1のビアが存在し、該ルートおよびそれぞれのノードに接続されるリーフ方向の一のブランチに対応するそれぞれの配線は、それぞれ第2のビアを含み、該ルートおよびそれぞれのノードに接続されるリーフ方向の他のブランチに対応するそれぞれの配線は、それぞれ第3のビアを含み、前記第1および第2のビアの一端同士の配線長

10

20

と前記第 1 および第 3 のビアの一端同士の配線長とが等しいことを特徴とする請求項 1 記載の配線基板。

【請求項 3】

前記木構造の同一深さに属するそれぞれのブランチにおける、第 1 および第 2 のビアの一端同士の配線および第 1 および第 3 のビアの一端同士の配線は、同一の配線層に配設され、

前記木構造の同一深さに属するそれぞれのブランチにおける、第 2 のビアの他端から次ノードにおける第 1 のビアの他端への配線および第 3 のビアの他端から次ノードにおける他の第 1 のビアの他端への配線は、他の同一の配線層に配設されることを特徴とする請求項 2 記載の配線基板。

10

【請求項 4】

前記第 1 の半導体チップの端子への接続点から前記ルートにおける第 1 のビアの他端への配線、それぞれのブランチにおける第 2 のビアの他端から次ノードにおける第 1 のビアの他端への配線、それぞれのブランチにおける第 2 のビアの他端からリーフにおける接続点への配線、それぞれのブランチにおける第 3 のビアの他端から次ノードにおける他の第 1 のビアの他端への配線、およびそれぞれのブランチにおける第 3 のビアの他端から他のリーフにおける接続点への配線は、第 1 の配線層に配設され、

前記第 1 および第 2 のビアの一端同士の配線と前記第 1 および第 3 のビアの一端同士の配線とは、第 2 の配線層に配設されることを特徴とする請求項 3 記載の配線基板。

【請求項 5】

前記第 1 乃至第 $2^n + 1$ の半導体チップと、請求項 1 乃至 4 のいずれか一に記載の配線基板とを備える電子機器。

20

【請求項 6】

少なくとも第 1 乃至第 3 の半導体チップを搭載し、

前記第 1 乃至第 3 の半導体チップ各々の第 1 端子間を接続する第 1 の配線と、

前記第 1 乃至第 3 の半導体チップ各々の第 2 端子間を接続する第 2 の配線と、

を有し、

前記第 1、第 2 の配線の各々は、

第 1 のビアと、

第 2 のビアと、

前記第 1 のビアの一端と前記第 2 のビアの一端とを一の配線層で接続する第 1 の配線パターンと、

前記第 1 の配線パターンの中点に形成された分岐点と、

一端が前記分岐点に接続された第 2 の配線パターンと、

一端が前記第 1 のビアの他端に他の配線層で接続された第 3 の配線パターンと、

一端が前記第 2 のビアの他端に前記他の配線層で接続され前記第 3 の配線パターンと

等長である第 4 の配線パターンと、

を有し、

前記第 1 の配線は、前記第 2 の配線パターンの他端が前記第 1 の半導体チップの前記第 1 端子への接続点に、前記第 3 の配線パターンの他端が前記第 2 の半導体チップの前記第 1 端子への接続点に、前記第 4 の配線パターンの他端が前記第 3 の半導体チップの前記第 1 端子への接続点に、それぞれ接続され、

前記第 2 の配線は、前記第 2 の配線パターンの他端が前記第 1 の半導体チップの前記第 2 端子への接続点に、前記第 3 の配線パターンの他端が前記第 2 の半導体チップの前記第 2 端子への接続点に、前記第 4 の配線パターンの他端が前記第 3 の半導体チップの前記第 2 端子への接続点に、それぞれ接続され、

前記第 1 の配線と前記第 2 の配線とは、電氣的に接触しないように配線基板の平面方向に平行に写像された関係にある配線基板。

【発明の詳細な説明】

【技術分野】

30

40

50

【 0 0 0 1 】

本発明は、配線基板に関し、特に複数の半導体チップのそれぞれに含まれる端子同士を分岐点を介して接続する配線を含む配線基板に関する。

【 背景技術 】

【 0 0 0 2 】

複数の半導体チップ、例えば、1つのメモリコントローラチップと、複数のランダムアクセスメモリ（以下RAM）とを搭載し、基板上で1対多接続を実現するような電子機器は、極めて多種に亘り広く存在する。このような基板には、半導体パッケージ基板、プリント回路基板、システム・イン・パッケージ基板、マルチ・チップ・モジュール基板など、複数の半導体チップや半導体モジュールを実装する基板に係る。

10

【 0 0 0 3 】

メモリコントローラチップと複数のRAMチップ間の接続においては、メモリコントローラチップから、データ、アドレス、クロック、クロックイネーブル、チップセレクトに関する複数の信号の配線が、バス配線で引き出されて途中で分岐され、複数のRAMチップへ接続される。このようなメモリコントローラチップとRAMチップの2種類からなるシステムの機能を基板内で完結させるためには、メモリコントローラチップとRAMチップの間のバス配線を全て等長にして、信号伝達における配線遅延による位相差を無くすことが好ましい。

【 0 0 0 4 】

そこでバス配線に係る全ての配線の配線長を等長にするプリント回路板が特許文献1に開示されている。図3は、特許文献1に開示されているプリント回路板の構造を模式的に示す図である。図3(A)は、正面図である。図3において、1つのメモリコントローラIC102と2つのRAM103、104とがプリント配線板100内に実装されている。プリント配線板100は、表裏両面に配線を有する2層からなる半導体パッケージ基板である。110はメモリコントローラIC102とRAM103を接続するバス配線で、プリント配線板100の表面に配線されている。111はメモリコントローラIC102とRAM104を接続するバス配線であって、メモリコントローラIC102から延びたバス配線110をビア120により分岐し、プリント配線板100の裏面に接続して配線されている。バス配線110とバス配線111は、分岐位置となるビア120から、それぞれがRAM103、104に向かって線対称に引き出されている。また、バス配線111は、ビア121によって再びプリント配線板100の表面へと配線され、RAM103に接続される。

20

30

【 0 0 0 5 】

ここでビア120は、バス配線110のメモリコントローラIC102からビア120までの配線が、各配線が平行で等しい長さになる位置に設けられる。また、バス配線110におけるビア120から103までの配線長と、バス配線111におけるビア120からRAM104までの配線長が直線的に等しくなる位置に設けられる。RAM103と104は、全く同じRAMチップであるため、各配線の接続位置も等しい。したがって、ビア120は、RAM103と104の並びと平行で、かつRAM103と104の中間点に配置されることになる。

40

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 4 - 1 1 9 4 5 4 号 公 報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

図3(B)は、図3(A)に示されるプリント回路板を模式的に示す斜視図である。バス配線110におけるビア120からRAM103までの配線長と、バス配線111におけるビア120からRAM104までの配線長が等しくなるような構造を有する。しかしながら、図3(B)を参照するならば、ビア120からRAM103に至る配線の経路長と、ビア120からRAM104に至る配線の経路長とは、完全には等長とならない。す

50

なわち、メモリコントローラIC102からRAM104までの配線において、表面と裏面とを接続して配線するためにビア120およびビア121が用いられる。したがって、メモリコントローラIC102からRAM104までの配線長は、メモリコントローラIC102からRAM103までの配線長よりもビア120およびビア121の長さ分だけ長くなる。

【0008】

ところで、近年、メモリの高速化への要求がギガビット超まで高まり、配線遅延による信号伝送への影響が重要視されてきている。そのため、メモリコントローラチップとRAMチップ間のバス配線を全て等長とすることの必要性がますます高まってくる。これに対し、従来の技術によれば、ビアの長さ分が誤差となってバス配線を完全には全て等長とすることができない。したがって、基板内の配線による信号伝達の遅延差を生じてしまい、ギガビット超での動作において安定的な動作が保証されない虞が増大してしまう。

【課題を解決するための手段】**【0009】**

本発明者は、半導体パッケージ基板に平面実装した複数の半導体チップ間の接続を完全に等長にするには、ビアの長さも考慮して設計するべきであると考え、本発明を創案するに至った。

【0010】

本発明の1つのアスペクトに係る配線基板は、少なくとも第1乃至第 $2^n + 1$ (n は、1以上の整数)の半導体チップを搭載可能とし、第1乃至第 $2^n + 1$ の半導体チップのそれぞれに含まれる端子同士を分岐点を介して接続する配線を含む。この配線基板において、第1乃至第 $2^n + 1$ の半導体チップのそれぞれに第1および第2の端子が含まれ、第1の端子同士に係る配線基板内の第1の配線と第2の端子同士に係る配線基板内の第2の配線とは、電気的に接触しないように配線基板の平面方向に平行移動した位置関係にある。また、第1および第2のそれぞれの配線において、第1の半導体チップの端子への接続点がルートに配線され、ルートからリーフまでの深さが同一となる完全二分木構造をなし、第2乃至第 $2^n + 1$ の半導体チップの端子への接続点がそれぞれのリーフに位置し、木構造の同一深さに属するブランチにそれぞれ対応する配線は、経路中にビアを含み、ビアの長さを含んで互いに等長とされる。

【0011】

本発明の他のアスペクトに係る配線基板は、少なくとも第1および第2の半導体チップを搭載し、第1の接続点と第1および第2の半導体チップ各々の第1端子間を接続する第1の配線と、第2の接続点と第1および第2の半導体チップ各々の第2端子間を接続する第2の配線とを有し、第1および第2の配線の各々は、第1のビアと、第2のビアと、第1のビアの一端と第2のビアの一端とを一の配線層で接続する第1の配線パターンと、第1の配線パターンの中点に形成された分岐点と、一端が分岐点に接続された第2の配線パターンと、一端が第1のビアの他端に他の配線層で接続された第3の配線パターンと、一端が第2のビアの他端に他の配線層で接続され第3の配線パターンと等長である第4の配線パターンと、を有し、第1の配線は、第2の配線パターンの他端が第1の接続点に、第3の配線パターンの他端が第1の半導体チップの第1端子への接続点に、第4の配線パターンの他端が第2の半導体チップの第1端子への接続点に、それぞれ接続され、第2の配線は、第2の配線パターンの他端が第2の接続点に、第3の配線パターンの他端が第1の半導体チップの第2端子への接続点に、第4の配線パターンの他端が第2の半導体チップの第2端子への接続点に、それぞれ接続され、第1の配線と第2の配線とは、電気的に接触しないように配線基板の平面方向に平行に写像された関係にある。

【0012】

本発明の他のアスペクトに係る配線基板は、少なくとも第1乃至第3の半導体チップを搭載し、第1乃至第3の半導体チップ各々の第1端子間を接続する第1の配線と、第1乃至第3の半導体チップ各々の第2端子間を接続する第2の配線とを有し、第1、第2の配線の各々は、第1のビアと、第2のビアと、第1のビアの一端と第2のビアの一端とを一

10

20

30

40

50

の配線層で接続する第1の配線パターンと、第1の配線パターンの中点に形成された分岐点と、一端が分岐点に接続された第2の配線パターンと、一端が第1のビアの他端に他の配線層で接続された第3の配線パターンと、一端が第2のビアの他端に他の配線層で接続され第3の配線パターンと等長である第4の配線パターンと、を有し、第1の配線は、第2の配線パターンの他端が第1の半導体チップの第1端子への接続点に、第3の配線パターンの他端が第2の半導体チップの第1端子への接続点に、第4の配線パターンの他端が第3の半導体チップの第1端子への接続点に、それぞれ接続され、第2の配線は、第2の配線パターンの他端が第1の半導体チップの第2端子への接続点に、第3の配線パターンの他端が第2の半導体チップの第2端子への接続点に、第4の配線パターンの他端が第3の半導体チップの第2端子への接続点に、それぞれ接続され、第1の配線と第2の配線とは、電氣的に接触しないように配線基板の平面方向に平行に写像された関係にある。

10

【発明の効果】

【0013】

本発明によれば、第1の半導体チップから第2乃至第 $2^n + 1$ の半導体までの経路長の長さをビアの長さも含めて完全に等長とし、基板内の配線による信号伝送の遅延差を極めて小さくすることが可能となる。

【発明を実施するための最良の形態】

【0014】

本発明の実施形態に係る配線基板(図1の10)は、少なくとも第1~第 $2^n + 1$ の半導体チップ(図1の11~19)を搭載可能とし、第1~第 $2^n + 1$ の半導体チップのそれぞれに含まれる端子同士を分岐点を介して接続する配線を含む。この配線基板において、第1~第 $2^n + 1$ の半導体チップのそれぞれに第1および第2の端子が含まれ、第1の端子同士に係る配線基板内の第1の配線と第2の端子同士に係る配線基板内の第2の配線とは、電氣的に接触しないように配線基板の平面方向に平行移動した位置関係にある。また、第1および第2のそれぞれの配線において、第1の半導体チップの端子への接続点(図1の21a)からルート(根:最上位のノードのこと)の位置(図1のビア31a)に配線され、ルートからリーフ(葉)までの深さが同一となる完全二分木構造をなし、第2~第 $2^n + 1$ の半導体チップの端子への接続点(図1の22a~29a)がそれぞれのリーフに位置し、木構造の同一深さに属するブランチ(枝)にそれぞれ対応する配線は、経路中にビア(図1の32a、33a、35a、36a、38a、39a、41a、42a、44a、45a、47a、48a、50a、51a)を含み、ビアの長さを含んで互いに等長とされる。ここでビアとは、多層基板内のそれぞれ別の配線層に配設されている2本以上の配線同士を接続するための部品のことである。

20

30

【0015】

例えば、 $n = 1$ の場合に、第1、第2および第3の半導体チップを搭載し、第1の半導体チップのI/Oが接続される端子と第2、第3の半導体チップ各々のI/Oが接続される端子とを接続する第1の配線と第2の配線とを有し、第1、第2の配線が第1の配線層と第2の配線層とによって形成された半導体チップ搭載可能な基板である。この基板において、第1、第2、第3の半導体チップ各々における端子間を結ぶ3つの直線が平行となるように、第1、第2、第3の半導体チップが基板上に配置されてもよい。さらに、第1、第2の配線の各々は、第1のビアと、第2のビアと、第1のビアの一端と第2のビアの一端とを接続する第1の配線層で形成された第1の配線パターンと、第1の配線パターンの中点に形成された分岐点と、分岐点と第1の半導体チップとを接続する第2の配線パターンと、第1のビアの他端と第2の半導体チップとを接続する第3の配線パターンと、第2のビアの他端と第3の半導体チップとを接続する第4の配線パターンとを有し、第1の配線と第2の配線とは、3つの直線と同一方向に平行に写像された関係にあってもよい。ここで、配線パターンとは、基板内全体の配線のある一部分の意味である。

40

【0016】

また、配線基板において、第1および第2のそれぞれの配線において、ルートの位置およびそれぞれのノード(節点)の位置にはそれぞれ第1のビア(図1の31a、34a、

50

37a、40a、43a、46a、49a)が存在し、該ルートおよびそれぞれのノードに接続されるリーフ方向の一のブランチに対応する配線は、それぞれ第2のビア(図1の32a、35a、38a、41a、44a、47a、50a)を含み、該ルートおよびそれぞれのノードに接続されるリーフ方向の他のブランチに対応する配線は、それぞれ第3のビア(図1の33a、36a、39a、42a、45a、48a、51a)を含み、第1および第2のビアの一端間の配線長と第1および第3のビアの一端間の配線長とが等しいことが好ましい。

【0017】

さらに、配線基板において、木構造の同一深さに属するそれぞれのブランチにおける、第1および第2のビアの一端同士の配線および第1および第3のビアの一端同士の配線は、同一の配線層に配設され、木構造の同一深さに属するそれぞれのブランチにおける、第2のビアの他端から次ノードにおける第1のビアの他端への配線および第3のビアの他端から次ノードにおける他の第1のビアの他端への配線は、他の同一の配線層に配設されることが好ましい。

10

【0018】

また、配線基板において、第1の半導体チップの端子への接続点からルートの位置における第1のビアの他端への配線、それぞれのブランチにおける第2のビアの他端から次ノードにおける第1のビアの他端への配線、それぞれのブランチにおける第2のビアの他端からリーフにおける接続点への配線、それぞれのブランチにおける第3のビアの他端から次ノードにおける他の第1のビアの他端への配線、およびそれぞれのブランチにおける第3のビアの他端から他のリーフにおける接続点への配線は、第1の配線層に配設され、第1および第2のビアの一端同士の配線と第1および第3のビアの一端同士の配線とは、第2の配線層に配設されることが好ましい。

20

【0019】

電子機器は、第1～第 $2^n + 1$ の半導体チップと、上記の配線基板とを備えていてもよい。

【0020】

以上のような構造の配線基板によれば、第1の半導体チップから第2～第 $2^n + 1$ の半導体までの経路長の長さをビアの長さも含めて完全に等長とすることができる。したがって、配線基板内の配線による信号伝送の遅延差を極めて小さくすることが可能となる。以下、実施例に即し、図面を参照して詳しく説明する。

30

【実施例1】

【0021】

図1は、本発明の第1の実施例に係る配線基板の構造を模式的に示す図である。ここでは、 $n = 3$ である場合の例を示す。図1において、配線基板10は、少なくとも第1および第2の配線層(例えば表面と裏面)を有し、半導体チップ11～19を搭載可能とする。例えば半導体チップ11は、メモリコントローラであって、半導体チップ12～19は、メモリコントローラで制御されるRAMである。配線基板10は、半導体チップ11～19のそれぞれに含まれる端子同士を分岐点を介して接続する配線を含む。ここで、半導体チップ11から半導体チップ12～19に至るそれぞれの配線は、ルートからリーフまでの深さが同一となる完全二分木構造をなす。

40

【0022】

例えば、半導体チップ11への接続点(パッド)21aに係る配線において、接続点21aからルートの位置にあるビア31aの他端に対し表面の配線61aで接続される。そして、接続点21aに係る配線は、ルートからリーフまでの深さが同一となる完全二分木構造をなし、半導体チップ12～19の端子へのそれぞれ接続点22a～29aがそれぞれのリーフに位置する。また、木構造における同一深さに属するブランチにそれぞれ対応する配線は、経路中にビアを含み、ビアの長さを含んで互いに等長とされる。

【0023】

すなわち、木構造における第1の深さに属するブランチにおいて、

50

(1) ピア 3 1 a の一端から裏面の配線 6 2 a を経由してピア 3 2 a の一端に至り、ピア 3 2 a の他端から表面の配線 6 4 a を経由してノードとなるピア 3 4 a の他端に至る経路長と、

(2) ピア 3 1 a の一端から裏面の配線 6 3 a を経由してピア 3 3 a の一端に至り、ピア 3 3 a の他端から表面の配線 6 9 a を経由してノードとなるピア 3 7 a の他端に至る経路長とは、

同一である。

【 0 0 2 4 】

ここで、ピア 3 2 a とピア 3 3 a の長さは、等しく、配線 6 2 a、6 3 a の長さおよび配線幅は、それぞれ等しい。なお、配線 6 2 a、6 3 a は、必ずしも裏面に配設されなくともよく、他の配線と交差しなければ同一の配線層（例えば多層の配線層における中間層）に配設されるようにすればよい。また、配線 6 4 a、6 9 a の長さおよび配線幅は、それぞれ等しい。なお、配線 6 4 a、6 9 a は、必ずしも表面に配設されなくともよく、他の配線と交差しなければ同一の配線層（例えば多層の配線層における他の中間層）に配設されるようにすればよい。

【 0 0 2 5 】

また、木構造における第 2 の深さに属するブランチにおいて、

(1) ピア 3 4 a の一端から裏面の配線 6 5 a を経由してピア 3 5 a の一端に至り、ピア 3 5 a の他端から表面の配線 6 7 a を経由してノードとなるピア 4 0 a の他端に至る経路長と、

(2) ピア 3 4 a の一端から裏面の配線 6 6 a を経由してピア 3 6 a の一端に至り、ピア 3 6 a の他端から表面の配線 6 8 a を経由してノードとなるピア 4 3 a の他端に至る経路長と、

(3) ピア 3 7 a の一端から裏面の配線 7 0 a を経由してピア 3 8 a の一端に至り、ピア 3 8 a の他端から表面の配線 7 2 a を経由してノードとなるピア 4 6 a の他端に至る経路長と、

(4) ピア 3 7 a の一端から裏面の配線 7 1 a を経由してピア 3 9 a の一端に至り、ピア 3 9 a の他端から表面の配線 7 3 a を経由してノードとなるピア 4 9 a の他端に至る経路長とは、

同一である。

【 0 0 2 6 】

ここで、ピア 3 4 a およびピア 3 7 a の長さは等しく、ピア 3 5 a、3 6 a、3 8 a、3 9 a の長さは、それぞれ等しく、配線 6 5 a、6 6 a、7 0 a、7 1 a の長さおよび配線幅は、それぞれ等しい。なお、配線 6 5 a、6 6 a、7 0 a、7 1 a は、必ずしも裏面に配設されなくともよく、他の配線と交差しなければ同一の配線層（例えば多層の配線層における中間層）に配設されるようにすればよい。また、配線 6 7 a、6 8 a、7 2 a、7 3 a の長さおよび配線幅は、それぞれ等しい。なお、配線 6 7 a、6 8 a、7 2 a、7 3 a は、必ずしも表面に配設されなくともよく、他の配線と交差しなければ同一の配線層（例えば多層の配線層における他の中間層）に配設されるようにすればよい。

【 0 0 2 7 】

さらに、木構造における第 3 の深さに属するブランチにおいて、

(1) ピア 4 0 a の一端から裏面の配線 8 1 a を経由してピア 4 1 a の一端に至り、ピア 4 1 a の他端から表面の配線 8 3 a を経由して半導体チップ 1 2 への接続点（パッド）2 2 a に至る経路長と、

(2) ピア 4 0 a の一端から裏面の配線 8 2 a を経由してピア 4 2 a の一端に至り、ピア 4 2 a の他端から表面の配線 8 4 a を経由して半導体チップ 1 3 への接続点（パッド）2 3 a に至る経路長と、

(3) ピア 4 3 a の一端から裏面の配線 8 5 a を経由してピア 4 4 a の一端に至り、ピア 4 4 a の他端から表面の配線 8 7 a を経由して半導体チップ 1 4 への接続点（パッド）2 4 a に至る経路長と、

10

20

30

40

50

(4) ピア43aの一端から裏面の配線86aを経由してピア45aの一端に至り、ピア45aの他端から表面の配線88aを経由して半導体チップ15への接続点(パッド)25aに至る経路長と、

(5) ピア46aの一端から裏面の配線89aを経由してピア47aの一端に至り、ピア47aの他端から表面の配線91aを経由して半導体チップ16への接続点(パッド)26aに至る経路長と、

(6) ピア46aの一端から裏面の配線90aを経由してピア48aの一端に至り、ピア48aの他端から表面の配線92aを経由して半導体チップ17への接続点(パッド)27aに至る経路長と、

(7) ピア49aの一端から裏面の配線93aを経由してピア50aの一端に至り、ピア50aの他端から表面の配線95aを経由して半導体チップ18への接続点(パッド)28aに至る経路長と、

(8) ピア49aの一端から裏面の配線94aを経由してピア51aの一端に至り、ピア51aの他端から表面の配線96aを経由して半導体チップ19への接続点(パッド)29aに至る経路長とは、

同一である。

【0028】

ここで、ピア40a、43a、46a、49aの長さは、それぞれ等しく、ピア41a、42a、44a、45a、47a、48a、50a、51aの長さは、それぞれ等しい。また、配線81a、82a、85a、86a、89a、90a、93a、94aの長さおよび配線幅は、それぞれ等しい。なお、配線81a、82a、85a、86a、89a、90a、93a、94aは、必ずしも裏面に配設されなくともよく、他の配線と交差しなければ同一の配線層(例えば多層の配線層における中間層)に配設されるようにすればよい。さらに、配線83a、84a、87a、88a、91a、92a、95a、96aの長さおよび配線幅は、それぞれ等しい。

【0029】

以上、接続点21aに係る配線について説明したが、接続点21bに係る配線、接続点21cに係る配線についても同様の構造を有するものとする。そして、接続点21aに係る配線、接続点21bに係る配線、および接続点21cに係る配線は、それぞれ電氣的に接触しないように配線基板の平面方向に平行移動した位置関係にある。また、接続点21aに係る配線および接続点21bに係る配線間の距離と、接続点21bに係る配線および接続点21cに係る配線間の距離とは、バス配線とする場合に、等しいことが好ましい。さらに、図1において、それぞれの配線を直線で表示しているが、必ずしも直線である必要はない。なお、接続点21bに係る配線、および接続点21cに係る配線における符号は、図示の煩雑さを避けるために一部省略しているが、接続点21aに係る配線に準じて付されるものとする。また、ここでは配線が3組(接続点21aに係る配線、接続点21bに係る配線、接続点21cに係る配線)である場合について説明したが、2組以上であればよい。さらに、木構造における深さが $n=3$ である場合を図示したが、 n は1以上であればよい。

【0030】

以上のような構造を有する配線基板10において、接続点21aから接続点22a~29aにそれぞれつながる経路の配線、接続点21bから接続点22b~29bにそれぞれつながる経路の配線、接続点21cから接続点22c~29cにそれぞれつながる経路の配線は、ピアの長さも含めて完全な等長配線となっており、配線遅延の差はゼロとなる。

【0031】

また、本発明では配線が等長であるのみならず、その配線の構成要素(配線を構成する各パーツ)が同じ配線層で構成されている。このことは、たとえ第1配線層と第2配線層の抵抗成分や容量成分が異なっても、配線の構成要素に等しく影響する。従って電氣的にみても等遅延を達成することが可能となっている。

【0032】

10

20

30

40

50

なお、上記では二分木構造の末端であるリーフの位置（図1の22a～29a）にすべて半導体チップを搭載可能とする構成を示している。しかしながら本願発明は、このリーフ部分の一部が、単に終端されていてもよい（例えば終端抵抗を入れるなど）。このように終端を加えることによって、3つ以上の任意の半導体チップの接続を等長に接続が可能となる。

【0033】

さらに、図1に示すn段構成の二分木構造の配線のうち、少なくとも半導体チップ11と半導体チップ12、13との信号遅延差をなくしたい場合は、図1の構成のうち半導体チップ11と接続される例えばビア40aに相当するノードまでの配線パターンに関し、半導体チップ12と13は、ビア40aの分岐点から先が同一構成であればよい。

10

【0034】

図1では、少なくとも半導体チップ11、12、13を搭載し、半導体チップ11、12、13各々の端子への接続点21a、22a、23a間を接続する第1の配線と、半導体チップ11、12、13各々の端子への接続点21b、22b、23b間を接続する第2の配線が構成されている。

【0035】

このとき、半導体チップ11の端子への接続点21a、21bを結ぶ直線P1、半導体チップ12の端子への接続点22a、22bを結ぶ直線P2、半導体チップ13の端子への接続点23a、23bを結ぶ直線P3が平行になるように半導体チップを配置する。

【0036】

ここで第1の配線は、第1のビア41aと、第2のビア42aと、第1のビア41aの一端と第2のビア42aの一端とを一の配線層（図1では第2配線層）で接続する第1の配線パターン（81aと82aをまとめたもの）と、第1の配線パターンの中点に形成された分岐点（40a）と、一端が分岐点（40a）に接続された第2の配線パターン（21aから31a、32a、34a、35aを經由して40aまでの配線）と、一端が第1のビアの他端に他の配線層（図1では第1配線層）で接続された第3の配線パターン（83a）と、一端が第2のビアの他端に他の配線層（図1では第1配線層）で接続され第3の配線パターンと等長である第4の配線パターン（84a）とで構成されている。

20

【0037】

そして、第1の配線は、第2の配線パターン（21aから31a、32a、34a、35aを經由して40aまでの配線）の他端が半導体チップ11の第1端子への接続点（21a）に、第3の配線パターン（83a）の他端が半導体チップ12の第1端子への接続点（22a）に、第4の配線パターン（84a）の他端が半導体チップ13の第1端子への接続点（23a）に、それぞれ接続される。

30

【0038】

同様に、第2の配線は、第1のビア41bと、第2のビア42bと、第1のビア41bの一端と第2のビア42bの一端とを一の配線層（図1では第2配線層）で接続する第1の配線パターン（81bと82bをまとめたもの）と、第1の配線パターンの中点に形成された分岐点（40b）と、一端が分岐点（40b）に接続された第2の配線パターン（21bから31b、32b、34b、35bを經由して40bまでの配線）と、一端が第1のビアの他端に他の配線層（図1では第1配線層）で接続された第3の配線パターン（83b）と、一端が第2のビアの他端に他の配線層（図1では第1配線層）で接続され第3の配線パターンと等長である第4の配線パターン（84b）とで構成されている。

40

【0039】

そして、第2の配線は、第2の配線パターン（21bから31b、32b、34b、35bを經由して40bまでの配線）の他端が半導体チップ11の第2端子への接続点（21b）に、第3の配線パターン（83b）の他端が半導体チップ12の第2端子への接続点（22b）に、第4の配線パターン（84b）の他端が半導体チップ13の第2端子への接続点（23b）に、それぞれ接続される。

【0040】

50

このように構成された第1の配線と第2の配線とは、直線P1、P2、P3と同一方向に、電氣的に接触しないように配線基板の平面方向に平行に写像された関係にある。

【0041】

図1において上述のように構成すれば半導体チップ11、12、13について、半導体チップ11と半導体チップ12、13の接続配線をビアのみならず配線層の同一性を確保した配線構造が可能になる。

【0042】

また、図1の配線基板10において、半導体チップ11は、配線基板10には備えず、接続点21a、21b、21cを配線基板10の外部接続端子としてもよい。このような基板の場合、外部の半導体チップ11の端子から外部接続端子とした接続点21a、21b、21cまでを等長配線すれば本願発明を実施することができる。

【実施例2】

【0043】

図2は、本発明の第2の実施例に係る配線基板の構造を模式的に示す図である。図2(A)、図2(B)は、それぞれ配線基板10aの平面図、斜視図を表す。ここでは、 $n = 1$ である場合の例を示す。図2において、図1と同じ符号は、同一物を表し、説明を省略する。

【0044】

図2において、半導体チップ11の端子(ボンディングパッド)1aからボンディングワイヤ2aによって接続点(パッド)21aに配線がなされる。接続点(パッド)21b、21c、21dに関して同様に配線がなされる。また、半導体チップ12、13についても同様に配線がなされる。なお、接続点21c、21dに係る配線の符号は、図示の簡略化のため、省略してある。

【0045】

接続点21aに係る配線、接続点21bに係る配線、接続点21cに係る配線、接続点21dに係る配線について、実施例1と同様の配線構造を有する。ただし、ここでは木構造における深さは、 $n = 1$ であって、ビア32aの他端が配線83aに接続され、ビア33aの他端が配線84aに接続される。

【0046】

以上のような構造を有する配線基板10aにおいて、接続点21aから接続点22a、23aにそれぞれつながる経路の配線、接続点21bから接続点22b、23bにそれぞれつながる経路の配線、接続点21cから接続点22c、23cにそれぞれつながる経路の配線、接続点21dから接続点22d、23dにそれぞれつながる経路の配線は、ビアの長さも含めて完全な等長配線となっている。ここで、半導体チップ11、12、13各々の端子と半導体チップ11、12、13各々の端子への接続点との間は、たとえば半導体チップ上のバンプと基板上のパッドとを結ぶ半田ボール、ワイヤボンディングやリード端子などが介在するが、この長さはほぼ同一とみなせる。したがって、ボンディングワイヤの長さがそれぞれ同一である限り、配線遅延の差はゼロとなる。なお、図2では、半導体チップから配線基板にボンディングワイヤを介して接続する例を示したが、半導体チップがリード端子を有するような場合には、リード端子を配線基板の接続点に接続すればよい。

【0047】

なお、図2の配線構造における配線61a、61b、・・・と、実施例1で説明した第2の配線パターンとの違いは単に、実施例1で説明した第1の配線および第2の配線それぞれの第2の配線パターンの構成の違いにとらえることができる。

【0048】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

10

20

30

40

50

【0049】

【図1】本発明の第1の実施例に係る配線基板の構造を模式的に示す図である。

【図2】本発明の第2の実施例に係る配線基板の構造を模式的に示す図である。

【図3】従来のプリント回路の構造を模式的に示す図である。

【符号の説明】

【0050】

1 a 端子

2 a ボンディングワイヤ

10、10 a 配線基板

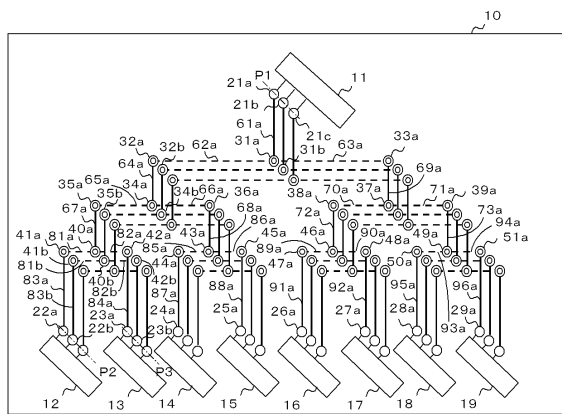
11~19 半導体チップ

21 a、21 b、21 c、22 a~29 a、22 b、23 b 接続点

31 a~51 a、31 b~35 b、40 b~42 b ビア

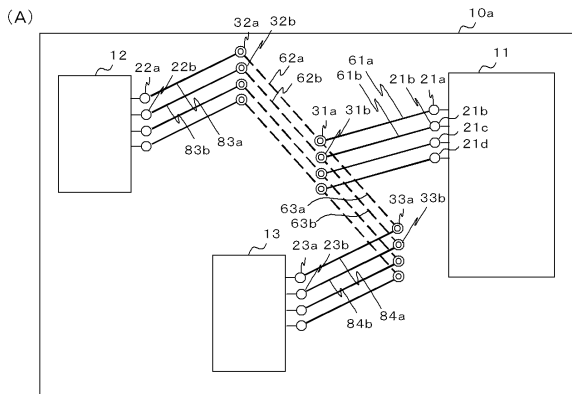
61 a~73 a、61 b~63 b、81 a~96 a、81 b~84 b 配線

【図1】

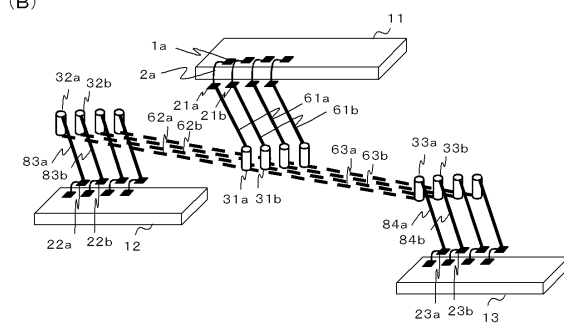


◎ :ビア
 ○ :端子への接続点
 — :第1配線層での配線
 - - - :第2配線層での配線

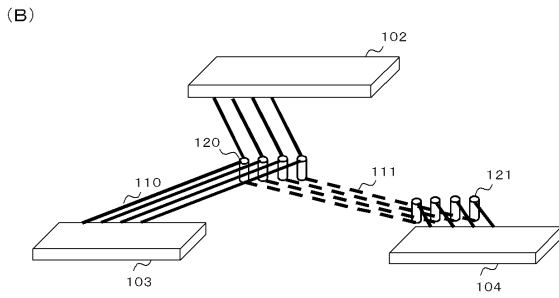
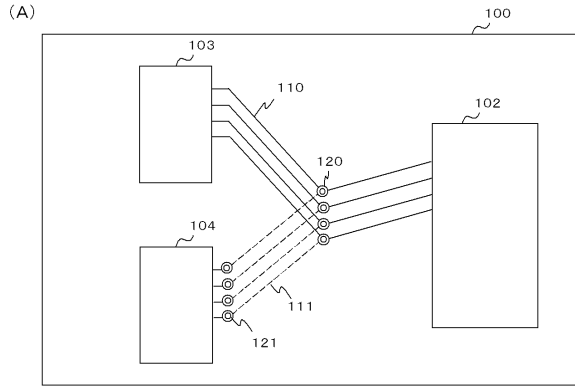
【図2】



(B)



【 図 3 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 3 / 1 2

H 0 5 K 1 / 0 2