

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5395784号  
(P5395784)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年10月25日(2013.10.25)

(51) Int.Cl.	F I	
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00	6 3 2 Z
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 0 1 Q
G 0 6 F 12/16 (2006.01)	G 1 1 C 17/00	6 0 1 D
H 0 1 L 21/8247 (2006.01)	G 1 1 C 17/00	6 3 1
H 0 1 L 27/115 (2006.01)	G 1 1 C 17/00	6 0 1 Z
請求項の数 6 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2010-291304 (P2010-291304)	(73) 特許権者	000003078
(22) 出願日	平成22年12月27日(2010.12.27)		株式会社東芝
(65) 公開番号	特開2012-138158 (P2012-138158A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成24年7月19日(2012.7.19)	(74) 代理人	100108855
審査請求日	平成25年2月21日(2013.2.21)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎
最終頁に続く			

(54) 【発明の名称】 半導体記憶システム

(57) 【特許請求の範囲】

【請求項1】

第1の半導体記憶装置と、  
第2の半導体記憶装置と、

前記第1の半導体記憶装置と第2の半導体記憶装置に共通接続され、前記第1の半導体記憶装置と第2の半導体記憶装置に電源を供給する電源配線と、

前記第1の半導体記憶装置及び第2の半導体記憶装置のそれぞれに設けられ、前記電源配線の電源電圧を検知する電圧検知回路と、

前記第1の半導体記憶装置及び第2の半導体記憶装置のそれぞれに設けられ、前記電圧検知回路により前記電源電圧の低下が検知された場合、電源電圧が復帰するまで、前記第1の半導体記憶装置、又は第2の半導体記憶装置の動作を、次の動作に遷移させない制御回路とを具備することを特徴とする半導体記憶システム。

【請求項2】

前記第1の半導体記憶装置及び第2の半導体記憶装置の前記制御回路は、複数の動作状態を有し、前記電源電圧の低下が検知された場合、次の動作に遷移させないことを特徴とする前記請求項第1記載の半導体記憶システム。

【請求項3】

前記第1の半導体記憶装置及び第2の半導体記憶装置の前記制御回路は、前記電源電圧の低下が検知された状態から戻るときに、それぞれ異なる遅延時間で戻ることが特徴とする請求項1記載の半導体記憶システム。

**【請求項 4】**

前記第 1 の半導体記憶装置及び第 2 の半導体記憶装置に接続されたコントローラをさらに含み、前記コントローラは前記電源配線に接続され、前記電源電圧を検知する電圧検知回路を含むことを特徴とする請求項 1 記載の半導体記憶システム。

**【請求項 5】**

前記第 1 の半導体記憶装置及び第 2 の半導体記憶装置のそれぞれに設けられた前記電圧検知回路は、前記電源配線に設けられたモニター端子に接続されることを特徴とする請求項 1 記載の半導体記憶システム。

**【請求項 6】**

前記モニター端子は、第 1、第 2 のモニター端子を含み、前記第 1 のモニター端子は、前記第 1 の半導体記憶装置の近傍の前記電源配線に設けられ、前記第 2 のモニター端子は、前記第 2 の半導体記憶装置の近傍の前記電源配線に設けられ、前記第 1 の半導体記憶装置の前記電圧検知回路は、前記第 2 のモニター端子に接続され、前記第 2 の半導体記憶装置の前記電圧検知回路は、前記第 1 のモニター端子に接続されることを特徴とする請求項 5 記載の半導体記憶システム。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明の実施形態は、例えば不揮発性半導体記憶装置、例えば NAND 型フラッシュメモリに係り、特に、複数のフラッシュメモリを実装した半導体記憶システムに関する。

**【背景技術】****【0002】**

NAND 型フラッシュメモリは、プログラム動作の開始時、全ビット線を充電する必要があり、ベリファイ動作の開始時も、全ビット線を充電し、全ビット線に流れる電流を判定する必要がある。このため、非常に大きな電流が必要となり、一時的に大きなピーク電流が発生する。

**【0003】**

さらに、NAND 型フラッシュメモリは、記憶容量を増加するため、複数個、例えば 2 ~ 4 個のチップを同時に実装するマルチチップパッケージ (MCP) や、複数のチップを実装したメモリカードとして使用されることが多い。このように、複数のチップを実装した場合、各チップのピーク電流が重なると、さらに大きなピーク電流が発生し、電源断などの信頼性を低下する問題が発生する可能性がある。

**【先行技術文献】****【特許文献】****【0004】**

【特許文献 1】特開 2007-030789 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

本実施形態は、複数のチップを実装した場合において、複数のチップ間で通信する通信線を設けることなく、ピーク電流を抑制可能な半導体記憶システムを提供しようとするものである。

**【課題を解決するための手段】****【0006】**

本実施形態の半導体記憶システムによれば、第 1 の半導体記憶装置と、第 2 の半導体記憶装置と、電源配線と、電圧検知回路と、制御回路とを含んでいる。電源配線は、前記第 1 の半導体記憶装置と第 2 の半導体記憶装置に共通接続され、前記第 1 の半導体記憶装置と第 2 の半導体記憶装置に電源を供給する。電圧検知回路は、前記第 1 の半導体記憶装置及び第 2 の半導体記憶装置のそれぞれに設けられ、前記電源配線の電源電圧を検知する。制御回路は、前記第 1 の半導体記憶装置及び第 2 の半導体記憶装置のそれぞれに設けられ

10

20

30

40

50

、前記電圧検知回路により前記電源電圧の低下が検知された場合、電源電圧が復帰するまで、前記第1の半導体記憶装置、又は第2の半導体記憶装置の動作を、次の動作に遷移させない。

【図面の簡単な説明】

【0007】

【図1】本実施形態に適用されるNAND型フラッシュメモリの一例を概略的に示す構成図。

【図2】図1の一部の構成を概略的に示す回路図。

【図3】図1の一部の構成を概略的に示すものであり、図2と異なる例を示す回路図。

【図4】図4(a)(b)はメモリセル及び選択トランジスタを示す断面図。

10

【図5】NAND型フラッシュメモリを示す断面図。

【図6】図5に示す各領域に供給される電圧の例を示す図。

【図7】図2、図3に示すデータ記憶回路の一例を示す回路図。

【図8】図8(a)(b)(c)は、メモリセルに2ビットのデータを記憶する場合におけるデータと閾値電圧との関係を示す図。

【図9】リード、ベリファイリード動作を示す波形図。

【図10】プログラム動作を示す波形図。

【図11】第1ページのプログラム動作を示すフローチャート。

【図12】第2ページのプログラム動作を示すフローチャート。

【図13】第1の実施形態に係る半導体記憶システムの一部を概略的に示す構成図。

20

【図14】図13に示す電圧検知回路の一例を示す回路図。

【図15】第1の実施形態の動作の一例を説明するために示す図。

【図16】第2の実施形態に係る半導体記憶システムの一部を概略的に示す構成図。

【図17】図16の動作の一例を示す波形図。

【図18】第3の実施形態に係る半導体記憶システムの一部を概略的に示す構成図。

【発明を実施するための形態】

【0008】

以下、実施の形態について、図面を参照して説明する。

【0009】

先ず、図1乃至図12を用いて、本実施形態に適用される1つのNAND型フラッシュメモリの構成及び動作について説明する。

30

図1は、例えば2ビット、4値のデータを記憶するNAND型フラッシュメモリの概略構成を示している。

【0010】

メモリセルアレイ1は、複数のビット線と複数のワード線と共通ソース線を含み、例えばEEPROMセルからなる電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。このメモリセルアレイ1には、ビット線を制御するためのビット制御回路2とワード線制御回路6が接続されている。

【0011】

ビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ1中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ1中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行なう。ビット線制御回路2には、カラムデコーダ3、データ入出力バッファ4が接続されている。ビット線制御回路2内のデータ記憶回路はカラムデコーダ3によって選択される。データ記憶回路に読み出されたメモリセルのデータは、前記データ入出力バッファ4を介してデータ入出力端子5から外部へ出力される。外部から供給されたNAND型フラッシュメモリの動作を制御する各種コマンドCMD、アドレスADD、及びデータDTは、データ入出力端子5に入力される。データ入出力端子5に入力された書き込みデータは、データ入出力バッファ4を介して、カラムデコーダ3によって選択されたデータ記憶回路に供給され、コマンド及びアドレスは制御信号及び制御電圧発

40

50

生回路 7 に供給される。

【 0 0 1 2 】

ワード線制御回路 6 は、メモリセルアレイ 1 に接続されている。このワード線制御回路 6 は、メモリセルアレイ 1 中のワード線を選択し、選択されたワード線に読み出し、書き込みあるいは消去に必要な電圧を印加する。

【 0 0 1 3 】

メモリセルアレイ 1、ビット線制御回路 2、カラムデコーダ 3、データ入出力バッファ 4、及びワード線制御回路 6 は、制御信号及び制御電圧発生回路 7 に接続され、この制御信号及び制御電圧発生回路 7 によって制御される。制御信号及び制御電圧発生回路 7 は、制御信号入力端子 8 に接続され、外部から制御信号入力端子 8 を介して入力される制御信号 A L E (アドレス・ラッチ・イネーブル)、C L E (コマンド・ラッチ・イネーブル)、W E (ライト・イネーブル)、R W (リード・イネーブル) によって制御される。

10

【 0 0 1 4 】

前記ビット線制御回路 2、カラムデコーダ 3、ワード線制御回路 6、制御信号及び制御電圧発生回路 7 は書き込み回路、及び読み出し回路を構成している。

【 0 0 1 5 】

図 2 は、図 1 に示すメモリセルアレイ 1 及びビット線制御回路 2 の構成の一例を示している。メモリセルアレイ 1 には複数の N A N D セルが配置されている。1 つの N A N D セルは、直列接続された例えば 3 2 個の E E P R O M からなるメモリセル M C と、選択ゲート S 1、S 2 とにより構成されている。選択ゲート S 2 はビット線 B L 0 e に接続され、選択ゲート S 1 はソース線 S R C に接続されている。各ロウに配置されたメモリセル M C の制御ゲートはワード線 W L 0 ~ W L 2 9、W L 3 0、W L 3 1 に共通接続されている。また、選択ゲート S 2 はセレクト線 S G D に共通接続され、選択ゲート S 1 はセレクト線 S G S に共通接続されている。

20

【 0 0 1 6 】

ビット線制御回路 2 は複数のデータ記憶回路 1 0 を有している。各データ記憶回路 1 0 には、一対のビット線 ( B L 0 e、B L 0 o )、( B L 1 e、B L 1 o ) ... ( B L i e、B L i o )、( B L 8 k e、B L 8 k o ) が接続されている。

【 0 0 1 7 】

メモリセルアレイ 1 は、破線で示すように、複数のブロックを含んでいる。各ブロックは、複数の N A N D セルにより構成され、例えばこのブロック単位でデータが消去される。また、消去動作は、データ記憶回路 1 0 に接続されている 2 本のビット線について同時に行なわれる。

30

【 0 0 1 8 】

また、ビット線の 1 つおきに配置され、1 つのワード線に接続された複数のメモリセル (破線で囲まれた範囲のメモリセル) は、1 セクタを構成する。このセクタ毎にデータが書き込まれ、読み出される。すなわち、ロウ方向に配置された複数のメモリセルのうち半数のメモリセルが対応するビット線に接続される。このため、ロウ方向に配置された複数のメモリセルの半数ずつに対して書き込み又は読み出し動作が実行される。

【 0 0 1 9 】

リード動作、プログラムベリファイ動作及びプログラム動作時において、データ記憶回路 1 0 に接続されている 2 本のビット線 ( B L i e、B L i o ) のうち外部より供給されるアドレス信号 ( Y A 0、Y A 1 ... Y A i ... Y A 8 k ) に応じて 1 本のビット線が選択される。さらに、外部アドレスに応じて、1 本のワード線が選択され、破線で示す、2 ページが選択される。この 2 ページの切り替えはアドレスによって行われる。

40

【 0 0 2 0 】

図 3 は、図 1 に示すメモリセルアレイ 1 及びビット線制御回路 2 の構成の他の例を示している。図 2 に示す構成の場合、データ記憶回路 1 0 に 2 本のビット線 ( B L i e、B L i o ) が接続されていた。これに対して、図 3 に示す構成の場合、各ビット線にデータ記憶回路 1 0 が接続され、ロウ方向に配置された複数のメモリセルは、全て対応するビット

50

線に接続される。このため、ロウ方向に配置された全てのメモリセルに対して書き込み又は読み出し動作を行うことができる。

【 0 0 2 1 】

尚、以下の説明は、図 2 に示す構成、及び図 3 に示す構成のいずれも適用することが可能であるが、図 2 を使用する場合について説明する。

【 0 0 2 2 】

図 4 ( a ) ( b ) はメモリセル及び選択トランジスタの断面図を示している。図 4 ( a ) はメモリセルを示している。基板 5 1 ( 後述する P 型ウェル領域 5 5 ) にはメモリセルのソース、ドレインとしての n 型拡散層 4 2 が形成されている。P 型ウェル領域 5 5 の上にはゲート絶縁膜 4 3 を介して浮遊ゲート ( F G ) 4 4 が形成され、この浮遊ゲート 4 4 10 の上には絶縁膜 4 5 を介して制御ゲート ( C G ) 4 6 が形成されている。図 4 ( b ) は選択ゲートを示している。P 型ウェル領域 5 5 にはソース、ドレインとしての n 型拡散層 4 7 が形成されている。P 型ウェル領域 5 5 の上にはゲート絶縁膜 4 8 を介して制御ゲート 4 9 が形成されている。

【 0 0 2 3 】

図 5 は、NAND 型フラッシュメモリの断面図を示している。例えば P 型半導体基板 5 1 内には、N 型ウェル領域 5 2、5 3、5 4、P 型ウェル領域 5 6 が形成されている。N 型ウェル領域 5 2 内には P 型ウェル領域 5 5 が形成され、この P 型ウェル領域 5 5 内にメモリセルアレイ 1 を構成するメモリセル T r が形成されている。さらに、前記 N 型ウェル領域 5 3、P 型ウェル領域 5 6 内に、データ記憶回路 1 0 を構成する低電圧 P チャンネルトランジスタ L V P T r、低電圧 N チャンネルトランジスタ L V N T r が形成されている。前記基板 5 1 内には、ビット線とデータ記憶回路 1 0 を接続する高電圧 N チャンネルトランジスタ H V N T r が形成されている。また、前記 N 型ウェル領域 5 4 内には例えばワード線駆動回路等を構成する高電圧 P チャンネルトランジスタ H V P T r が形成されている。図 5 20 に示すように、高電圧トランジスタ H V N T r、H V P T r は、低電圧トランジスタ L V N T r、L V P T r に比べて例えば厚いゲート絶縁膜を有している。

【 0 0 2 4 】

図 6 は、図 5 に示す各領域に供給される電圧の例を示している。消去、プログラム、リードにおいて、各領域に図 6 に示すような電圧が供給される。ここで、V e r a は、データの消去時に基板に印加される電圧、V s s は接地電圧、V d d は電源電圧、V p g m h 30 は、データの書き込み時にワード線に供給される V p g m を転送するローデコーダのトランジスタのゲートに供給される電圧であり、V p g m + V t ( 転送トランジスタの閾値電圧 ) 以上の電圧である。

【 0 0 2 5 】

V r e a d h は、データの読み出し時にワード線に供給される V r e a d を、転送するローデコーダのトランジスタのゲートに供給される電圧で、V r e a d + V t ( 転送トランジスタの閾値電圧 ) 以上の電圧である。

【 0 0 2 6 】

図 7 は、図 2 に示すデータ記憶回路 1 0 の一例を示す回路図である。

【 0 0 2 7 】

このデータ記憶回路 1 0 は、プライマリデータキャッシュ ( P D C )、セコンダリデータキャッシュ ( S D C )、ダイナミックデータキャッシュ ( D D C )、テンポラリデータキャッシュ ( T D C ) を有している。S D C、P D C、D D C は、書き込み時に入力データを保持し、読み出し時に読み出しデータを保持し、ベリファイ時に一時的にデータを保持し、多値データを記憶する際に内部データの操作に使用される。T D C は、データの読み出し時にビット線のデータを増幅し、一時的に保持するとともに、多値データを記憶する際に内部データの操作に使用される。

【 0 0 2 8 】

S D C は、ラッチ回路を構成するクロックインバータ回路 6 1 a、6 1 b、及びトランジスタ 6 1 c、6 1 d により構成されている。トランジスタ 6 1 c はクロックインバ 50

ータ回路61aの入力端と、クロックインバータ回路61bの入力端の間に接続されている。このトランジスタ61cのゲートには信号EQ2が供給されている。トランジスタ61dはクロックインバータ回路61bの出力端と接地間に接続されている。このトランジスタ61dのゲートには信号PRSTが供給されている。SDCのノードN2aは、カラム選択トランジスタ61eを介して入出力データ線IOに接続され、ノードN2bは、カラム選択トランジスタ61fを介して入出力データ線IONに接続される。これらトランジスタ61e、61fのゲートにはカラム選択信号CSLiが供給されている。SDCのノードN2aは、トランジスタ61g、61hを介してPDCのノードN1aに接続されている。トランジスタ61gのゲートには信号BLC2が供給され、トランジスタ61hのゲートには信号BLC1が供給されている。

10

**【0029】**

PDCは、クロックインバータ回路61i、61j及びトランジスタ61kにより構成されている。トランジスタ61kは、クロックインバータ回路61iの入力端とクロックインバータ回路61jの入力端の相互間に接続されている。このトランジスタ61kのゲートには信号EQ1が供給されている。PDCのノードN1bはトランジスタ61lのゲートに接続されている。このトランジスタ61lの電流通路の一端はトランジスタ61mを介して接地されている。このトランジスタ61mのゲートには信号CHK1が供給されている。また、トランジスタ61lの電流通路の他端はトランスファークロスを構成するトランジスタ61n、61oの電流通路の一端に接続されている。このトランジスタ61nのゲートには信号CHK2nが供給されている。また、トランジスタ61oのゲートは前記クロックインバータ回路61aの出力端に接続されている。トランジスタ61n、61oの電流通路の他端には、配線COMiが接続されている。この配線COMiは全データ記憶回路10に共通の配線であり、全データ記憶回路10のベリファイが完了した場合、配線COMiの電位はハイレベルとなる。すなわち、後述するように、ベリファイが完了すると、PDCのノードN1bがローレベルとなる。この状態において、信号CHK1、CHK2nをハイレベルとすると、ベリファイが完了している場合、配線COMiの電位はハイレベルとなる。

20

**【0030】**

さらに、前記TDCは、例えばMOSキャパシタ61pにより構成されている。このキャパシタ61pは、前記トランジスタ61g、61hの接続ノードN3と接地間に接続されている。また、接続ノードN3には、トランジスタ61qを介してDDCが接続されている。トランジスタ61qのゲートには、信号REGが供給されている。

30

**【0031】**

DDCは、トランジスタ61r、61sにより構成されている。トランジスタ61rの電流通路の一端には信号VREGが供給され、他端は前記トランジスタ61qの電流通路に接続されている。このトランジスタ61rのゲートはトランジスタ61sを介して前記PDCのノードN1aに接続されている。このトランジスタ61sのゲートには信号DTGが供給されている。

**【0032】**

さらに、前記接続ノードN3にはトランジスタ61t、61uの電流通路の一端が接続されている。トランジスタ61uの電流通路の他端には信号VPREが供給され、ゲートにはBLPREが供給されている。前記トランジスタ61tのゲートには信号BLCLAMPが供給されている。このトランジスタ61tの電流通路の他端はトランジスタ61vを介してビット線BL0の一端に接続され、トランジスタ61wを介してビット線BLEの一端に接続されている。ビット線BL0の他端はトランジスタ61xの電流通路の一端に接続されている。このトランジスタ61xのゲートには信号BIAS0が供給されている。ビット線BLEの他端はトランジスタ61yの電流通路の一端に接続されている。このトランジスタ61yのゲートには信号BIASEが供給されている。これらトランジスタ61x、61yの電流通路の他端には、信号BLCLRが供給されている。トランジスタ61x、61yは、信号BIAS0、BIASEに応じてトランジスタ61v、61w

40

50

と相補的にオンとされ、非選択のビット線に信号 B L C R L の電位を供給する。

【 0 0 3 3 】

上記各信号及び電圧は、図 1 に示す制御信号及び制御電圧発生回路 7 により生成され、この制御信号及び制御電圧発生回路 7 の制御に基づき、以下の動作が制御される。

【 0 0 3 4 】

また、図 3 に示すデータ記憶回路 1 0 は、図 7 に示す構成と同様であり、ビット線との接続のみが相違している。すなわち、図 7 に示すように、トランジスタ 6 1 t の他端部には、例えばトランジスタ 6 1 v のみが接続され、このトランジスタ 6 1 v を介してビット線 B L e 又は B L o が接続される。

【 0 0 3 5 】

本メモリは、多値メモリであり、1セルに2ビットのデータを記憶することができる。2ビットの切り替えはアドレス(第1ページ、第2ページ)によって行なう。1セルに2ビットを記憶する場合、2ページであるが、1セルに3ビットを記憶する場合、アドレス(第1ページ、第2ページ、第3ページ)によって切り換える。さらに、1セルに4ビットを記憶する場合は、アドレス(第1ページ、第2ページ、第3ページ、第4ページ)によって切り換える。

【 0 0 3 6 】

図 8 ( a ) ( b ) ( c ) は、メモリセルに2ビットのデータを記憶する場合におけるデータと閾値電圧との関係を示している。消去動作を行なうと、図 8 ( c ) に示すように、メモリセルのデータは“ 0 ”となる。消去後、閾値分布の広がりを狭めるため、例えばベリファイリード時の電位“ z ”を用いて書き込みが行なわれる。このデータ“ 0 ”は、例えば負の閾値電圧分布に設定されている。

【 0 0 3 7 】

図 8 ( a ) に示すように、第1ページの書き込みにおいて、書き込みデータが“ 1 ”の場合、メモリセルのデータは“ 0 ”のままであり、書き込みデータが“ 0 ”の場合、メモリセルのデータは“ 1 ”となる。

【 0 0 3 8 】

図 8 ( b ) に示すように、第2ページの書き込み後、メモリセルのデータは書き込みデータに応じて“ 0 ”、“ 2 ”、“ 3 ”、“ 4 ”のいずれかとなる。すなわち、第1ページ書き込み後のメモリセルのデータが“ 0 ”であり、第2ページの書き込みデータが“ 1 ”の場合、メモリセルのデータは“ 0 ”のままであり、書き込みデータが“ 0 ”の場合、メモリセルのデータは“ 2 ”となる。また、第1ページ書き込み後のメモリセルのデータが“ 1 ”であり、書き込みデータが“ 0 ”である場合、メモリセルのデータは“ 3 ”となり、書き込みデータが“ 1 ”である場合、メモリセルのデータは“ 4 ”となる。本実施形態において、メモリセルのデータは閾値電圧の低いほうから高い方へと定義されている。

【 0 0 3 9 】

(読み出し(リード)動作)

図 8 ( a ) に示すように、第1ページ書き込み後、メモリセルのデータは、データ“ 0 ”又は“ 1 ”に存在するために、リード時の電位“ a ”で読み出し動作をする。また、第2ページ書き込み後、メモリセルのデータは、図 8 ( b ) に示すように、“ 0 ”、“ 2 ”、“ 3 ”、“ 4 ”のいずれかにある。このため、リード時の電位“ b ”、“ c ”、“ d ”のいずれかで読み出し動作をする。

【 0 0 4 0 】

図 9 は、リード、ベリファイリード動作の波形を示している。読み出し動作は、先ず、選択されているセルのウェル、ソース線、非選択ビット線を、0 V とする。

【 0 0 4 1 】

選択ワード線にリード時の電位“ a ”(例えば“ a ” = 0 V)、又は“ b ”、“ c ”、“ d ”を供給する。これと同時に、選択ブロックの非選択ワード線に V read、選択ブロックのセレクト線 S G D に V s g (= V d d + V t h) 設定し、セレクト線 S G S を V s s に設定する。図 7 に示すデータ記憶回路の V P R E に V d d (例えば 2 . 5 V)、B L P

10

20

30

40

50

REに $V_{sg}$ 、BLCLAMPに例えば $(0.6V + V_{th})$ の電圧を一旦供給し、ビット線を例えば $0.6V$ にプリチャージする。ここで、 $V_{th}$ は図7に示すトランジスタ $61u$ の閾値電圧である。

【0042】

ビット線をプリチャージするとき、選択ビット線は $0.6V$ 、非選択ビット線は $V_{ss}$ である。このため、ある1本の選択ビット線と非選択ビット線及びウェル、ソース等の容量が例えば $4pF$ とすると、1本のビット線の容量 $Q$ は、 $Q = C \times V$ 、 $Q = 4pF \times 0.6V$ となる。ここで、例えば $8kB$ 同時に書き込む場合、 $Q = 8 \times 1024 \times 8 \times 4pF \times 0.6V$ となる。このため、図9に示すように、NAND型フラッシュメモリに流れる電流（以下、「消費電流」と称する場合もある）の大きなピーク電流が発生する。

10

【0043】

次に、セルのソース側のセレクト線SGSを $V_{sg} (= V_{dd} + V_{th})$ にする。閾値電圧が“a”又は“b”、“c”、“d”より高い時、セルがオフするため、ビット線はハイレベル（例えば $0.6V$ ）のままであり、閾値電圧が“a”又は“b”、“c”、“d”より低いとセルがオンするためビット線は放電され、ソースと同電位つまり $V_{ss}$ となる。

【0044】

次いで、図7に示すデータ記憶回路の信号BLPREを一旦 $V_{sg} (= V_{dd} + V_{th})$ に設定し、TDCのノードを $V_{dd}$ にプリチャージする。この後、信号BLCLAMPに例えば $(0.45V + V_{th})$ の電圧を供給する。TDCのノードはビット線が $0.45V$ より低い場合、ローレベルとなり、ビット線が $0.45V$ より高い場合、ハイレベルのままとなる。ここで、信号BLC1を $V_{sg} (= V_{dd} + V_{th})$ に設定し、TDCの電位をPDCに読み込む。したがって、セルの閾値電圧が、“a”又は“b”、“c”、“d”のレベルより低い場合、PDCはローレベル、高い場合PDCはハイレベルとなり、読み出しが行なわれる。

20

【0045】

図3に示すように、ロウ方向に並んだ全セルを一括して読み出す場合、選択ブロックのセレクト線SGSは、選択ブロックのセレクト線SGDと同時にハイレベルとされる。このため、ビット線を充電すると同時に、セルがオン状態である場合、ビット線を放電させ、セルがオフ状態である場合、ビット線が充電状態に保持される。ビット線のレベルはTDCを介してPDCに読み込まれる。したがって、オン状態のセルの数が多い場合、信号VPREが供給されるノードから、ソース線に大電流が流れ、ソース線の電位が浮いた状態となる問題がある。これを抑えるため、複数回の読み出し動作を行い、先ずセルがオンする場合、つまり、ソース線が浮いても電流が流れるセルは、読み出し結果をローレベルとし、次回からビット線は充電せず、1回目の読み出しで、ハイレベルが読み出されたセルに対して、再度読み出しを行う。したがって、1回目の読み出しでは、大きなピーク電流が発生する。

30

【0046】

(プログラム及びプログラムベリファイ)

(プログラム)

40

図10は、プログラム動作の波形を示し、図11は、第1ページのプログラム動作を示し、図12は、第2ページのプログラム動作を示している。

【0047】

プログラム動作は、先ずアドレスを指定し、図2で示す2ページが選択される。本メモリは、この2ページのうち、第1ページ、第2ページの順でしか、プログラムできない。したがって、初めにアドレスで第1ページを選択する。

【0048】

次に、書き込みデータを外部より入力し、全てのデータ記憶回路10内のSDCに記憶する(ステップS11)。書き込みコマンドが入力されると、全てのデータ記憶回路10内のSDCのデータがPDCに転送される(ステップS12)。外部よりデータ“1”(

50

書き込みを行なわない)が入力されると、PDCのノードN1aはハイレベルになり、データ“0”(書き込みを行なう)が入力されるとローレベルとなる。以後、PDCのデータはデータ記憶回路10のN1aの電位、SDCのデータはデータ記憶回路10のN2aの電位とする。

【0049】

(プログラム動作)(S13)

図7に示すデータ記憶回路10の信号BLC1をVdd+Vthに設定すると、PDCにデータ“1”(書き込みを行なわない)が記憶されている時、ビット線がVddとなり、データ“0”(書き込みを行なう)が記憶されている時、ビット線がVssになる。また、選択されたワード線に接続され、非選択ページのセル(ビット線が非選択である)は

10

書き込まれてはならないため、これらのセルに接続されているビット線もVddに設定する。

【0050】

このとき、選択ビット線が書き込みの場合(Vss)、非選択ビット線は非書き込み(Vdd)であるため、1本の選択ビット線と非選択ビット線及びウェル、ソース等の容量が例えば4pFとすると、1本のビット線の電荷Qは、 $Q = C(4pF) \times V(2.5V)$ となる。ここで、例えば8kBのメモリセルを同時に書き込む場合、 $Q(8kB) = 8 \times 1024 \times 8 \times C(4pF) \times V(2.5V)$ となり、NAND型フラッシュメモリに流れる電流の大きなピーク電流が発生する(例えば、図10の非選択ビット線、選択ビット線(非書き込み)にVddを印加してから非選択ワード線にVPASSが印加される前

20

までの間)。

【0051】

また、図3に示すように、ロウ方向に並んだ全メモリセルを一括して書き込む場合、全ビット線が選択状態である。特に、書き込みデータが、例えばデータ“1”とデータ“0”が交互となる場合、全ビット線間の容量が最大となり、大きなピーク電流が発生する。

【0052】

ここで選択されているブロックのセレクト線SGDをVdd、選択ワード線に書き込み電圧VPGM(20V)、非選択ワード線にVPASS(10V)を与えるとビット線がVssになっている場合、セルのチャネルがVss、ワード線がVPGMとなり、書き込みが行なわれる。一方、ビット線がVddになっている場合、セルのチャネルがVssで

30

なくVddであり、カップリングでVPGM/2程度となるため、メモリセルはプログラムされない。

【0053】

第1ページの書き込みで、メモリセルのデータはデータ“0”とデータ“1”になる。第2ページの書き込み後、メモリセルのデータはデータ“0”、“2”、“3”、“4”となる(S21~S24)。

【0054】

(プログラムベリファイリード)(S14、S25~S27)

メモリセルは、閾値電圧の低いレベルより書き込まれるため、第1ページのプログラムベリファイは、レベル“a'”でベリファイし、第2ページのプログラムベリファイは、

40

レベル“b'”、“c'”又は“d'”でベリファイする。すなわち、プログラムベリファイは、リード時の電位“a”、“b”、“c”、“d”よりそれぞれ補正が加わった電位“a'”、“b'”、“c'”、“d'”(例えば“a”=0Vとすると“a'”=0.5V)がベリファイ電位として用いられる。以後“'”は、ベリファイ電位を示し、リード電位より若干補正が加わった値とする。プログラムベリファイ動作は、前述したリード動作と殆ど同じである。

【0055】

先ず、選択されているセルのウェル、ソース線、非選択ビット線に所定の電圧を設定し、選択ワード線にベリファイ電位“a'”、“b'”、“c'”又は“d'”を印加する

50

## 【 0 0 5 6 】

次に、図 7 に示すデータ記憶回路 10 の信号 V P R E を V d d ( 例 えば 2 . 5 V )、信号 B L P R E を  $V s g (= V d d + V t h)$ 、信号 B L C L A M P を 例 えば  $( 0 . 6 V + V t h )$  にそれぞれ設定し、ビット線を例えば 0 . 6 V にプリチャージする。次に、セルのソース側のセレクト線 S G S を  $V s g (= V d d + V t h)$  に設定する。ウェル及びソース線は  $V s s$  となっている。このため、閾値電圧が “ a ’ ”、“ b ’ ”、“ c ’ ” 又は “ d ’ ” より高い時、セルはオフするため、ビット線はハイレベル ( 例 えば 2 . 2 V ) のままであり、閾値電圧が “ a ’ ”、“ b ’ ”、“ c ’ ” 又は “ d ’ ” より低い時、セルはオンするため、ビット線は放電され  $V s s$  となる。このビット線の放電時間中に、信号 V P R E を  $V s s$ 、信号 B L P R E を V d d とし、T D C を  $V s s$ 、信号 R E G をハイレベル、信号 V R E G をハイレベルとして D D C のデータを T D C に移動させる。この後、一旦信号 D T G を  $V s g (= V d d + V t h)$  とし、P D C のデータを D D C にコピーする。次いで、信号 B L C 1 をハイレベルとして、T D C のデータを P D C に移す。この動作により、P D C に記憶されていた書き込み又は非書き込みを示すデータは D D C に移り、D D C のデータは、P D C に移る。

10

## 【 0 0 5 7 】

次に、信号 B L P R E を一旦  $V s g (= V d d + V t h)$  とし、T D C のノード N 3 を V d d にプリチャージする。この後、信号 B L C L A M P を 例 えば  $( 0 . 4 5 V + V t h )$  に設定する。T D C のノード N 3 は、ビット線が 0 . 4 5 V より低い場合、ローレベルとなり、ビット線が 0 . 4 5 V より高い場合、ハイレベルのままとなる。ここで、信号 B L C 1 を  $V s g (= V d d + V t h)$  に設定し、T D C の電位を P D C に読み込む。次に、信号 V R E G を V d d、信号 R E G を  $V s g (= V d d + V t h)$  に設定し、D D C がハイレベル ( 非書き込み ) の場合、T D C を強制的にハイレベルとする。しかし、D D C がローレベル ( 書き込み ) の場合、T D C の値は変わらない。ここで、信号 D T G を  $V s g (= V d d + V t h)$  に設定し、P D C のデータを D D C に移した後、信号 B L C 1 を  $V s g (= V d d + V t h)$  に設定し、T D C の電位を P D C に読み込む。したがって、元々 P D C がローレベル ( 書き込み ) の場合で、セルの閾値電圧が “ a ’ ”、“ b ’ ”、“ c ’ ” 又は “ d ’ ” より低い場合、P D C は再びローレベル ( 書き込み ) となる。また、セルの閾値電圧が “ a ’ ”、“ b ’ ”、“ c ’ ” 又は “ d ’ ” より高い場合、P D C はハイレベルとなり、次回のプログラムより非書き込みとなる。さらに、元々 P D C がハイレベル ( 非書き込み ) の場合、P D C はハイレベルとなり、次回のプログラムより非書き込みとなる。

20

30

## 【 0 0 5 8 】

また、第 2 ページの書き込みにおいて、データ “ 2 ” のプログラムベリファイは、上記の動作を行なうと、データ “ 3 ” 及び “ 4 ” への書き込みセルが、データ “ 2 ” のプログラムベリファイで、非書き込みとなってしまふ。このため、例えば、データ “ 3 ” 及び “ 4 ” の書き込みの場合、図 7 に示すデータ記憶回路 10 のノード N 2 a をローレベルに設定し、データ “ 2 ” の書き込みの場合、ノード N 2 a をハイレベルに設定する。この状態において、信号 R E G を  $V s g$  に設定し、非書き込みの場合、T D C を強制的にハイレベルとする動作の前に、信号 B L C 2 を  $V t r (= 0 . 1 V + V t h)$  に設定し、データ “ 3 ” 及び “ 4 ” の書き込みの場合、T D C を強制的にローレベルに設定しておき、データ “ 2 ” のプログラムベリファイにおいて書き込みが完了しないようにする。

40

## 【 0 0 5 9 】

また、第 2 ページの書き込みにおいて、データ “ 3 ” のプログラムベリファイは、上記動作を行なうと、データ “ 4 ” への書き込みセルが、データ “ 3 ” のプログラムベリファイにおいて、非書き込みとなってしまふ。このため、例えば、データ “ 3 ” の書き込みの場合、予め図 7 に示すデータ記憶回路 10 の D D C のデータをローレベルに設定しておく。ビット線の放電中に、P D C のデータと D D C のデータを交換しているため、T D C を強制的にハイレベルとする動作の前に、信号 B L C 1 を  $V t r (= 0 . 1 V + V t h)$  に設定し、データ “ 4 ” の書き込みの場合、T D C を強制的にローレベルに設定し、データ

50

“ 4 ”でのプログラムベリファイにおいて書き込みが完了しないようにする。

【 0 0 6 0 】

P D C がローレベルの場合、再び書き込み動作を行ない全てのデータ記憶回路 1 0 の P D C のデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す ( S 1 5 ~ S 1 3、S 2 8 ~ S 2 4 )。

【 0 0 6 1 】

また、図 3 に示すように、ロウ方向に並んだ全メモリセルを一括してプログラムベリファイする場合、ロウ方向に並んだ全メモリセルを一括して読み出す場合と同様に、前メモリセルからデータを読み出し、ベリファイする。

【 0 0 6 2 】

( 消去動作 )

消去動作は、図 2、図 3 に破線で示すブロック単位で行う。消去後、セルの閾値電圧は、図 8 ( c ) に示すように、メモリセルのデータ “ 0 ” と同様となる。

【 0 0 6 3 】

( 第 1 の実施形態 )

図 1 3 は、第 1 の実施形態に係り、例えば M C P ( マルチチップパッケージ ) 7 0 を概念的に示している。しかし、第 1 の実施形態は、M C P に限らず、メモリカードに適用することも可能である。

【 0 0 6 4 】

図 1 3 において、M C P 7 0 は、第 1、第 2 のチップ 7 1 a、7 1 b を含んでいる。第 1、第 2 のチップ 7 1 a、7 1 b は、上述した構成の半導体記憶装置としての N A N D 型フラッシュメモリを含んでいる。図 1 3 は、説明を簡単化するため、N A N D 型フラッシュメモリを 2 チップ実装した例を示しているが、2 チップ以上であってもよい。

【 0 0 6 5 】

コントローラ 7 2 は、第 1、第 2 のチップ 7 1 a、7 1 b と電氣的に接続されており、第 1、第 2 のチップ 7 1 a、7 1 b にチップイネーブル信号 C E ( A )、C E ( B ) を供給するとともに、レディ / ビズィを示す信号 R / B、前記アドレス・ラッチ・イネーブル信号 A L E、コマンド・ラッチ・イネーブル信号 C L E、ライト・イネーブル信号 W E、リード・イネーブル信号 R E、及びアドレス信号 A D D、データ D T 等を供給し、第 1、第 2 のチップ 7 1 a、7 1 b に対するデータの書き込み、及び読み出しを制御する。尚、第 1、第 2 のチップ 7 1 a、7 1 b にそれぞれチップイネーブル信号 C E ( A )、C E ( B ) を与えず、共通のチップイネーブル信号 C E を与え、アドレスにより第 1、第 2 のチップ 7 1 a、7 1 b の選択及び非選択を制御することも可能である。

【 0 0 6 6 】

また、コントローラ 7 2 は、第 1、第 2 のチップ 7 1 a、7 1 b から読み出されたデータを受け、外部に出力する。さらに、コントローラ 7 2 は、E C C ( Error Checking and Correcting ) 回路 7 5 を含み、データの書き込み時、書き込みデータにパリティデータを付加し、データの読み出し時、エラー検出及びエラー訂正を行う。

【 0 0 6 7 】

また、第 1、第 2 のチップ 7 1 a、7 1 b、及びコントローラ 7 2 には、電源発生回路 7 3 から、電源電圧 V E X T と接地電圧 V S S が供給される。すなわち、電源発生回路 7 3 と第 1、第 2 のチップ 7 1 a、7 1 b、及びコントローラ 7 2 は、電源配線 8 1、8 2 により共通に接続されている。その結果、電源配線 8 1、8 2 により電源電圧 V E X T、及び接地電圧 V S S が、第 1、第 2 のチップ 7 1 a、7 1 b、及びコントローラ 7 2 に供給される。

【 0 0 6 8 】

尚、電源発生回路 7 3 は、コントローラ 7 2 内であってもよい。また、コントローラ 7 2 及び電源発生回路 7 3 は、M C P 7 0 の外であっても良い。

【 0 0 6 9 】

さらに、第 1、第 2 のチップ 7 1 a、7 1 b、及びコントローラ 7 2 は、それぞれ電圧

10

20

30

40

50

検知回路74a、74b、74cを含んでいる。これら電圧検知回路74a、74b、74cは同様な構成であり、電源電圧VEXT及び接地電圧VSSの電位差を検出し、第1、第2のチップ71a、71b、及びコントローラ72に電流が流れることによる、電源電圧VEXTのドロップ及び接地電圧VSSのバウンドを検出する。尚、コントローラ72の電圧検知回路74cは、省略することも可能である。この検知結果から、電圧検知回路74aは、第2のチップ71b、コントローラ72の動作状態をモニターすることができ、電圧検知回路74bは、第1のチップ71a、コントローラ72の動作状態をモニターすることができる。さらに、電圧検知回路74cは、第1、第2のチップ71a、71bの動作状態をモニターすることができる。電圧検知回路74a、74bの出力信号は、それを含む第1、第2のチップ71a、71bの制御信号及び制御電圧発生回路7に供給され、電圧検知回路74cの出力信号は、コントローラ72を構成する図示せぬ例えばCPUに供給される。

10

#### 【0070】

図14は、第1のチップ71aに設けられた電圧検知回路74aを示している。電圧検知回路74aは、分圧抵抗R1、R2、及び演算増幅器OPAにより構成されている。分圧抵抗R1、R2は、第1のチップ71a内の電源端子76a、76bの相互間に直列接続されている。電源端子76aは電源配線81と例えば、金属ワイヤにより接続されており、電源端子76aには電源電圧VEXTが供給される。電源端子76bは接地配線82と例えば、金属ワイヤにより接続されており、接地端子76bには接地電圧VSSが供給されている。抵抗R1、R2の接続ノードは、演算増幅器OPAの一方入力端に接続されている。この演算増幅器OPAの他方入力端には、基準電圧Vrefが供給されている。この演算増幅器OPA及び基準電圧Vrefを発生する図示せぬ基準電圧発生回路は、電源電圧VEXT、又は接地電圧VSSに基づき動作する。また、演算増幅器OPAの出力信号は、例えば制御信号及び制御電圧発生回路7に供給される。

20

#### 【0071】

上記構成において、例えば第1のチップ71a又は、第2のチップ71bに流れる電流は、分圧抵抗R1、R2により電圧に変換されて検出される。この検出された電圧は、演算増幅器OPAにおいて、基準電圧Vrefと比較される。この比較の結果、検出された電圧が基準電圧Vrefより大きい電圧(第1のチップ71a、第2チップ71b及び他の回路の消費電流が小さい)場合、演算増幅器OPAの出力信号はハイレベルとなる。

30

#### 【0072】

一方、検出された電圧が基準電圧Vrefより小さい電圧(第1のチップ71a、第2チップ71b及び他の回路の消費電流が大きい)場合、演算増幅器OPAの出力信号はローレベルとなる。

#### 【0073】

例えば第1のチップ71aがプログラム動作状態である場合、第1のチップ71aの消費電流がピークに達する。これに伴い、電源電圧VEXTが低下し、第2のチップ71b内の電圧検知回路74bの演算増幅器OPAの出力信号がローレベルとなり、第2のチップ71bは、第1のチップ71aの消費電流がピーク状態であると知ることができる。ここで、仮に、第2のチップ71bも、消費電流が大きい、例えばプログラム動作に遷移してしまうと、電源電圧VEXTが更に低下してしまう。このため、第2チップ71bの制御信号及び制御電圧発生回路7は、第1のチップ71aの消費電流がピーク状態であること知ると、第2のチップ71bが、消費電流の大きい、例えばプログラム動作に遷移しないように制御する。これにより、電源電圧VEXTのさらなる低下を防止できる。NAND型フラッシュメモリは、図11、図12に示すように、プログラム及びベリファイ動作を繰り返す。このため、このプログラム動作やベリファイ動作における消費電流のピークが同じタイミングとならないように制御される。

40

#### 【0074】

図15は、上記構成のMCP70の動作の一例を具体的に示している。コントローラ72より、例えば第1のチップ71aに書き込みデータが転送された後、書き込み動作を示

50

す命令が発行される。これにより、図15に示すように、第1のチップ71aにおいて、プログラム電圧V<sub>pgm</sub>やV<sub>read</sub>が発生され、第1のチップ71aはプログラム動作が開始される。これにより、第1のチップ71aの消費電流がピークとなる。第1のチップ71aの消費電流がピークとなったことにより、電源電圧V<sub>EXT</sub>が低下する。この電源電圧V<sub>EXT</sub>の低下が第2のチップ71bの電圧検知回路74bにより検出される。

【0075】

一方、第2のチップ71bでは、コントローラ72より第2のチップ71bへ書き込みデータが転送され、この後、書き込み動作を示す命令が発行される。第2のチップ71bは、プログラム電圧V<sub>pgm</sub>やV<sub>read</sub>が発生するため、制御信号及び制御電圧発生回路7に含まれるポンプ回路を立ち上げる。この後、一般的な動作であれば、第1のチップ71aと同様に、プログラム状態となるが、第1の実施形態の場合、上記のように、電圧検知回路74bにより、電源電圧V<sub>EXT</sub>が低下していることが検知されているため、第2のチップ71bはプログラム状態に移行せず、待ち状態とされる。

10

【0076】

この後、第1のチップ71aのプログラム動作が終了に近づき、電流消費が少なくなる。この状態において、第2のチップ71bの電圧検知回路74bの出力信号がハイレベルとなると、第2のチップ71bがプログラム動作を開始し、第2のチップ71bの消費電流がピークとなる。

【0077】

このように、第1、第2のチップ71a、71bに設けられた電圧検知回路74a、74bによって、電源電圧V<sub>EXT</sub>をモニターし、第1、第2のチップ71a、71bの電流ピークが重ならないようにすることが可能である。

20

【0078】

また、コントローラ72において、ECC回路75が動作する場合、消費電流が増加し、電源電圧V<sub>EXT</sub>が低下する。この場合においても、電圧検知回路74a、74bにより電源電圧V<sub>EXT</sub>をモニターし、第1、第2のチップ71a、71bの電流ピークがコントローラ72の電流ピークと重ならないように制御することが可能である。

【0079】

上記第1の実施形態によれば、第1、第2のチップ71a、71b、及びコントローラ72にそれぞれ電源電圧を検出する電圧検知回路74a、74b、74cを設け、各電圧検知回路74a、74b、74cにより電源電圧の降下が検出された場合、プログラム動作や、ECC処理を行わず、待ち状態とし、電源電圧が所定のレベルに復帰した後、プログラム動作やECC処理を実行するように制御している。このため、第1、第2のチップ71a、71b、及びコントローラ72が、同時に消費電流の大きな動作を実行することを回避できる。したがって、大きなピーク電流が流れることにより電源断となることを防止できる。

30

【0080】

また、第1、第2のチップ71a、71b、及びコントローラ72のそれぞれに設けられた電圧検知回路74a、74b、74cは、独立に動作する。また、電圧検知回路74a、74b、74cはそれぞれ電圧検知回路74a、74b、74cが設けられた第1、第2のチップ71a、71b、及びコントローラ72の動作を、例えば、遅延回路77や制御信号及び制御電圧発生回路7などによって制御している。このため、第1、第2のチップ71a、71b、及びコントローラ72の間で信号を授受して動作タイミングを制御する必要がない。したがって、第1、第2のチップ71a、71b、及びコントローラ72の間の配線数を削減することが可能である。ここでは、2チップ、又はコントローラ回路と2チップの構成について、説明したが、さらに複数のチップにより構成することも可能である。さらに、複数チップの構成において、一部のチップの電圧検知回路を省略することも可能である。

40

【0081】

(第2の実施形態)

50

図16は、第2の実施形態を示しており、第1の実施形態と同一部分には同一符合を付している。第1の実施形態は、第1、第2のチップ71a、71bの2つのチップを搭載したMCPについて説明した。これに対して、第2の実施形態は、3つ以上のチップを搭載したMCPを示している。

【0082】

図16において、第1、第2のチップ71a、71bに加えて第3のチップ71cが設けられている。第3のチップ71cは、電源電圧を検知する電圧検知回路74dを有している。3つ以上のチップを有する場合、例えば第1のチップ71aの消費電流のピークが終了した場合、第2、第3のチップ71b、71cにおいて、電源電圧が所定レベルに復帰したことを検知すると、第2、第3のチップ71b、71cが同時に動作し、大きなピーク電流が発生する可能性がある。

10

【0083】

そこで、第2の実施形態は、電圧検知回路74a、74b、74c、74dにより、電源電圧が所定レベル以上に復帰したことが検知された際、第1、第2、第3のチップ71a、71b、71cが、大きな消費電流を必要とする動作を開始するまでの時間が異なるように設定されている。換言すると、電圧検知回路74a、74b、74c、74dにより、電源電圧が所定レベル以上に復帰したことが検知されてから、第1、第2、第3のチップ71a、71b、71cがプログラム動作を開始するまでと、場合によってはコントローラ72がECC処理などの消費電流の多い動作を再開するまでの、遅延時間を異ならせている。

20

【0084】

図17は、第1、第2、第3のチップ71a、71b、71cに設定された待ち時間から次の動作に移るまでの遅延時間を示している。図17に示すように、第1のチップ71aは、遅延時間が例えば0 $\mu$ sに設定されている。このため、ハイレベルの待ち状態が終了すると即、次の動作に移される。また、第2のチップ71bは、遅延時間D1が例えば1 $\mu$ sに設定され、第3のチップ71cは、遅延時間D2が例えば2 $\mu$ sに設定されている。このため、第2、第3のチップ71b、71cは、待ち状態が終了した後、遅延時間D1、又はD2だけ遅延されて、次の動作に移る。

【0085】

これらの遅延時間は、例えば電圧検知回路74b、74dの出力端に、それぞれ上記遅延時間が設定された遅延回路を設けることにより実現することが可能である。すなわち、図14に示す演算増幅器OPAの出力端と制御信号及び制御電圧発生回路7の間に所定の遅延時間が設定された遅延回路を接続することにより実現可能である。

30

【0086】

さらに、コントローラ72に設けられた電圧検知回路74cの出力端に上記と異なる遅延時間を有する遅延回路を設け、コントローラ72の大きな消費電流を必要とするECC処理と第1、第2、第3のチップ71a、71b、71cの動作が同時に実行されないようにしてもよい。

【0087】

上記第2の実施形態によれば、3つ以上チップを有するMCPにおいて、電源電圧が所定レベルに復帰してから、第1、第2、第3のチップ71a、71b、71c、及びコントローラ72により、大きな消費電流を必要とする動作が開始されるまでの移行時間を異ならせている。このため、複数のチップやコントローラが同時に消費電流の大きな動作を実行することを回避することができる。したがって、大きなピーク電流が流れることによる電源断を防止することが可能である。

40

【0088】

尚、2つのチップを有するMCPにおいても、例えばコントローラ72が大消費電流から小消費電流の状態に移ったとき、第1、第2のチップ71a、71bが同時にプログラム状態となる可能性がある。このような場合、上記のように、第1、第2のチップ71a、71bの動作開示時間を異なる設定とすることにより、第1、第2のチップ71a、

50

71bが同時にプログラム状態となることを回避できる。

【0089】

(第3の実施形態)

図18は、第3の実施形態を示している。第3の実施形態を変形したものであり、図13、図16と同一部分には同一符号を付す。第3の実施形態は、MCPに適用した場合を示しているが、メモ리카ード等、他の装置に適用することが可能である。また、第3の実施形態において、チップの数は2つとしているが、3つ以上であってもよい。

【0090】

第1、第2の実施形態において、電圧検知回路74a~74dは、図14に示すように、それぞれのチップの電源端子76a、76bに接続されている。この場合、電源発生回路73(MCP外からの電源供給パッドの場合もある)から第1、第2のチップ71a、71b、及びコントローラ72までの配線抵抗が異なる場合がある。例えば、配線がパッケージ基板の基板配線であり、この基板配線を用いて引き回した場合などである。また、第1、第2のチップ71a、71b、及びコントローラ72自体の電流消費により、第1、第2のチップ71a、71b、及びコントローラ72の電圧検知回路74a、74b、74cが他のチップの電流消費を正確に検知できないため、電源電圧VEXTを正確に検知できない可能性がある。

【0091】

そこで、第3の実施形態において、電圧検知回路74aは、それぞれのチップの電源端子と異なる端子に接続されている。すなわち、図18に示すように、電源電圧VEXTが供給される電源配線81、及び接地電圧VSSが供給される接地配線82、例えば第2のチップ71bと電源発生回路73の間には、モニター端子81a、82aがそれぞれ設けられている。これらモニター端子81a、81bに、第1、第2のチップ71a、71b、及びコントローラ72の電圧検知回路74a、74b、74cが配線PA1、PA2を介して接続されている。配線PA1、PA2は、例えば、金属ワイヤなどである。なお、配線PA1と配線PA2の電気抵抗は等しいことが好ましい。例えば、配線PA1、PA2に同じ材料、同じ配線幅を用いているのであれば、配線長さが等しいことが好ましい。

【0092】

上記第3の実施形態によれば、電圧検知回路74a、74b、74cは、電源配線81、及び接地配線82にそれぞれ設けられたモニター端子81a、82aに接続されている。このため、電圧検知回路74a、74b、74cのそれぞれは、配線抵抗の影響を低減することができる。また、第1、第2のチップ71a、71b、及びコントローラ72の内部からではなく、外部のモニター端子81a、82aから電源を供給している。その結果、第1、第2のチップ71a、71b、及びコントローラ72自体の電流消費に影響を受けることなく、電源電圧VEXTを正確に検知することができる。

【0093】

尚、モニター端子81a、82aの配設位置は、例えば配線基板上の電源電圧の変化が大きい箇所に配置することが好ましい。例えば、第1のチップ用のモニター端子は、第2のチップに近い位置、第2のチップ用のモニター端子は、第1のチップに近い位置に配置することも可能である。

【0094】

また、電圧検知回路74a、74b、74cの接地端は、モニター端子82aではなく、第1、第2のチップ71a、71b、及びコントローラ72の電源端子76bに接続してもよい。

【0095】

さらに、モニター端子81a、82aの配設位置は、図18に示すように、電源配線81、接地配線82の1箇所に限定されるものではなく、モニター端子81a、82aを電源配線81、接地配線82の複数個所に配置し、第1、第2のチップ71a、71b、及びコントローラ72において、それぞれモニターすべき最適なモニター端子に電圧検知回路74a、74b、74cを接続してもよい。

【0096】

具体的には、図18に破線で示すように、例えば2つのチップが搭載されている場合、第1のチップ71aの近傍の電源配線81、接地配線82にモニター端子81b、82bをさらに設け、第1のチップ71aの電圧検知回路74aを、第2のチップ71bの近傍のモニター端子81a、82aに接続し、第2のチップ71bの電圧検知回路74bを、第1のチップ71aの近傍のモニター端子81b、82bに接続し、第1、第2のチップ71a、71bの消費電流を互いにモニターすることにより、他のチップの電流消費を正確に検出することが可能である。

【0097】

その他、本発明は上記各実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記各実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【符号の説明】

【0098】

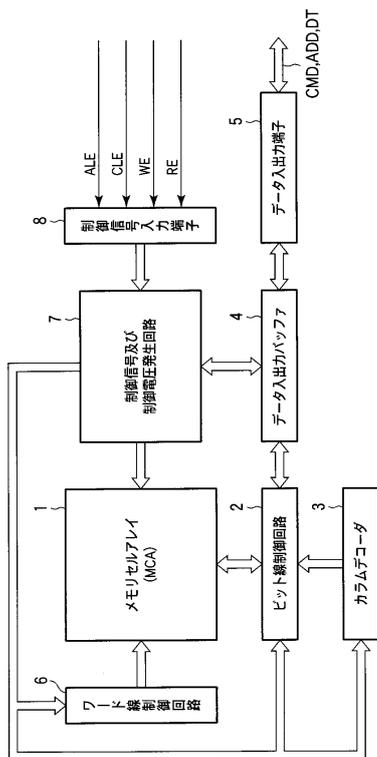
70...マルチチップパッケージ(MCP)、71a、71b、71c...第1、第2、第3のチップ、72...コントローラ、73...電源発生回路、74a、74b、74c、74d...電圧検知回路、75...ECC回路、77...遅延回路、81...電源配線、82...接地配線。

10

20

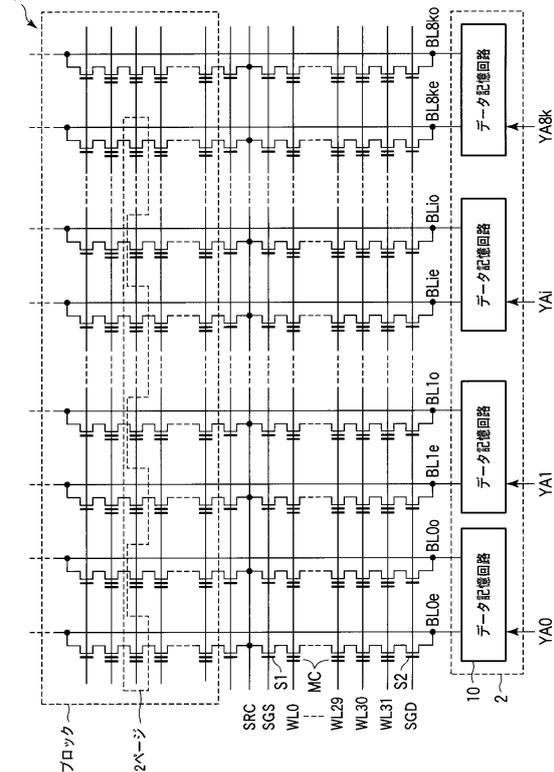
【図1】

図1

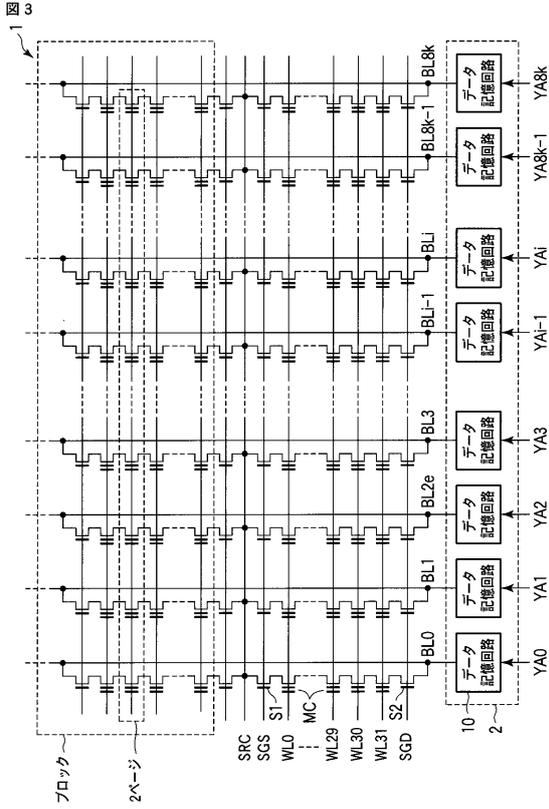


【図2】

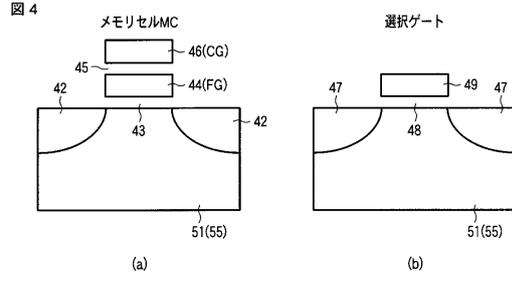
図2



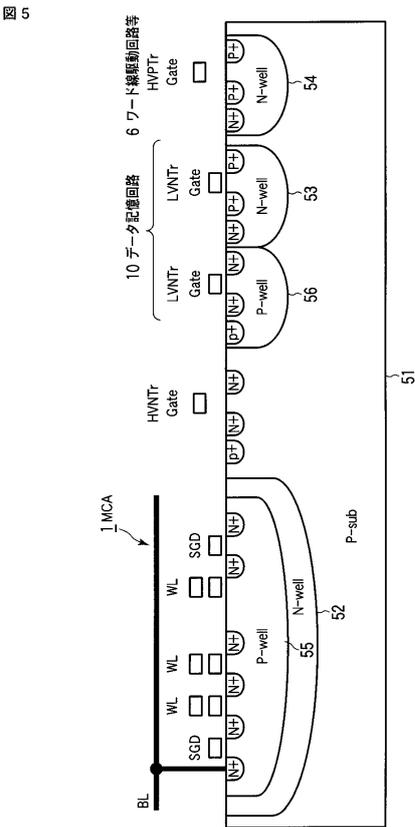
【図3】



【図4】



【図5】

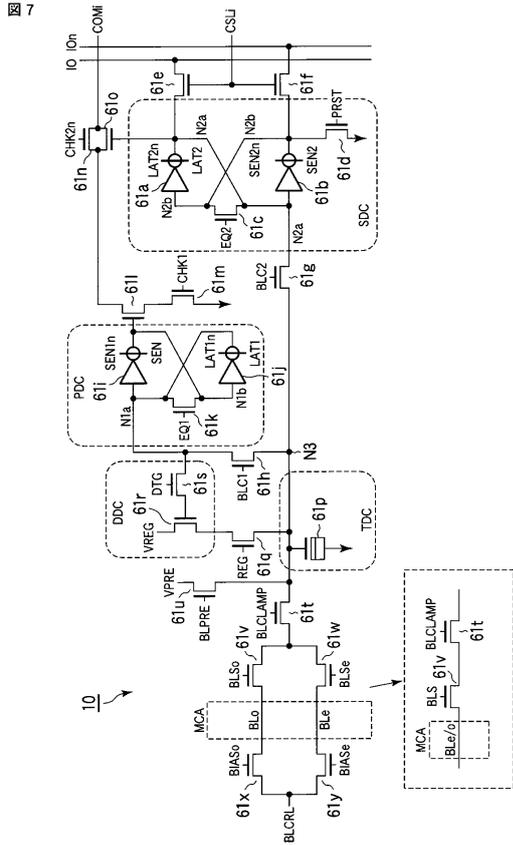


【図6】

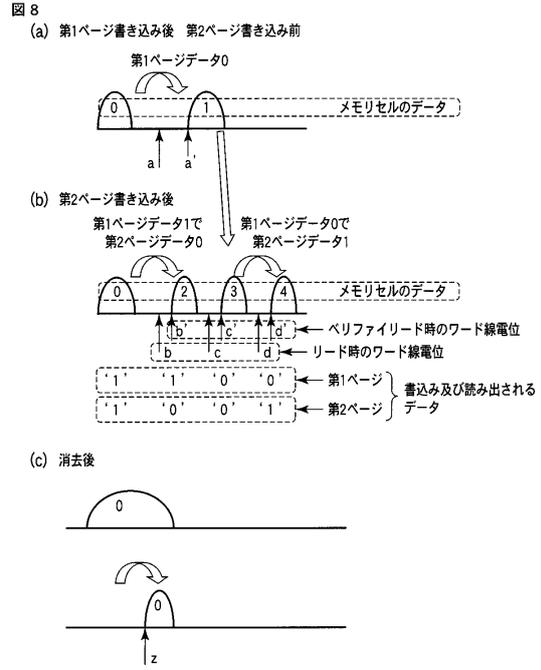
図6

	Cell (P-Well)	Cell (N-Well)	H.V.Tr (P-sub)	L.V.Nch (P-Well)	L.V.Pch (N-Well)	H.V.Pch (N-Well)
消去	Vera(20V)	Vera(20V)	Vss(0V)	Vss(0V)	Vdd(2.5V)	Vdd(2.5V)
プログラム	Vss(0V)	Vss(0V)	Vss(0V)	Vss(0V)	Vdd(2.5V)	Vdd(2.5V)/Vpgrmh
リード	Vss(0V)	Vss(0V)	Vss(0V)	Vss(0V)	Vdd(2.5V)	Vdd(2.5V)/Vread

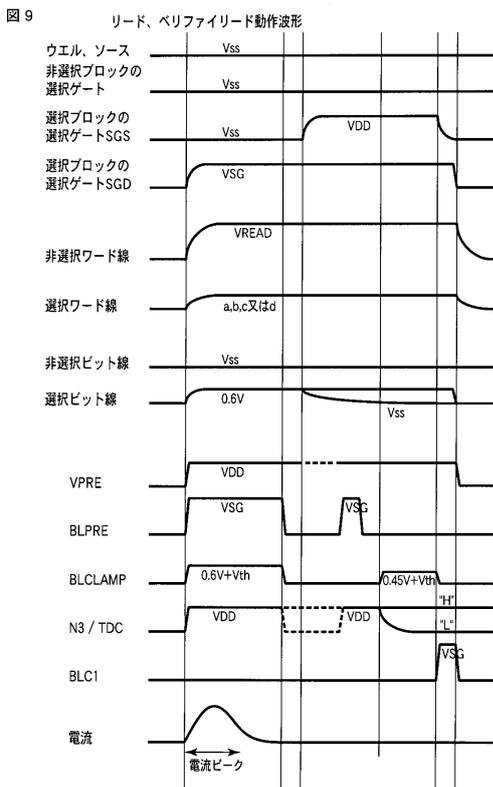
【図 7】



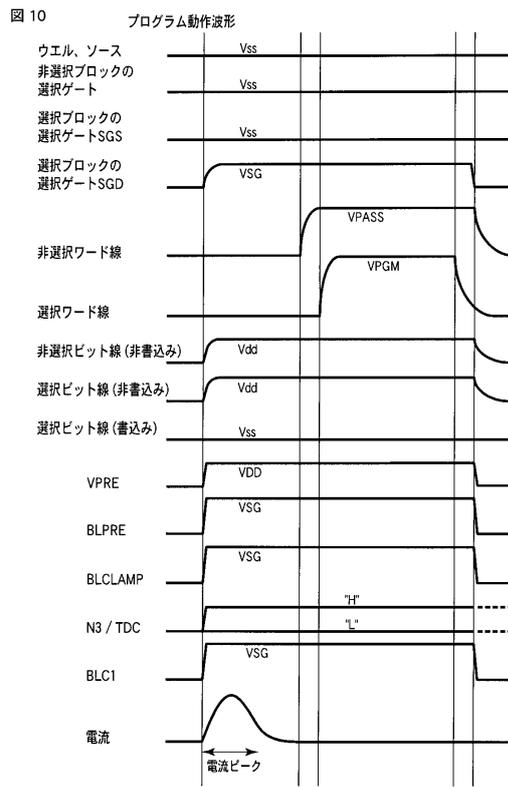
【図 8】



【図 9】

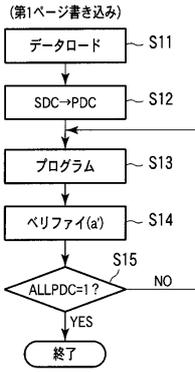


【図 10】



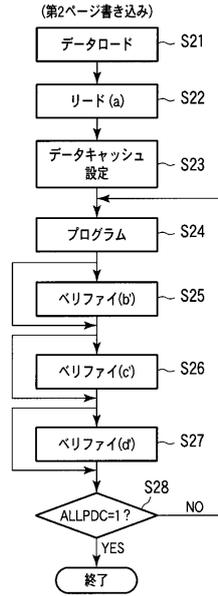
【図11】

図11



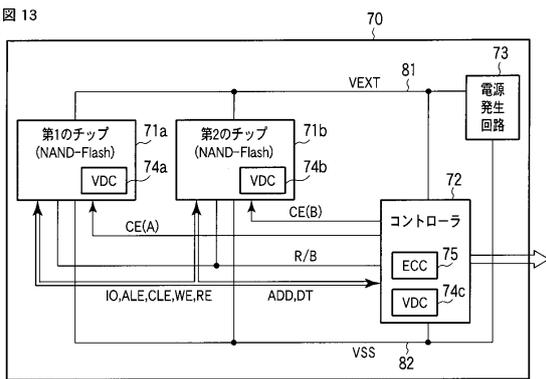
【図12】

図12



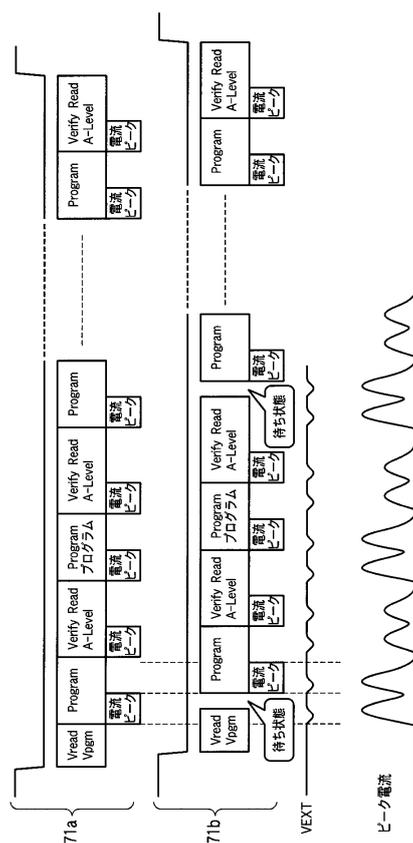
【図13】

図13



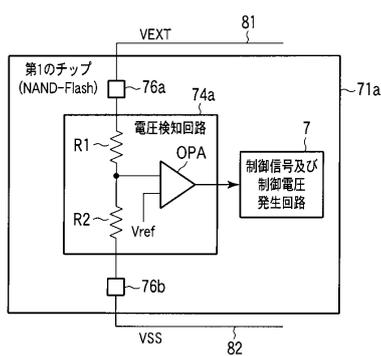
【図15】

図15



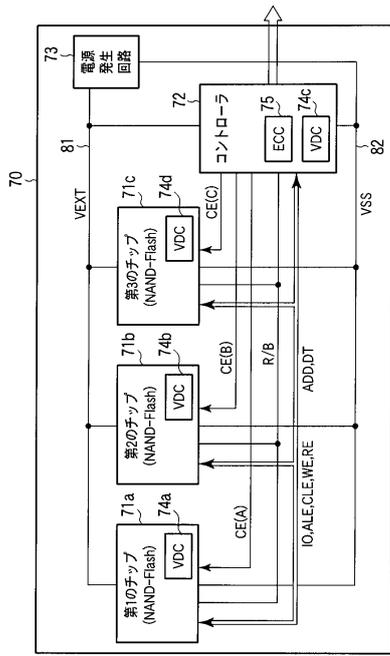
【図14】

図14



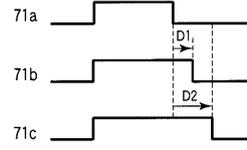
【図16】

図16



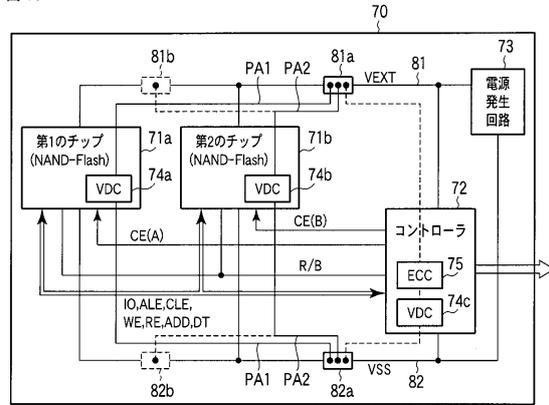
【図17】

図17



【図18】

図18



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/336	(2006.01)	G 0 6 F	12/16 3 4 0 C
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/78 3 7 1

(74)代理人 100084618  
 弁理士 村松 貞男

(74)代理人 100103034  
 弁理士 野河 信久

(74)代理人 100119976  
 弁理士 幸長 保次郎

(74)代理人 100153051  
 弁理士 河野 直樹

(74)代理人 100140176  
 弁理士 砂川 克

(74)代理人 100101812  
 弁理士 勝村 紘

(74)代理人 100124394  
 弁理士 佐藤 立志

(74)代理人 100112807  
 弁理士 岡田 貴志

(74)代理人 100111073  
 弁理士 堀内 美保子

(74)代理人 100134290  
 弁理士 竹内 将訓

(74)代理人 100127144  
 弁理士 市原 卓三

(74)代理人 100141933  
 弁理士 山下 元

(72)発明者 柴田 昇  
 東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 園田 康弘

(56)参考文献 特開2008-197807(JP,A)  
 特開平11-242632(JP,A)  
 特開平05-326870(JP,A)  
 特開平05-288798(JP,A)  
 特開2002-351737(JP,A)  
 特開2000-082294(JP,A)  
 特開平01-125800(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C	1 6 / 0 6
G 0 6 F	1 2 / 1 6
G 1 1 C	1 6 / 0 2
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 8 2 4 7

H 0 1 L    2 7 / 1 1 5  
H 0 1 L    2 9 / 7 8 8  
H 0 1 L    2 9 / 7 9 2