

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6619507号
(P6619507)

(45) 発行日 令和1年12月11日(2019.12.11)

(24) 登録日 令和1年11月22日(2019.11.22)

(51) Int.Cl. F I
HO2M 7/493 (2007.01) HO2M 7/493
HO2M 7/48 (2007.01) HO2M 7/48 M

請求項の数 5 (全 10 頁)

<p>(21) 出願番号 特願2018-514035 (P2018-514035)</p> <p>(86) (22) 出願日 平成28年4月27日 (2016.4.27)</p> <p>(86) 国際出願番号 PCT/JP2016/063290</p> <p>(87) 国際公開番号 W02017/187577</p> <p>(87) 国際公開日 平成29年11月2日 (2017.11.2)</p> <p>審査請求日 平成30年3月30日 (2018.3.30)</p> <p>前置審査</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 100118762 弁理士 高村 順</p> <p>(72) 発明者 酒井 善行 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>(72) 発明者 伊藤 典和 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>審査官 高野 誠治</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 インバータ装置

(57) 【特許請求の範囲】

【請求項1】

2つのスイッチング素子が直列に接続されたスイッチング素子対を複数備え、複数の前記スイッチング素子対は並列に接続され、複数の前記スイッチング素子対におけるそれぞれの交流端子は1つに結線されて同一相の交流端子を成し、三相モータの相数と同数のインバータモジュールと、

前記インバータモジュールの外部において、前記インバータモジュールの直流端子間に接続され、且つ、同一相の複数の前記スイッチング素子対に対して1つ設けられ、且つ、前記インバータモジュールの異なる相ごとに個別に設けられた前記インバータモジュールの数と同数のスナバ回路と、

を備え、

3つの前記インバータモジュールは、それぞれがU相、V相及びW相のインバータモジュールとして配置される

ことを特徴とするインバータ装置。

【請求項2】

前記スナバ回路は、スナバコンデンサ及び抵抗の直列回路、又は、スナバコンデンサ、抵抗及びスナバダイオードを直列もしくは並列に組み合わせた回路であることを特徴とする請求項1に記載のインバータ装置。

【請求項3】

前記インバータモジュールを構成するスイッチング素子は、前記インバータモジュール

ごとに共通の駆動信号によって駆動されることを特徴とする請求項 1 又は 2 に記載のインバータ装置。

【請求項 4】

前記スイッチング素子は、ワイドバンドギャップ半導体によって形成されたスイッチング素子であることを特徴とする請求項 1 から 3 の何れか 1 項に記載のインバータ装置。

【請求項 5】

前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム、又はダイヤモンドを用いた半導体であることを特徴とする請求項 4 に記載のインバータ装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、モータを駆動するインバータ装置に関する。

【背景技術】

【0002】

下記特許文献 1 には、絶縁ゲート型バイポーラトランジスタ(Insulated Gate Bipolar Transistor: IGBT)に代表される高速スイッチング素子を備えた同種のインバータモジュールを回路要素として有し、当該インバータモジュールを並列に接続して、負荷を駆動する構成が開示されている。特許文献 1 のように小さな電流容量のスイッチング素子を用いたインバータモジュールを並列で駆動させる手法は、大きな電流容量のスイッチング素子を用いたインバータモジュールを単独駆動させるよりもコスト及び放熱性に優れるインバータ装置を構成できるという役割を果たしている。

20

【0003】

インバータモジュールを単独駆動する場合、スイッチング遮断時に生じる過渡的な高電圧を抑制するスナバ回路により、回路のインダクタンスエネルギーの解放によるサージ波形を抑制し、スイッチング回路自身及び周辺回路の損傷を防ぎ、且つ電磁ノイズを抑制することが可能であった。

【0004】

なお、下記特許文献 2 には、インバータモジュールを並列駆動させる構成において、インバータモジュール内のスイッチング素子のそれぞれの両端にスナバコンデンサを接続する構成が開示されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2009 - 261106 号公報 (第 6 頁、図 6)

【特許文献 2】特開 2003 - 250277 号公報 (第 16 頁、図 2)

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記特許文献 1 には、スナバ回路に関する言及はない。また、上記特許文献 2 では、スナバコンデンサに関する図示はなされているものの、インバータモジュールの並列駆動に関連付けた説明はなされていない。上述したように、インバータモジュールを並列駆動させる場合、単独駆動時よりもスイッチングによるサージ電流は増加するため、並列駆動の場合のサージ回路に関する考察が必要である。スナバ回路の能力を高めるために、時定数の大きなスナバ回路部品を採用することも 1 つの手法ではあるものの、部品実装面積の増大化、スナバ回路部品の高負荷低寿命化の問題もあり、また、回路の高電圧領域の拡大化の問題もある。このため、従来の考え方では、装置サイズの増大及びコストの増加を招来し、何らかの改善が求められていた。

40

【0007】

本発明は、上記に鑑みてなされたものであって、装置サイズの増大及びコストの増加を抑制しつつ、並列駆動に適したインバータモジュールを用いて構成したインバータ装置を

50

提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するため、本発明に係るインバータ装置は、モータの相数と同数のインバータモジュールと、インバータモジュールの直流端子間に接続されたスナバ回路と、を備える。インバータモジュールは、2つのスイッチング素子が直列に接続されたスイッチング素子対を複数備え、複数のスイッチング素子対は並列に接続され、インバータモジュールを構成するスイッチング素子は、インバータモジュールごとに共通の駆動信号によって駆動される。

【発明の効果】

10

【0009】

本発明によれば、装置サイズの増大及びコストの増加を抑制しつつ、並列駆動に適したインバータモジュールを用いてインバータ装置を構成できる、という効果を奏する。

【図面の簡単な説明】

【0010】

【図1】実施の形態に係るインバータ装置の回路構成を示す図

【図2】実施の形態に係るスナバ回路の図1とは異なる例を示す図

【図3】本実施の形態に係るインバータ装置におけるインバータモジュール及びスナバ回路の部品配置の様子を示す斜視図

【図4】並列駆動の手法が異なるインバータ装置の回路構成を比較例として示す図

20

【図5】図4に示すインバータ装置におけるインバータモジュール及びスナバ回路の部品配置の様子を示す斜視図

【図6】図5に示すインバータモジュールにおけるU相、V相及びW相における結線の様子を示す斜視図

【図7】本実施の形態に係るインバータ装置によるサージ電圧低減効果を説明する図

【発明を実施するための形態】

【0011】

以下に、本発明の実施の形態に係るインバータ装置を図面に基づいて詳細に説明する。なお、以下の実施の形態により、本発明が限定されるものではない。

【0012】

30

実施の形態

図1は、本発明の実施の形態に係るインバータ装置の回路構成を示す図である。本実施の形態に係るインバータ装置は、図1に示すように、U相に対応するインバータモジュール1a、V相に対応するインバータモジュール1b及びW相に対応するインバータモジュール1cを備える。インバータモジュール1aは、それぞれがスイッチング素子1a1, 1a2, 1a3, 1a4, 1a5, 1a6を備える。スイッチング素子1a1, 1a2, 1a3, 1a4, 1a5, 1a6のうち、スイッチング素子1a1, 1a3, 1a5は上アームのスイッチング素子を構成し、スイッチング素子1a2, 1a4, 1a6は下アームのスイッチング素子を構成する。上アームのスイッチング素子は「上アーム」と略され、下アームのスイッチング素子は単に「下アーム」と略されることもある。インバータモジュール1b, 1cの構成も、インバータモジュール1aと同様である。なお、簡略化のため、図1では、インバータモジュール1b, 1c内のスイッチング素子1a1, 1a2, 1a3, 1a4, 1a5, 1a6の符号を省略している。

40

【0013】

インバータモジュール1a, 1b, 1cは、それぞれが、上アームの1つのスイッチング素子と下アームの1つのスイッチング素子とが直列に接続されたスイッチング素子対を備える。図1の構成では、インバータモジュールごとに、3つのスイッチング素子対が設けられている。上アームの1つのスイッチング素子であるスイッチング素子1a1と下アームの1つのスイッチング素子であるスイッチング素子1a2との接続点は引き出されて端子13に電氣的に接続される。他のスイッチング素子も同様であり、上アームのスイッ

50

チング素子 1 a 3 と下アームのスイッチング素子 1 a 4 との接続点は引き出されて端子 1 4 に電氣的に接続され、上アームのスイッチング素子 1 a 5 と下アームのスイッチング素子 1 a 6 との接続点は引き出されて端子 1 5 に電氣的に接続される。インバータモジュール 1 a , 1 b , 1 c において、端子 1 3 , 1 4 , 1 5 は、インバータモジュールにおける交流端子を構成する。

【 0 0 1 4 】

また、インバータモジュール 1 a において、上アームのスイッチング素子であるスイッチング素子 1 a 1 , 1 a 3 , 1 a 5 の高電位側の電極同士は接続され、インバータモジュール 1 a に設けられた端子 1 1 に電氣的に接続される。また、下アームのスイッチング素子であるスイッチング素子 1 a 2 , 1 a 4 , 1 a 6 の低電位側の電極同士は接続され、インバータモジュール 1 a に設けられた端子 1 2 に電氣的に接続される。他のインバータモジュール 1 b , 1 c も同様に構成される。インバータモジュール 1 a , 1 b , 1 c において、端子 1 1 , 1 2 は、インバータモジュールにおける直流端子を構成する。

【 0 0 1 5 】

インバータモジュール 1 a において、端子 1 1 , 1 2 にはスナバ回路 2 a が接続される。スナバ回路 2 a は、スナバコンデンサ 2 a 1 及びスナバ抵抗 2 a 2 を備える。スナバコンデンサ 2 a 1 とスナバ抵抗 2 a 2 とは、直列に接続されている。他のインバータモジュール 1 b , 1 c も同様に構成される。なお、図 1 では、スナバコンデンサ 2 a 1 とスナバ抵抗 2 a 2 とが直列に接続されたスナバ回路を例示しているが、この構成には限定されない。図 2 は、本実施の形態に係るスナバ回路の図 1 とは異なる例を示す図である。図 2 に示すように、スナバ抵抗 2 a 2 の両端に並列に接続されるスナバダイオード 2 a 3 を備えていてもよい。また、図 2 の回路構成も一例であり、回路要素であるスナバコンデンサ 2 a 1 、スナバ抵抗 2 a 2 及びスナバダイオード 2 a 3 を直列又は並列に組み合わせる幾つかのバリエーションが知られている。すなわち、スナバ回路は、スナバコンデンサ及び抵抗の直列回路、又は、スナバコンデンサ、抵抗及びスナバダイオードを直列もしくは並列に組み合わせた回路で構成されていてもよい。

【 0 0 1 6 】

インバータモジュール 1 a , 1 b , 1 c は、モータ 4 に接続される。モータ 4 は、U 相巻線 4 U 、V 相巻線 4 V 及び W 相巻線 4 W を有する三相モータである。インバータモジュール 1 a の端子 1 3 , 1 4 , 1 5 は 1 つに結線されて、モータ 4 の U 相巻線 4 U に電氣的に接続される。他のインバータモジュール 1 b , 1 c も同様であり、インバータモジュール 1 b の端子 1 3 , 1 4 , 1 5 は 1 つに結線されて、モータ 4 の V 相巻線 4 V に電氣的に接続され、インバータモジュール 1 c の端子 1 3 , 1 4 , 1 5 は 1 つに結線されて、モータ 4 の W 相巻線 4 W に電氣的に接続される。すなわち、図 1 に示すインバータ装置の構成は、それぞれのインバータモジュールにおける複数の交流端子が同一相の交流端子を成し、それぞれが U 相、V 相及び W 相のインバータモジュールとして配置される。

【 0 0 1 7 】

図 1 のように構成されたインバータ装置によれば、スイッチング素子 1 a 1 , 1 a 2 , 1 a 3 , 1 a 4 , 1 a 5 , 1 a 6 の個々の電流容量が小さい場合でも、スイッチング素子対を並列化することにより大電流容量のインバータ装置を実現することができる。

【 0 0 1 8 】

制御部 5 は、インバータモジュール 1 a , 1 b , 1 c 内のスイッチング素子の動作を制御するための制御手段である。具体的に説明すると、制御部 5 は、インバータモジュール 1 a , 1 b , 1 c 内のスイッチング素子 1 a 1 , 1 a 2 , 1 a 3 , 1 a 4 , 1 a 5 , 1 a 6 を制御するための駆動信号である PWM 信号 U P , V P , W P , U N , V N , W N を生成してインバータモジュール 1 a , 1 b , 1 c へ出力する。PWM 信号 U P , V P , W P , U N , V N , W N のうち、U P , V P , W P は、U 相、V 相及び W 相の上アームのスイッチング素子 1 a 1 , 1 a 3 , 1 a 5 のオンオフ状態を制御するための PWM 信号であり、U N , V N , W N は、U 相、V 相及び W 相の下アームのスイッチング素子 1 a 2 , 1 a 4 , 1 a 6 のオンオフ状態を制御するための PWM 信号である。

【 0 0 1 9 】

本実施の形態のインバータ装置は、前述の通り、インバータモジュール 1 a は U 相のインバータモジュールを構成し、インバータモジュール 1 b は V 相のインバータモジュールを構成し、インバータモジュール 1 c は W 相のインバータモジュールを構成する。このため、インバータモジュール 1 a には PWM 信号 U P , U N が出力され、インバータモジュール 1 b には PWM 信号 V P , V N が出力され、インバータモジュール 1 c には PWM 信号 W P , W N が出力される。

【 0 0 2 0 】

スイッチング素子 1 a 1 , 1 a 2 , 1 a 3 , 1 a 4 , 1 a 5 , 1 a 6 としては、どのような素子を用いてもよいが、G a N (窒化ガリウム)、S i C (シリコンカーバイド：炭化珪素)、ダイヤモンドなどのワイドバンドギャップ半導体を用いることが可能である。ワイドバンドギャップ半導体を用いることで耐電圧性が高く、許容電流密度も高くなるため、インバータモジュールの小型化が可能となる。ワイドバンドギャップ半導体は、耐熱性も高いため、図示しない放熱部の放熱フィンの小型化も可能になる。ワイドバンドギャップ半導体によって形成されたスイッチング素子は、スイッチングスピードが速く、スイッチング時に発生する損失が小さいので、同様に放熱部の放熱フィンの小型化が可能になる。

【 0 0 2 1 】

次に、本実施の形態に係るインバータ装置の特徴について、図 1 から図 7 の図面を適宜参照して説明する。図 3 は、本実施の形態に係るインバータ装置におけるインバータモジュール及びスナバ回路の部品配置の様子を示す斜視図である。図 4 は、並列駆動の手法が異なるインバータ装置の回路構成を比較例として示す図である。図 5 は、図 4 に示すインバータ装置におけるインバータモジュール及びスナバ回路の部品配置の様子を示す斜視図である。図 6 は、図 5 に示すインバータモジュールにおける U 相、V 相及び W 相における結線の様子を示す斜視図である。図 7 は、本実施の形態に係るインバータ装置によるサージ電圧低減効果を説明する図である。

【 0 0 2 2 】

ここで、図 3 から図 7 の図面について補足する。まず、図 4 は、図 1 とは基本的な構成は同等であるが、交流端子である端子 1 3 , 1 4 , 1 5 の結線の方法が異なり、また、並列駆動の手法が異なる。なお、図 1 と同等の構成部には同一の符号を付している。図 1 では、各インバータモジュールの端子 1 3 , 1 4 , 1 5 は 1 つに結線されていたが、図 4 では、各インバータモジュールにおける端子 1 3 同士が 1 つに結線されて、モータ 4 の U 相巻線 4 U に電氣的に接続されている。端子 1 4 及び端子 1 5 も同様であり、各インバータモジュールにおける端子 1 4 同士が 1 つに結線されて、モータ 4 の V 相巻線 4 V に電氣的に接続され、各インバータモジュールにおける端子 1 5 同士が 1 つに結線されて、モータ 4 の W 相巻線 4 W に電氣的に接続されている。すなわち、図 4 に示すインバータ装置の構成は、それぞれのインバータモジュールにおける複数の交流端子のそれぞれが異なる相の交流端子を成し、複数のインバータモジュールにおける第 1 アーム、第 2 アーム及び第 3 アームのそれぞれが、U 相、V 相及び W 相のインバータ回路として動作する構成である。

【 0 0 2 3 】

図 3 は、図 1 の回路図を基に製作したインバータモジュール 6 a , 6 b , 6 c 及びスナバ回路 7 a , 7 b , 7 c の配置図である。また、図 5 は、図 4 の回路図を基に製作したインバータモジュール 6 A , 6 B , 6 C 及びスナバ回路 7 a , 7 b , 7 c の配置図である。図 1 及び図 4 のように、インバータの回路構成は同一であるが、交流端子である端子 1 3 , 1 4 , 1 5 の接続構成が異なり、図 3 及び図 5 に示すように、インバータモジュールは異なるものとなる。

【 0 0 2 4 】

具体的に説明すると、図 3 に示すように、インバータモジュール 6 a の U 端子は 3 つの端子から成り、当該 3 つの端子は、図 1 のインバータモジュール 6 a の回路における端子 1 3 , 1 4 , 1 5 に対応する。同様に、インバータモジュール 6 b の V 端子は 3 つの端子

10

20

30

40

50

から成り、当該3つの端子は、図1のインバータモジュール6bの回路における端子13, 14, 15に対応する。また、インバータモジュール6cのW端子は3つの端子から成り、当該3つの端子は、図1のインバータモジュール6cの回路における端子13, 14, 15に対応する。

【0025】

一方、図5に示すように、インバータモジュール6A, 6B, 6Cにおける各々のU端子は、図4のインバータモジュール1a, 1b, 1cの回路における各々の端子13に対応する。同様に、インバータモジュール6A, 6B, 6Cにおける各々のV端子は、図4のインバータモジュール1a, 1b, 1cの回路における各々の端子14に対応する。また、インバータモジュール6A, 6B, 6Cにおける各々のW端子は、図4のインバータモジュール1a, 1b, 1cの回路における各々の端子15に対応する。したがって、インバータモジュール6A, 6B, 6Cを用いてインバータ回路を構成するには、図6に示すように結線する必要がある。なお、図3及び図5における回路部品の配置条件は同一であり、何れも回路部品の実装面積が小さくなるように配置している。また、インバータモジュール6a, 6b, 6c及びインバータモジュール6A, 6B, 6Cにおける、U端子、V端子及びW端子、並びに、直流端子であるP端子及びN端子の配置は、各端子間の線間電圧及び絶縁距離、並びに、各端子に通電する電流を考慮して決める必要があり、図示のように、P端子及びN端子が両側に配置され、P端子とN端子との間に、U端子、V端子及びW端子が配置される構成となる。

【0026】

図7には、図1及び図4の回路のターンオフ時の電圧波形及び電流波形が示されている。ターンオフ時の電流は、図示のように、ピーク値 I_0 から零に向かって急速に立ち下がる波形となる。一方、ターンオフ時の電圧は、図示のように、零から急速に立ち上がる波形となる。電圧波形において、実線は単一モジュールにて三相出力を行う図4の回路の電圧波形であり、破線は単一モジュールにて単相出力を行う図1の回路の電圧波形である。なお、図4の回路構成における配線インダクタンスを L_0 とし、図1の回路構成における配線インダクタンスを L_1 としている。

【0027】

本実施の形態に係るインバータ装置の特徴の説明に戻る。まず、図1のように構成された回路においては、1つのインバータモジュール内に設計された各アーム出力をモータ出力のU相、V相及びW相とすることで、図3に示すようにインバータモジュール同士の絶縁距離が、ほぼ各相の絶縁距離となり、モータ4への結線が容易になる。

【0028】

図1の回路構成の場合、大電流駆動のときには、U相、V相及びW相に多くの電流が通電されるため、配線パターンを広くとらなければならないが、図3に示されるように、インバータモジュールから引き出されるアーム端子同士が接近しているため、端子同士を結線すればよく、大電流を許容するための太い配線パターンを引き回さずに済むという利点がある。

【0029】

また、図4の回路構成の場合、図6に示すように、U相、V相及びW相の交流出力の配線パターンを引き回す必要がある。また、P端子に接続する配線パターンとN端子に接続する配線パターンとは、低インダクタンスのために、それらを近づけて配線する必要がある。かつ、交流配線と干渉しないように広く配線する必要がある。このため、P端子及びN端子に接続する配線パターンは、図1の回路構成に比して長くなる。このため、配線インダクタンスが大きくなり、スイッチング時のサージ電圧が大きくなる。その結果、時定数の大きなスナバ回路が必要となる。スナバ回路における時定数は、スナバコンデンサの容量と、スナバ抵抗の抵抗値の積に比例するので、スナバ回路部品の実装面積が増大し、装置サイズが増大し、また、コストが増加する要因となっていた。

【0030】

これに対し、図1の回路構成の場合、U相、V相及びW相の交流出力の配線パターンを

引き回す必要はないため、P端子及びN端子に接続する配線パターンを、図4の回路構成よりも短くすることができる。これにより、配線インダクタンスを小さくすることができるので、装置サイズの増大及びコストの増加を抑制することが可能となる。

【0031】

上述のように、図7には、実線及び破線にて、スイッチング素子がターンオフするときの電圧波形を示している。ターンオフ時の電圧波形は、一般的に、次式で表すことができる。

【0032】

$$V_{CESP} = E + V_{FM} + (-L \cdot dI / dt) \dots (1)$$

【0033】

上記(1)式において、 V_{CESP} はターンオフ時のスパイク電圧の値、 E はインバータモジュールに印加される直流電源電圧の値、 V_{FM} はスナバダイオードにおける過渡順電圧降下の値、 L は配線インダクタンスの値、 dI / dt は、スイッチング素子におけるターンオフ時の電圧変化を表す。

【0034】

上述のように、図4の回路構成における配線インダクタンス L_0 と、図1の回路構成における配線インダクタンス L_1 との間には、 $L_0 > L_1$ の関係がある。このため、実線で示す電圧波形のピーク値、破線で示す電圧波形のピーク値との差分値である V_{CESP} は、次式で表すことができる。

【0035】

$$V_{CESP} = (L_0 - L_1)(dI / dt) \dots (2)$$

【0036】

上記(2)式で表される V_{CESP} が、スナバ回路部品の低価格化、スナバ回路部品の長寿命化、スナバ回路部品の低サイズ化に寄与できる定量値である。

【0037】

なお、図1の例では、1つのインバータモジュールが3対のスイッチング素子対で構成される例を示したが、図1の例に限定されず、2対又は4対以上のスイッチング素子で1つのインバータモジュールが構成されていてもよい。

【0038】

また、図1の構成例では、モータ4が3相モータの例を示したが、3相モータに限定されず、相数分のインバータモジュールを用いることで図1の例と同様に低価格化及び低サイズ化を実現できる。

【0039】

また、図1の構成例では、1相あたり1つのインバータモジュールを用いる例を示したが、1相あたり複数のインバータモジュールを用いてもよい。一例として、1相あたり2つのインバータモジュールを並列に接続して用いて、相数×2個のインバータモジュールを用いてもよい。

【0040】

以上説明したように、本実施の形態に係るインバータ装置によれば、モータの相数と同数のインバータモジュール、及びインバータモジュールの直流端子間に接続されたスナバ回路を備え、インバータモジュールは、2つのスイッチング素子が直列に接続されたスイッチング素子対を複数備え、複数のスイッチング素子対は並列に接続されるように構成したので、装置サイズの増大及びコストの増加を抑制しつつ、並列駆動に適したインバータ装置を構成することが可能となる。

【0041】

なお、以上の実施の形態に示した構成は、本発明の内容の一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、本発明の要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

【符号の説明】

【0042】

10

20

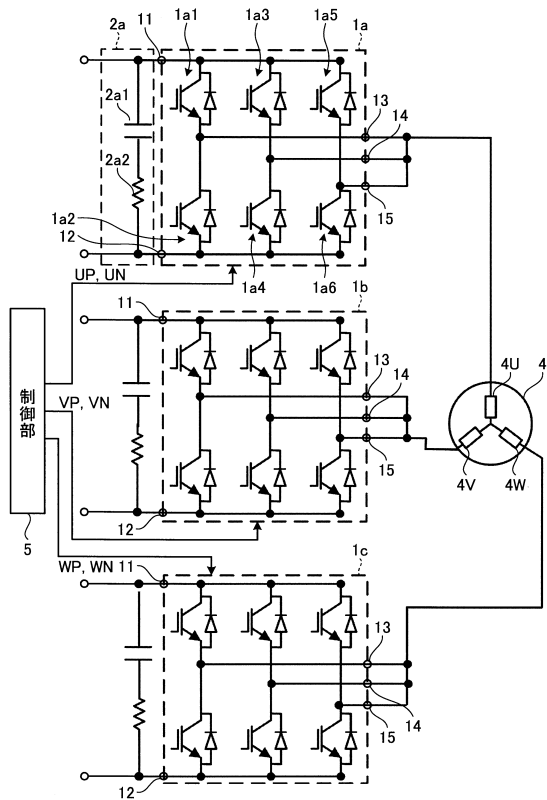
30

40

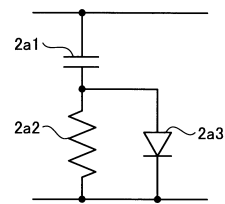
50

1 a , 1 b , 1 c , 6 a , 6 b , 6 c , 6 A , 6 B , 6 C インバータモジュール、1 a 1 , 1 a 2 , 1 a 3 , 1 a 4 , 1 a 5 , 1 a 6 スイッチング素子、2 a , 7 a , 7 b , 7 c スナバ回路、2 a 1 スナバコンデンサ、2 a 2 スナバ抵抗、2 a 3 スナバダイオード、4 モータ、4 U U相巻線、4 V V相巻線、4 W W相巻線、5 制御部、1 1 , 1 2 , 1 3 , 1 4 , 1 5 端子。

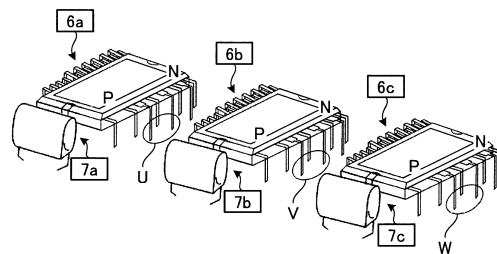
【図 1】



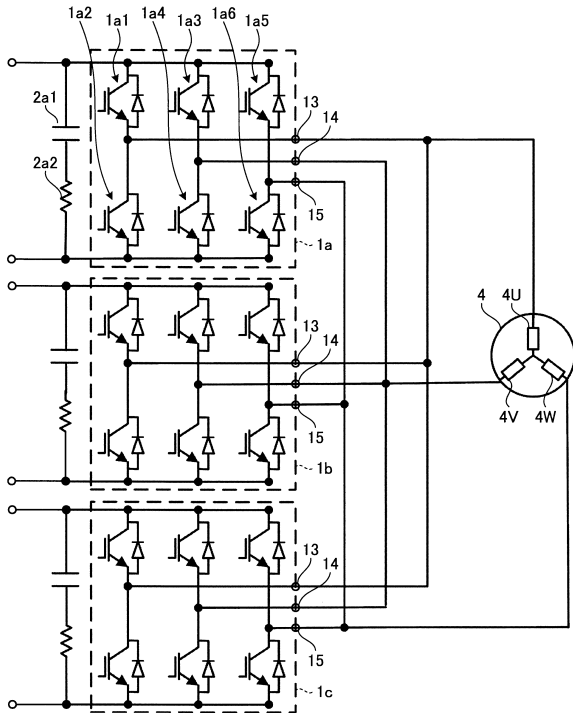
【図 2】



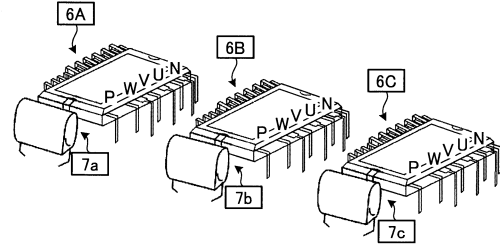
【図 3】



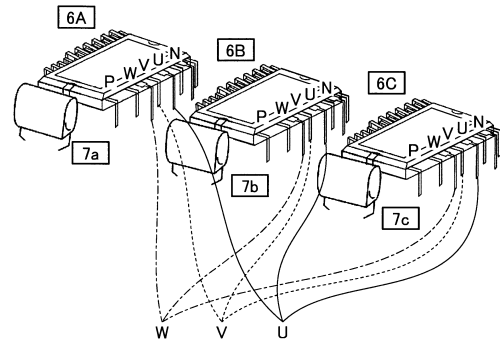
【 図 4 】



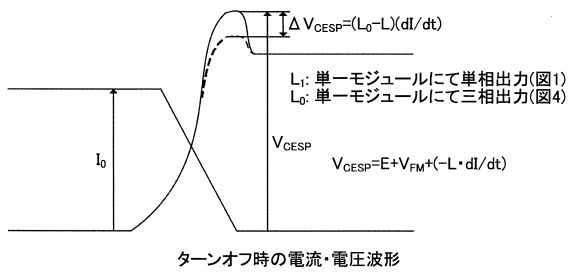
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平04 - 125072 (JP, A)
特開平09 - 182451 (JP, A)
特開2009 - 261106 (JP, A)
特開平03 - 150073 (JP, A)
特開2010 - 017080 (JP, A)
特開2014 - 165949 (JP, A)
国際公開第2013 / 114565 (WO, A1)
特開2015 - 089244 (JP, A)
特開2010 - 287699 (JP, A)
特開2011 - 239547 (JP, A)
特開2005 - 117783 (JP, A)
特開2010 - 098846 (JP, A)
国際公開第2016 / 071964 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 7/42 - 7/98