



(12)发明专利申请

(10)申请公布号 CN 111144176 A  
(43)申请公布日 2020.05.12

(21)申请号 201811307482.X

(22)申请日 2018.11.05

(71)申请人 上海海栎创微电子有限公司  
地址 201203 上海市浦东新区丹桂路899号  
张江国创中心主楼(1幢)4层411室

(72)发明人 朱定飞 刘华 王建军

(74)专利代理机构 上海启核知识产权代理有限公司 31339  
代理人 王仙子

(51)Int.Cl.  
G06K 9/00(2006.01)

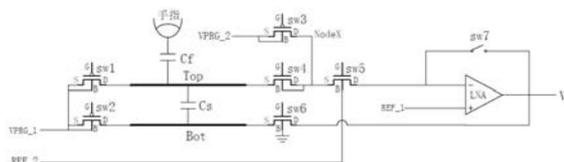
权利要求书2页 说明书4页 附图3页

(54)发明名称

一种电容式指纹像素检测电路及检测方法

(57)摘要

本发明涉及集成电路设计及指纹检测技术领域,尤其涉及一种可以对周边环境和电路的寄生背景电容进行完全自补偿,并且能够很好地容忍工艺偏差和静态漏电流的指纹像素检测电路及方法,包括电压产生器,开关元件,基准电压源,检测电极,隔离电极,中间节点,运算放大器,目标电容,寄生电容,适合于上述电路工作的开关和信号控制序列,在该序列的各个阶段重点完成信号的预充、复位、积分、补偿,通过内部电位的变换来实现对指纹信号的采集,从而避免了引入外部电极,简化了指纹检测的应用场景;通过引入特殊的开关和信号控制序列,最大程度地抑制了寄生电容和静态漏电流对信号失真的负面影响,实现高的灵敏度和动态范围。



1. 一种电容式指纹像素检测电路,其特征在于:包括电压产生器VPRG\_1、电压产生器VPRG\_2、开关元件、基准电压源REF\_1、基准电压源REF\_2、检测电极Top、隔离电极Bot、中间节点NodeX,用于信号运算功能的运算放大器LNA,手指和检测电极Top之间形成目标电容Cf,隔离电极Bot和检测电极Top之间形成寄生电容Cs;

所述开关元件包括第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4、第五开关sw5、第六开关sw6和复位开关sw7,其中,所述第一开关sw1至第六开关sw6均为CMOS开关;

所述第一开关sw1和第二开关sw2的一端和衬底共同连接到电压产生器VPRG\_1,另一端分别连接到检测电极Top和隔离电极Bot,所述复位开关sw7跨接到运算放大器LNA的负输入端和输出端,所述运算放大器LNA的正输入端与基准电压源REF\_1引脚相连接,所述隔离电极Bot与运算放大器LNA的输出端之间通过第六开关sw6连接,所述运算放大器LNA的负输入端与第五开关sw5的一端连接,所述第五开关sw5的另一端与中间节点NodeX连接,且所述第五开关sw5的衬底与基准电压源REF\_2引脚连接,所述第四开关sw4的一端和衬底共同与中间节点NodeX连接,另一端与检测电极Top相连接,所述第三开关sw3的一端连接到中间节点NodeX,另一端和衬底共同连接到电压产生器VPRG\_2。

2. 根据权利要求1所述的一种电容式指纹像素检测电路,其特征在于:所述第一开关sw1、第二开关sw2、第三开关sw3均为PMOS开关,所述第四开关sw4、第五开关sw5、第六开关sw6均为NMOS开关。

3. 根据权利要求1所述的一种电容式指纹像素检测电路,其特征在于:所述第一开关sw1的漏端与检测电极Top连接,所述第二开关sw2的漏端与隔离电极Bot连接,所述第一开关sw1和第二开关sw2的源端和衬底共同连接到电压产生器VPRG\_1。

4. 根据权利要求1所述的一种电容式指纹像素检测电路,其特征在于:所述第三开关sw3的源端和衬底共同连接到电压产生器VPRG\_2,其漏端与中间节点NodeX连接。

5. 根据权利要求1所述的一种电容式指纹像素检测电路,其特征在于:所述第四开关sw4的源端连接到检测电极Top,其漏端和衬底共同连接到中间节点NodeX。

6. 根据权利要求1所述的一种电容式指纹像素检测电路,其特征在于:所述第五开关sw5的源端连接到中间节点NodeX,其漏端连接到运算放大器LNA的负输入端,其衬底基准电压源REF\_2引脚相连接。

7. 根据权利要求1所述的一种电容式指纹像素检测电路,其特征在于:所述第六开关sw6的源端连接到检测电极Top,其漏端与运算放大器LNA的输出端连接,其衬底接地。

8. 一种电容式指纹像素检测方法,其特征在于,包括步骤:

(a) 预充阶段,闭合第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4,检测电极Top和隔离电极Bot同时被预充到电压 $V_1$ ,同时中间节点NodeX连同第四开关sw4的衬底也被预充到电压 $V_1$ ,此时检测电极Top和周围各寄生节点之间处于同一电位,而复位开关sw7闭合,运算放大器LNA处于复位模式;

(b) 断开所述第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4,预充阶段结束;

(c) 第五开关sw5、第六开关sw6闭合,所述中间节点NodeX和隔离电极Bot被复位到基准电压 $V_2$ ;同时所述第三开关sw3的衬底偏置电压被降低到 $V_2$ ;

(d) 所述复位开关sw7断开,然后第四开关sw4闭合,此时寄生电容Cs和运算放大器LNA共同构成一个积分器,检测电极Top的电压变为 $V_2$ ;

(e) 所述第一开关sw1、第二开关sw2的衬底偏置和第一开关sw1的栅极控制电压变为 $V_2$ ；最后，手指和检测电极Top之间形成目标电容 $C_f$ 相关的信号全部会落在寄生电容 $C_s$ 上，和 $V_2$ 的基准电压之间形成一个压差；以及

(f) 对所述压差进行分析。

## 一种电容式指纹像素检测电路及检测方法

### 技术领域

[0001] 本发明涉及集成电路设计及指纹检测技术领域,尤其涉及一种电容式指纹像素检测电路及检测方法。

### 背景技术

[0002] 对于当前的生物认证方式而言,指纹认证由于其具有很高的可靠性和性价比,已经成为了当前生物认证的主流;而电容式指纹传感器由于其体积小、速度快、低功耗、高探测度和极具易用性的特点,又成为指纹认证中的主流方式,成为当前研究的重点。

[0003] 目前,电容式的指纹传感器在工作时,一种方式是通过一个外部电极将用户的手指连接到传感器的驱动信号源上,与传感器内部的电路形成检测回路。这样的做法可以使得指纹信号的获得对周边环境和电路的寄生电容不敏感,得到高的灵敏度和动态范围。但是由于要引入外部电极,一方面会使应用场景变得复杂,另一方面直接增大了指纹模组的设计复杂度和成本。

[0004] 另外一种方式是将传感器的所有信号都局限于芯片内部,通过对内部像素检测电极的电位进行变换来耦合指纹信号;在这种方式下,为了达到20KV以上的静电保护,要求传感器检测电极之上绝缘介质的厚度大于50 $\mu\text{m}$ ,此时指纹谷脊信号已经小到了0.1fF级别,也就是说检测电极和手指之间的电容信号已经远远小于检测电极对周边环境和电路的寄生背景电容(通常在100fF级别);因而实现一套上述的指纹采集系统,必须要实现对背景寄生电容的最大限度的补偿,以获得高的灵敏度和动态范围。

[0005] 除了上述因素外,集成电路制造过程中的工艺失配和静态漏电流的客观存在,也会造成指纹信号的失真,这也是一套高灵敏度和高动态范围的指纹采集系统设计中必须要解决的问题。

[0006] 所以,如何设计一种寄生自补偿和抗工艺漏流的电容式指纹像素电路及方法,成为我们当前要解决的问题。

### 发明内容

[0007] 本发明旨在解决上述问题。

[0008] 为此,本发明的第一个目的,在于提出一种电容式指纹像素检测电路。该电路可以通过对像素检测电极电位的内部变换来实现对指纹信号的检测,无需外部连接,从而简化了应用系统。

[0009] 为实现上述目的,本发明提供如下技术方案:一种电容式指纹像素检测电路,包括电压产生器VPRG\_1、开关元件、基准电压源REF\_1、基准电压源REF\_2、检测电极Top、隔离电极Bot、中间节点NodeX,用于信号运算功能的运算放大器LNA,手指和检测电极Top之间形成目标电容Cf,隔离电极Bot和检测电极Top之间形成寄生电容Cs;

[0010] 所述开关元件包括第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4、第五开关sw5、第六开关sw6和复位开关sw7,其中,所述第一开关sw1至第六开关sw6均为CMOS开

关；

[0011] 所述第一开关sw1和第二开关sw2的一端和衬底共同连接到电压产生器VPRG\_1,另一端分别连接到检测电极Top和隔离电极Bot,所述复位开关sw7跨接到运算放大器LNA的负输入端和输出端,所述运算放大器LNA的正输入端与基准电压源REF\_1引脚相连接,所述隔离电极Bot与运算放大器LNA的输出端之间通过第六开关sw6连接,所述运算放大器LNA的负输入端与第五开关sw5的一端连接,所述第五开关sw5的另一端与中间节点NodeX连接,且所述第五开关sw5的衬底与基准电压源REF\_2引脚连接,所述第四开关sw4的一端和衬底共同与中间节点NodeX连接,另一端与检测电极Top相连接,所述第三开关sw3的一端连接到中间节点NodeX,另一端和衬底共同连接到电压产生器VPRG\_2。

[0012] 可选的,对于所述的一种电容式指纹像素检测电路,所述第一开关sw1、第二开关sw2、第三开关sw3均为PMOS开关,所述第四开关sw4、第五开关sw5、第六开关sw6均为NMOS开关。

[0013] 可选的,对于所述的一种电容式指纹像素检测电路,所述第一开关sw1的漏端与检测电极Top连接,所述第二开关sw2的漏端与隔离电极Bot连接,所述第一开关sw1和第二开关sw2的源端和衬底共同连接到电压产生器VPRG\_1。

[0014] 可选的,对于所述的一种电容式指纹像素检测电路,所述第三开关sw3的源端和衬底共同连接到电压产生器VPRG\_2,其漏端与中间节点NodeX连接。

[0015] 可选的,对于所述的一种电容式指纹像素检测电路,所述第四开关sw4的源端连接到检测电极Top,其漏端和衬底共同连接到中间节点NodeX。

[0016] 可选的,对于所述的一种电容式指纹像素检测电路,所述第五开关sw5的源端连接到中间节点NodeX,其漏端连接到运算放大器LNA的负输入端,其衬底基准电压源REF\_2引脚相连接。

[0017] 可选的,对于所述的一种电容式指纹像素检测电路,所述第六开关sw6的源端连接到检测电极Top,其漏端与运算放大器LNA的输出端连接,其衬底接地。

[0018] 本发明还提供一种电容式指纹像素检测方法,包括步骤:

[0019] (a) 预充阶段,闭合第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4,检测电极Top和隔离电极Bot同时被预充到电压 $V_1$ ,同时中间节点NodeX连同第四开关sw4的衬底也被预充到电压 $V_1$ ,此时检测电极Top和周围各寄生节点之间处于同一电位,而复位开关sw7闭合,运算放大器LNA处于复位模式;

[0020] (b) 断开所述第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4,预充阶段结束;

[0021] (c) 第五开关sw5、第六开关sw6闭合,所述中间节点NodeX和隔离电极Bot被复位到基准电压 $V_2$ ;同时所述第三开关sw3的衬底偏置电压被降低到 $V_2$ ;

[0022] (d) 所述复位开关sw7断开,然后第四开关sw4闭合,此时寄生电容 $C_s$ 和运算放大器LNA共同构成一个积分器,检测电极Top的电压变为 $V_2$ ;

[0023] (e) 所述第一开关sw1、第二开关sw2的衬底偏置和第一开关sw1的栅极控制电压变为 $V_2$ ;最后,手指和检测电极Top之间形成目标电容 $C_f$ 相关的信号全部会落在寄生电容 $C_s$ 上,和 $V_2$ 的基准电压之间形成一个压差;以及

[0024] (f) 对所述压差进行分析。

[0025] 在该方法的各个阶段重点完成信号的预充、复位、积分、补偿,通过实施这一序列,可以实现对周围环境和电路寄生背景电容的补偿,从而尽量实现对指纹净信号的采集;同时通过在各阶段加载合适的偏置电压,把信号链路上各节点的漏电流降到尽可能低,可以最大限度地容忍集成电路制造工艺的失配和静态漏电流对指纹信号造成的失真,以满足对灵敏度和动态范围的高要求。

[0026] 本发明仅仅通过内部电位的变换来实现对指纹信号的采集,从而避免了引入外部电极,简化了指纹检测的应用场景;通过引入特殊的开关和信号控制序列,最大程度地抑制了寄生电容和静态漏电流对信号失真的负面影响,实现高的灵敏度和动态范围。

## 附图说明

[0027] 图1为本发明实例的电路原理图;

[0028] 图2为本发明实例所使用的P型MOS开关和N型MOS开关的符号示意图;

[0029] 图3为本发明实例中采样电极Top相关的寄生电容示意图;

[0030] 图4为本发明实施例电路处于预充阶段时的电路状态示意图;

[0031] 图5为本发明实施例电路预充阶段结束时的电路状态示意图;

[0032] 图6为本发明实施例电路处于复位阶段时的电路状态示意图;

[0033] 图7为本发明实施例电路处于信号积分阶段时的电路状态示意图;

[0034] 图8为本发明实施例电路处于最终寄生参数补偿时的电路状态示意图;

## 具体实施方式

[0035] 下面将详细描述本发明的实施例,所述实施例的示例在附图中显示。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。相反,本发明的实施例包括落入所附加权利要求书的精神和内涵范围内的所有变化、修改和等同物。

[0036] 如图1所示为本发明实施例的原理图,图2是P型MOS开关和N型MOS开关的符号示意图,其中所述第一开关sw1、第二开关sw2、第三开关sw3均为PMOS开关,所述第四开关sw4、第五开关sw5、第六开关sw6均为NMOS开关,包括源端S、漏端D、衬底B以及栅极控制端G;该种电容式指纹像素电路,包括电压产生器VPRG\_1、电压产生器VPRG\_2、开关元件sw、基准电压源REF\_1、基准电压源REF\_2、检测电极Top、隔离电极Bot、中间节点NodeX,用于信号运算功能的运算放大器LNA,手指和检测电极Top之间形成目标电容Cf,隔离电极Bot和检测电极Top之间形成寄生电容Cs

[0037] 作为本发明的实施例:所述第一开关sw1和第二开关sw2的漏端分别与检测电极Top和隔离电极Bot连接,所述第一开关sw1和第二开关sw2的源端和衬底共同连接到电压产生器VPRG\_1,所述第三开关sw3的源端和衬底共同连接到电压产生器VPRG\_2,其漏端与中间节点NodeX连接,所述第四开关sw4的源端连接到检测电极Top,其漏端和衬底共同连接到中间节点NodeX,所述第五开关sw5的源端连接到中间节点NodeX,其漏端连接到运算放大器LNA的负输入端,其衬底基准电压源REF\_2引脚相连接,所述第六开关sw6的源端连接到检测电极Top,其漏端与运算放大器LNA的输出端连接,其衬底接地,所述复位开关sw7的两端分别与运算放大器LNA的负输入端和输出端连接。

[0038] 图3给出了和检测电极Top相关的寄生背景电容,包括和隔离电极Bot之间的寄生电容 $C_s$ ;和第一开关sw1栅极控制端之间的寄生电容 $C_{00}$ ,和第一开关sw1衬底之间的寄生电容 $C_{01}$ ;和第四sw4栅极控制端之间的寄生电容 $C_{30}$ ,和第四开关sw4衬底之间的寄生电容 $C_{31}$ 。然而,这些电容的存在都将会对整个采样结果的动态范围和信噪比产生负面的影响,是需要电路工作过程中尽量补偿掉的寄生量。

[0039] 下面提供一种适合于上述电路工作的开关和信号控制序列(即电容式指纹像素检测方法),以解决上述产生的负面影响,为了简化描述和便于理解,对各电压产生器,将直接通过标注其输出值的方式来进行描述,可以理解的是,下文所标注的值并非作为本发明的限制,依据实际需求,可以提供其他电流电压等参数。本方法包括如下步骤:

[0040] (a) 预充阶段,如图4所示,闭合所述第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4,所述检测电极Top和隔离电极Bot同时被预充到电压 $V_1$ ,可以是5~10V电压,例如7V、8V等,同时所述中间节点NodeX连同第四开关sw4的衬底也被预充到电压 $V_1$ ,可以是5~10V电压,例如7V、8V等,此时所述检测电极Top和周围各寄生节点之间处于同一电位,而所述复位开关sw7闭合,运算放大器LNA处于复位模式;

[0041] (b) 如图5所示,断开所述第一开关sw1、第二开关sw2、第三开关sw3、第四开关sw4,预充阶段结束;

[0042] (c) 如图6所示,所述第五开关sw5、第六开关sw6闭合,所述中间节点NodeX和隔离电极Bot被复位到基准电压 $V_2$ ,可以是0.5~2V,例如1V、1.5V等;同时所述第三开关sw3的衬底偏置电压被降低到 $V_2$ ,可以是0.5~2V,例如1V、1.5V等,由于该电压在下述积分阶段中与基准电压相同,因而该节点到信号链路的漏流被降低到最小状态;

[0043] (d) 如图7所示,所述复位开关sw7断开,然后第四开关sw4闭合,此时所述寄生电容 $C_s$ 和运算放大器LNA共同构成一个积分器,所述寄生电容 $C_s$ 扮演积分电容的角色,检测电极Top的电压变为 $V_2$ ,可以是0.5~2V,例如1V、1.5V等;

[0044] (e) 如图8所示,所述第一开关sw1、第二开关sw2的衬底偏置和第一开关sw1的栅极控制电压变为 $V_2$ ,可以是0.5~2V,例如1V、1.5V等;最后,手指和检测电极Top之间形成目标电容 $C_f$ 相关的信号全部会落在积分电容上,和基准电压(为 $V_2$ ,可以是0.5~2V,例如1V、1.5V等)之间形成一个压差;以及

[0045] (f) 对所述压差进行分析。例如,此压差会被后续的ADC采样得到数字化的具体值。

[0046] 在上述步骤中,可以看到和检测电极Top存在寄生电容的几个节点中,检测电极Top和隔离电极Bot之间的寄生电容 $C_s$ 转变成了积分电容,和第一开关sw1之间形成的寄生电容 $C_{00}$ 、 $C_{01}$ 由于初始时各节点均为 $V_1$ ,结束时均为 $V_2$ ,因而不存在寄生电荷效应;和第四开关sw4的衬底之间的电容 $C_{31}$ ,由于初始时电压为 $V_1$ ,结束时均为 $V_2$ , $V_1 > V_2$ ,因而不存在寄生电容效应;可以看到,经过此一系列开关信号控制之后,除 $C_{30}$ 之外,其余寄生电容效应均被较好的自我补偿;另外,和整个信号链路相关的几个节点,包括第三开关sw3的衬底、第一开关sw1的衬底,均尽可能早的转变成了 $V_2$ ,和积分器的基准电压相同,因而几乎不存在静态漏流。

[0047] 可以理解的是,对本发明所在领域的普通技术人员来说,可以根据本发明的技术方案及其构思进行相应的等价变换,未经创造性的等效替换都应当属于本发明所揭露的范围。本发明除了可以在指纹检测领域使用外,也可以用于需要检测其它小信号的应用中。

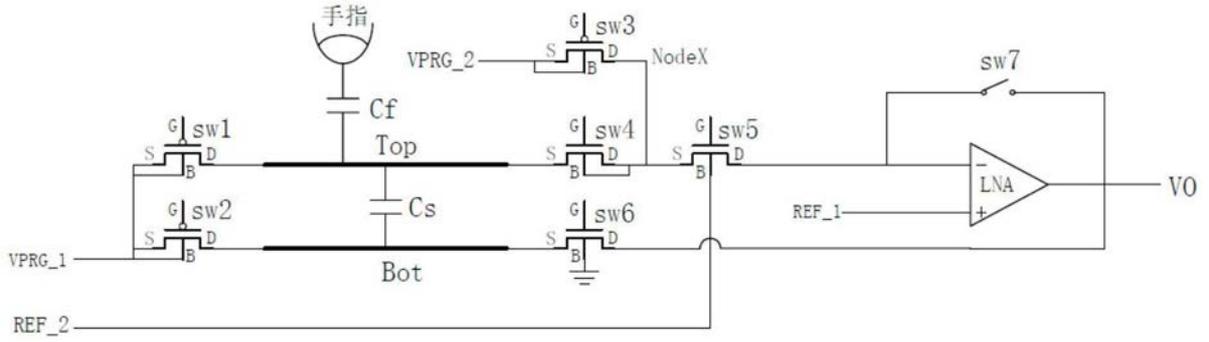
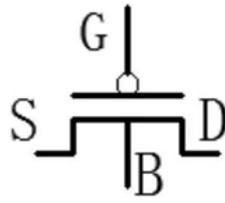
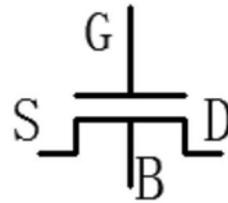


图1



P型MOS开关



N型MOS开关

图2

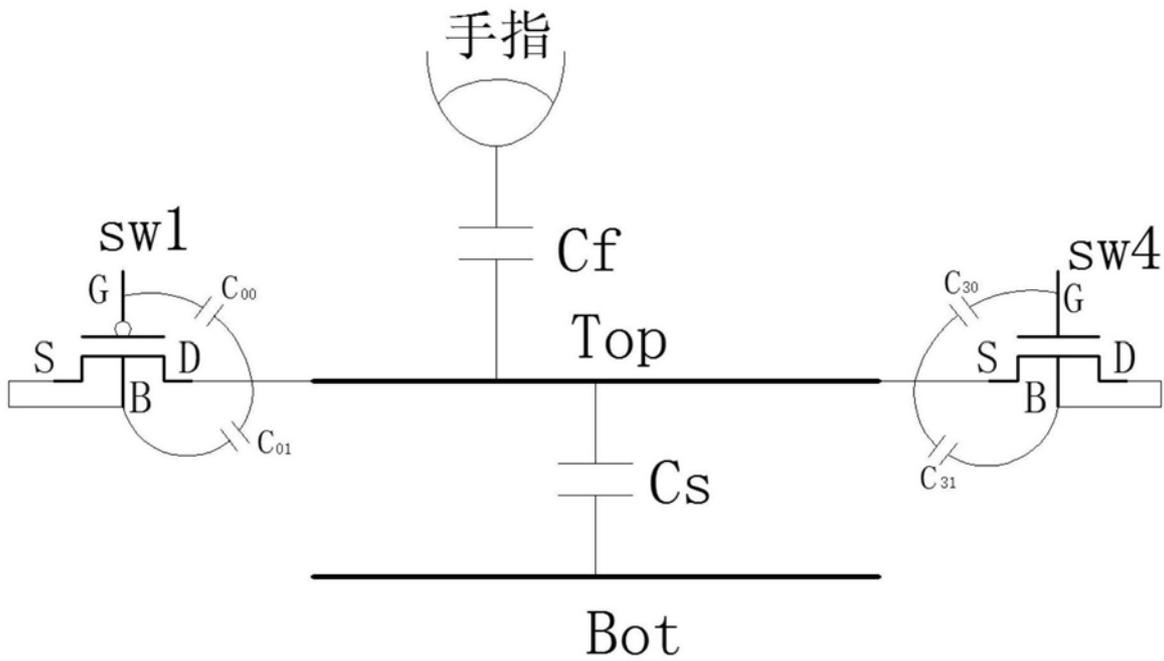


图3

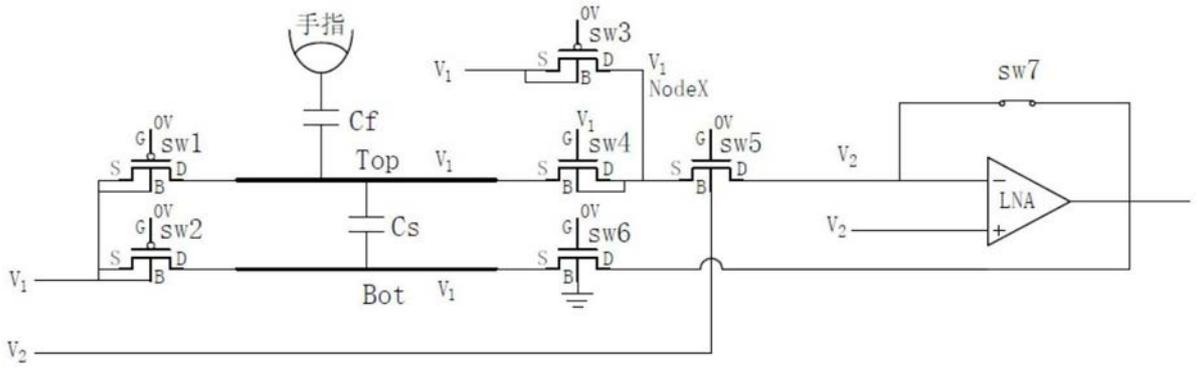


图4

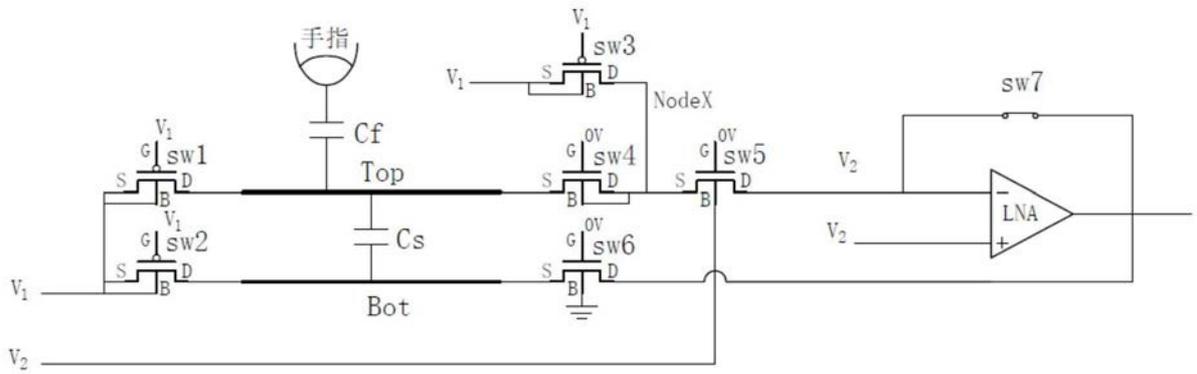


图5

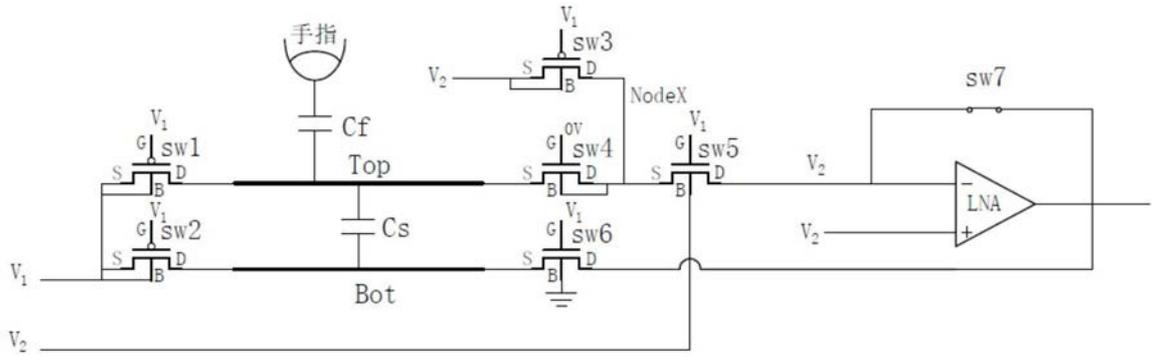


图6

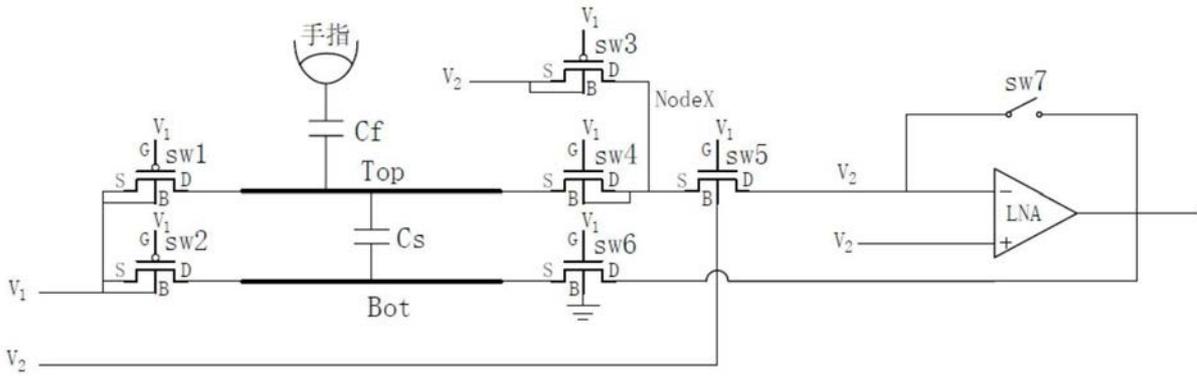


图7

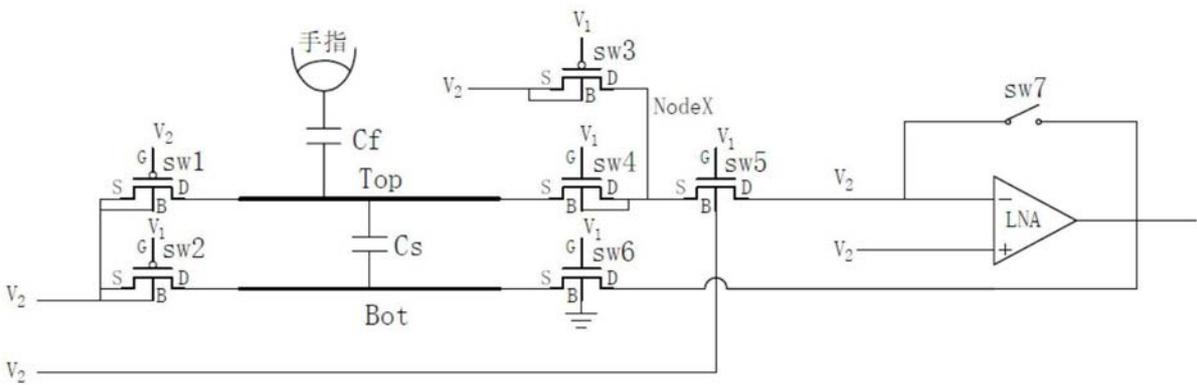


图8