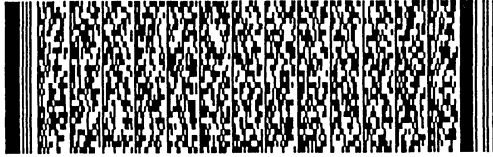


申請日期：9E. 1. 19	案號：90101597
類別：HOLL. 2/08.5	

(以上各欄由本局填註)

<b>公告本</b>		<b>發明專利說明書</b>	554509
一、 發明名稱	中文	多晶片封裝構造	
	英文		
二、 發明人	姓名 (中文)	1. 陳鴻南	
	姓名 (英文)	1. CHEN, hung nan	
	國籍	1. 中華民國	
	住、居所	1. 高雄縣烏松鄉大埤路123-5號2樓之4	
三、 申請人	姓名 (名稱) (中文)	1. 日月光半導體製造股份有限公司	
	姓名 (名稱) (英文)	1. Advanced Semiconductor Engineering, Inc.	
	國籍	1. 中華民國	
	住、居所 (事務所)	1. 高雄市楠梓加工出口區經三路26號	
	代表人 姓名 (中文)	1. 張虔生	
	代表人 姓名 (英文)	1.	
			

本案已向			
國(地區)申請專利	申請日期	案號	主張優先權
		無	
有關微生物已寄存於			
	寄存日期	寄存號碼	
	無		

智德事務所  
任大 註

## 五、發明說明 (1)

## 【發明領域】

本發明係有關於一種多晶片封裝構造(multi-chip module, MCM)，其特別有關於一種堆疊式多晶片封裝構造。

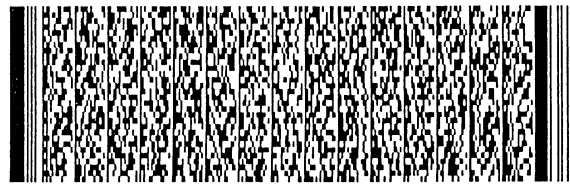
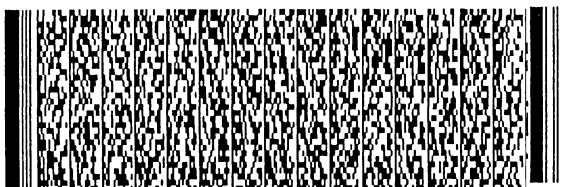
## 【先前技術】

由於電子產品越來越輕薄短小，使得用以保護半導體晶片以及提供外部電路連接的封裝構造也同樣需要輕薄短小化。

隨著微小化以及高運作速度需求的增加，多晶片封裝構造在許多電子裝置越來越吸引人。多晶片封裝構造可藉由將兩個或兩個以上之晶片（例如處理器(processor)、記憶體(memory)以及相關的邏輯單位(logic)）組合在單一封裝構造中，來使系統運作速度之限制最小化。此外，多晶片封裝構造可減少晶片間鐳線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片封裝構造為並排式(side-by-side)多晶片封裝構造，其係將兩個以上之晶片彼此並排地安裝於一共同基板之主要安裝面。晶片與共同基板上導電線路間之連接一般係藉由線鐳法(wire bonding)達成。然而該並排式多晶片封裝構造之缺點為封裝效率太低，因為該共同基板之面積會隨著晶片數目的增加而增加。

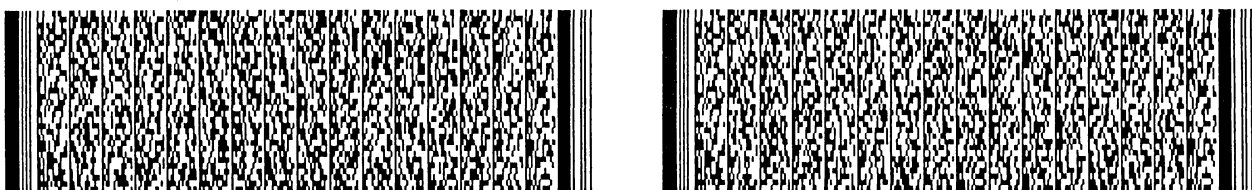
因此，半導體業界發展出堆疊晶片封裝構造100，其一般係包含兩個彼此堆疊之晶片110、130（如第一圖所示）。該晶片110係利用一膠層112固著於一基板150之上表

光  
學  
影  
印

## 五、發明說明 (2)

面。該晶片110、130間設有一膠層132。該晶片110、130分別利用鐳線(bonding wire)114、134電性連接至該基板150上表面之複數個線接合墊(wire-bonding pad)152。該基板150之下表面設有複數個錫球鐳墊154，其係電性連接至該基板150之上表面之複數個線接合墊152。該每一錫球鐳墊154設有一錫球156用以與外界電性溝通。該晶片110、130，鐳線114、134以及該基板150上表面之一部分係為一封膠體160包覆。然而，當該堆疊晶片封裝構造100之彼此堆疊之晶片具有相同的尺寸時，上層晶片130將阻礙下層晶片110的打線作業。此外，用以連接上層晶片130至基板150線接合墊152之鐳線134，其長度及高度相對地增加，此將提高打線作業之困難度。例如，越長及越高路徑型態之導線，其於打線作業時，越容易斷線，及於封膠體封裝時，越容易造成衝線(wire sweep)現象。再者，越長及越高路徑型態之導線及堆疊晶片，其需較高之封膠厚度，使足以包覆導線及堆疊晶片，因而減少封裝效率 (packaging efficiency)。

此外，將數個晶片置於一單一封裝體內另有一問題在於附加的晶片越多，就越有可能在封裝體內產生額外的缺陷。這些缺陷包含了「良裸晶(known good die)」的問題。因為在將晶片線接合至基板並且加以測試之前，一般而言是不容易確認晶片是否完好無缺陷。而如果多晶片封裝構造內有一個晶片是有缺陷的，則整個封裝構造都要被摒棄。因此，雖然多晶片封裝構造提供許多功能好處，但



## 五、發明說明 (3)

是其產率卻往往因為缺陷機率的增加而大幅減少。

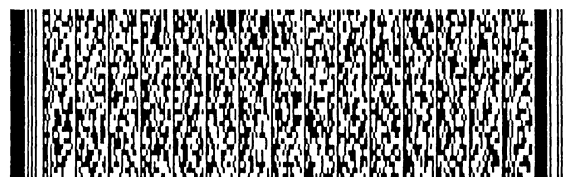
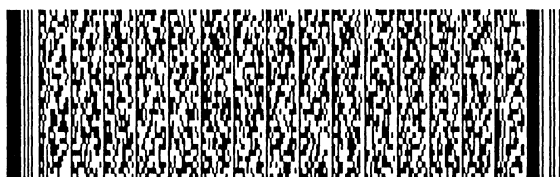
## 【發明概要】

因此，本發明之主要目的在於提供一種低厚度(low profile)之多晶片封裝構造，其可克服或至少改善前述先前技術的問題。

根據本發明之多晶片封裝構造，其主要包含一上層晶片承載於一連接基板以及一下層晶片承載於一底座基板之凹部，其中該連接基板係安裝於該底座基板上表面。該底座基板包含第一組接墊設於該凹部內、第二組接墊位於該底座基板上表面的凹部外以及第三組接墊位於該底座基板下表面，其中該第三組接墊係電性連接至第一組接墊以及第二組接墊。設於底座基板凹部之下層晶片係電性連接至該第一組接墊並且包覆於一第一封膠體內。該連接基板係設有一組連接墊於其下表面用以電性連接至該底座基板之第二組接墊。該上層半導體晶片係設於該連接基板上表面並且電性連接至該連接基板上表面之連接墊。一第二封膠體包覆設於連接基板上表面之上層晶片。

由於該上層晶片以及下層晶片係可各自獨立完成封裝並且測試完成後，再將連接基板安裝於底座基板上表面，因此可解決「良裸晶(known good die)」的問題，並且降低多晶片封裝構造測試的困難度，藉此可大幅增進本發明多晶片封裝構造之產率。此外，值得注意的是該連接基板係設於該底座基板上表面使得連接基板與凹部間的最小垂直距離係大於該第一封膠體之最大剖面高度，藉此獲得低厚

光  
無  
務  
印



## 五、發明說明(4)

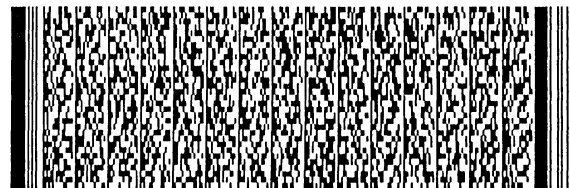
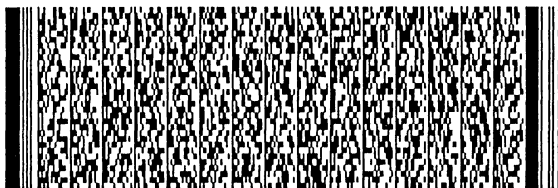
度(low profile)之多晶片封裝構造。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯特徵，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

## 【發明說明】

請參照第二圖，其揭示根據本發明第一較佳實施例之多晶片封裝構造200，其主要包含兩上層晶片210承載於一連接基板220以及一下層晶片230承載於一底座基板240之凹部240a。該底座基板240包含第一組接墊242設於該凹部240a內、第二組接墊244位於該底座基板上表面的凹部外以及第三組接墊246位於該底座基板下表面。可以理解的是有複數條導電線路(未示於圖中)設於底座基板240內用以提供第三組接墊246與第一組接墊242、第二組接墊244間的電性連接。該連接基板220係設有一組連接墊222於其下表面，以及兩組連接墊224於其上表面。可以理解的是有複數條導電線路(未示於圖中)設於連接基板220內用以提供連接墊222與連接墊224間的電性連接。該基板可由玻璃纖維強化BT(bismaleimide-triazine)樹脂，或FR-4玻璃纖維強化環氧樹脂(fiberglass reinforced epoxy resin)製成之蕊層(core layer)形成。此外，該基板亦可以是一陶瓷基板(ceramic substrate)。

首先，將該晶片230係利用一晶片接著膠(die attach material)設於底座基板240之凹部240a，然後利用打線機將鐳線(例如金線)接合至晶片230之晶片鐳墊以及第一



## 五、發明說明 (5)

組接墊242。然後，利用習知的傳遞模塑法(transfer molding)將晶片230密封於一封膠體232內。可以理解的是封膠體232亦可利用頂團製程(glob-top process)形成。

然後，將晶片210貼在連接基板220之上表面，然後利用錫線(例如金線)接合至晶片210之晶片錫墊以及連接墊224。最後，將晶片210密封於封膠體212內。可以理解的是該半導體晶片210或230亦可以其他習知的技術(例如覆晶(flip-chip)或捲帶式自動黏貼(TAB))電性連接至基板上的導電線路。

較佳地，該上層晶片210以及下層晶片230係可各自獨立封裝並且測試完成後，再將連接基板220安裝於底座基板240上表面。值得注意的是，該連接基板220係安設於底座基板240上表面使得連接基板220與凹部240a間的最小垂直距離係大於封膠體232之最大剖面高度。如第二圖所示，該連接基板220下表面之連接墊222係藉由複數個錫球250電性連接至該底座基板240上表面的第二組接墊244。

請參照第三圖，其揭示根據本發明第三較佳實施例之多晶片封裝構造300，其特徵在於該連接基板220下表面之連接墊222係藉由複數個柱狀錫突塊260電性連接至該底座基板240上表面的第二組接墊244。該柱狀錫突塊260較佳係利用模板印刷(stencil printing)形成。

請參照第四圖，其揭示根據本發明第三較佳實施例之多晶片封裝構造400，其特徵在於連接基板220係利用一異方性導電膠層(anisotropic conductive adhesive film

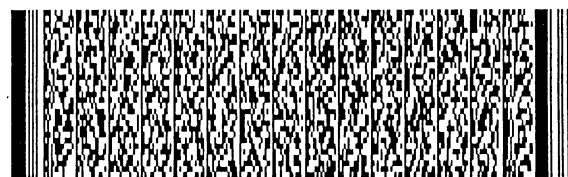


## 五、發明說明 (6)

(ACF))270 接合至底座基板240上表面。該連接基板220下表面之連接墊222設有複數個金屬突塊(metal bump)272，其較佳為係利用習知的打線技術(wire bonding technique)形成之柱狀突塊(stud bump)。可以理解的是，該複數個金屬突塊272亦可設於該底座基板240上表面的第二組接墊244。該金屬突塊272係利用異方性導電膠層270電性連接至相對應之第二組接墊244。已知適合用以形成該異方性導電膠層270的異方性膠為一「z軸異方性膠」，其係被填入低濃度之導電粒子270a，並且使得其在xy平面不會彼此接觸因此，在z方向壓縮該異方性導電膠層270將使得該金屬突塊272藉由導電粒子270a電性連接至相對應之第二組接墊244。

請參照第五圖，其揭示根據本發明第四較佳實施例之多晶片封裝構造500，其特徵在於該底座基板241之下表面另包含一凹部240b。該多晶片封裝構造500另包含一半導體晶片280設於該凹部240b內並且電性連接至該底座基板241下表面凹部240b內的第四組接墊248。可以理解的是有<sup>米</sup>複數條導電線路(未示於圖中)設於底座基板241內用以提供第四組接墊248與第三組接墊246間的電性連接。該半導體晶片280係包覆於一封膠體內。

請參照第六圖，其揭示根據本發明第五較佳實施例之多晶片封裝構造600，其特徵在於具有一中介基板290，夾設於該連接基板220與底座基板241b之間使得該連接基板220與底座基板241b間之最小垂直距離係大於封膠體232之最





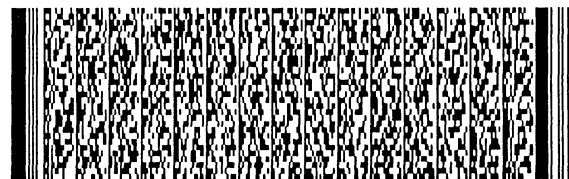
## 五、發明說明 (7)

大剖面高度，其中該中介基板290具有一開口用以容置該半導體晶片230。可以理解的是，該中介基板290係設有一組中介接墊292於其上表面，一組中介接墊294於其下表面，以及有複數條導電線路（未示於圖中）設於該中介基板290內用以提供中介接墊292與中介接墊294間的電性連接。該連接基板220、底座基板241b與中介基板290間係藉由複數個錫球250提供電性連接。此外，電性連接亦可利用柱狀錒錫突塊或異方性導電膠層(ACF)提供。

請參照第七圖，其揭示根據本發明第六較佳實施例之多晶片封裝構造700，其特徵在於包含一上層晶片210承載於一連接基板296之凹部296a以及一下層晶片230承載於一底座基板240之凹部240a。該連接基板296係設有一組連接墊296b於其下表面之凹部296a外，以及一組連接墊296c於其下表面之凹部296a內。可以理解的是有複數條導電線路（未示於圖中）設於連接基板296內用以提供連接墊296b與連接墊296c間的電性連接。值得注意的是，該連接基板296係安設於底座基板240上表面使得連接基板296之凹部296a與底座基板240之凹部240a間的最小垂直距離係大於封膠體232以及214之最大剖面高度。

根據本發明之多晶片封裝構造係可以利用錫球安裝於一基板，例如一印刷電路板。可以理解的是，封裝構造底部之第三組接墊246亦可先印上錫膏(solder paste)，再安裝至基板。

根據本發明之多晶片封裝構造，由於該上層晶片以及下



## 五、發明說明 (8)

層晶片係可各自封裝並且測試完成後，再將連接基板安裝於底座基板上表面，因此可大幅增進本發明多晶片封裝構造之產率。

雖然本發明已以前述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。例如根據本發明之多晶片封裝構造雖以兩層構造作為較佳實施例，但根據本發明之多晶片封裝構造係可用以形成三層以上的封裝構造。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

## 【圖示說明】

第1圖：習用堆疊晶片封裝構造之剖面圖；

第2圖：根據本發明第一較佳實施例之多晶片封裝構造之剖面圖；

第3圖：根據本發明第二較佳實施例之多晶片封裝構造之剖面圖；

第4圖：根據本發明第三較佳實施例之多晶片封裝構造之剖面圖；

第5圖：根據本發明第四較佳實施例之多晶片封裝構造之剖面圖；

第6圖：根據本發明第五較佳實施例之多晶片封裝構造之剖面圖；及

第7圖：根據本發明第六較佳實施例之多晶片封裝構造之剖面圖。

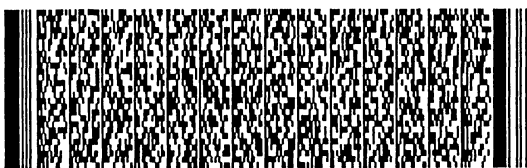
## 【圖號說明】

100	堆疊晶片封裝構造		
110	晶片	112	膠層
114	鐳線	130	晶片
132	膠層	134	鐳線
150	基板	152	線接合墊
154	錫球鐳墊	160	封膠體
200	多晶片封裝構造		
210	晶片	212	封膠體



## 圖式簡單說明

220	連接基板	222	連接墊
224	連接墊	230	晶片
232	封膠體	240	底座基板
241	底座基板	241b	底座基板
240a	凹部	240b	凹部
242	接墊	244	接墊
246	接墊	248	接墊
250	錫球	260	柱狀錒錫突塊
270	異方性導電膠層	270a	導電粒子
272	金屬突塊	280	半導體晶片
290	中介基板	292	中介接墊
294	中介接墊	296	連接基板
296a	凹部	296b	連接墊
296c	連接墊	300	多晶片封裝構造
400	多晶片封裝構造		
500	多晶片封裝構造		
600	多晶片封裝構造		
700	多晶片封裝構造		

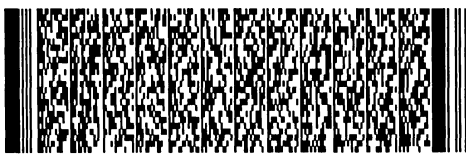



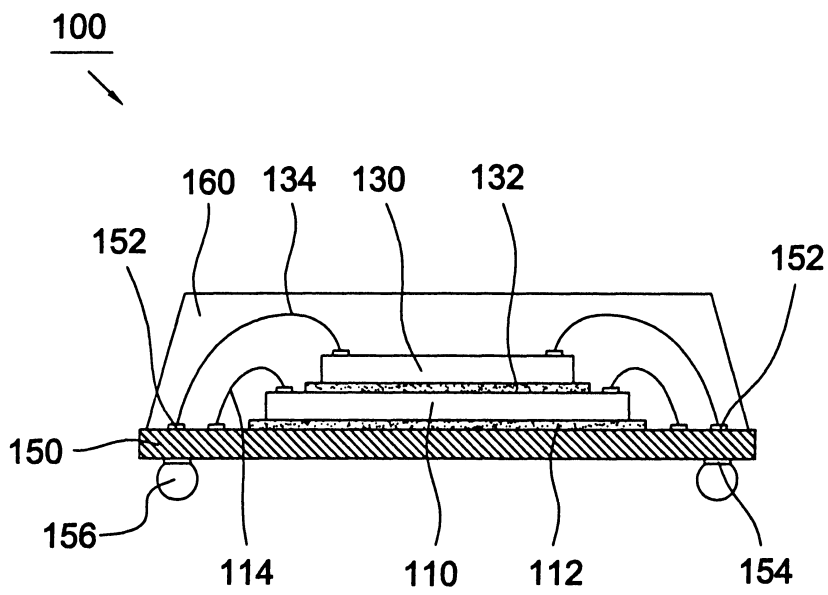
## 六、申請專利範圍

基板係藉由複數個柱狀錒錫突塊性連接至該底座基板，該柱狀錒錫突塊係利用模板印刷形成。

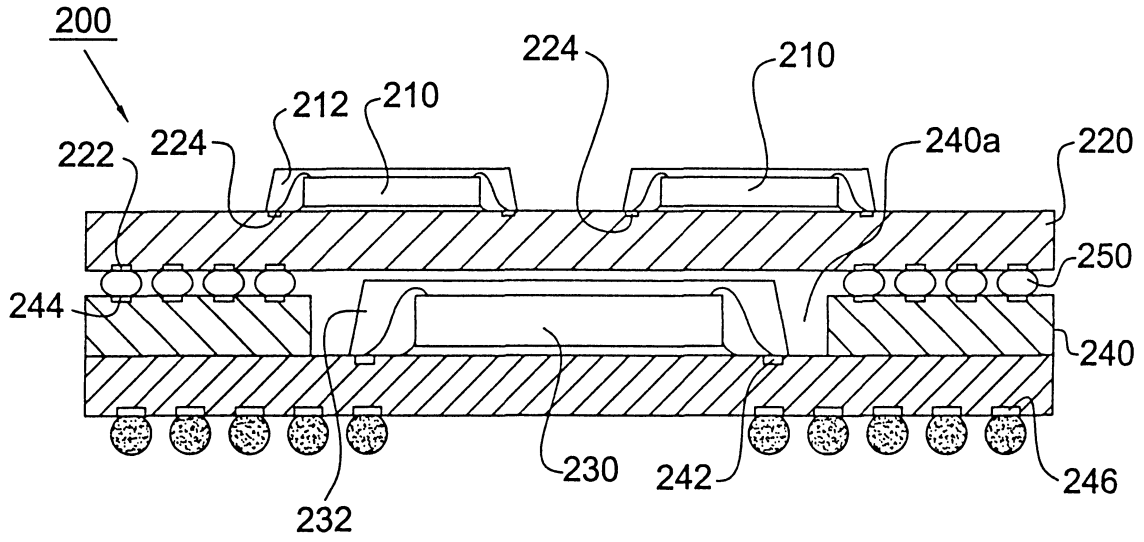
4、依申請專利範圍第1項之多晶片封裝構造，其中該連接基板係經由異方性導電膠層(ACF)電性連接至該底座基板。

專利事務所

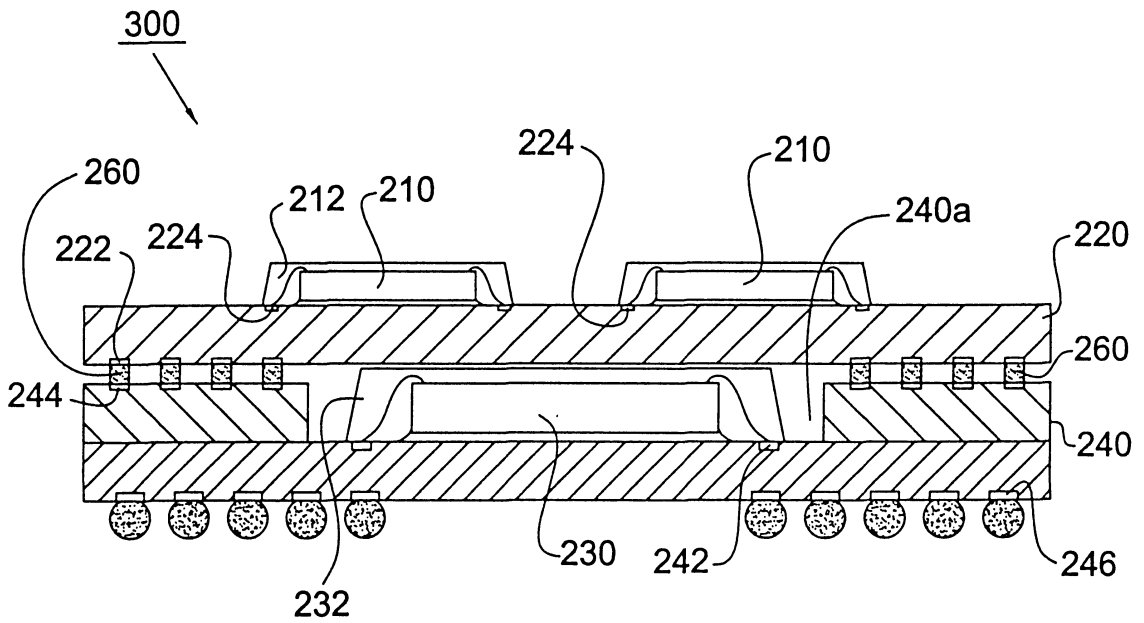




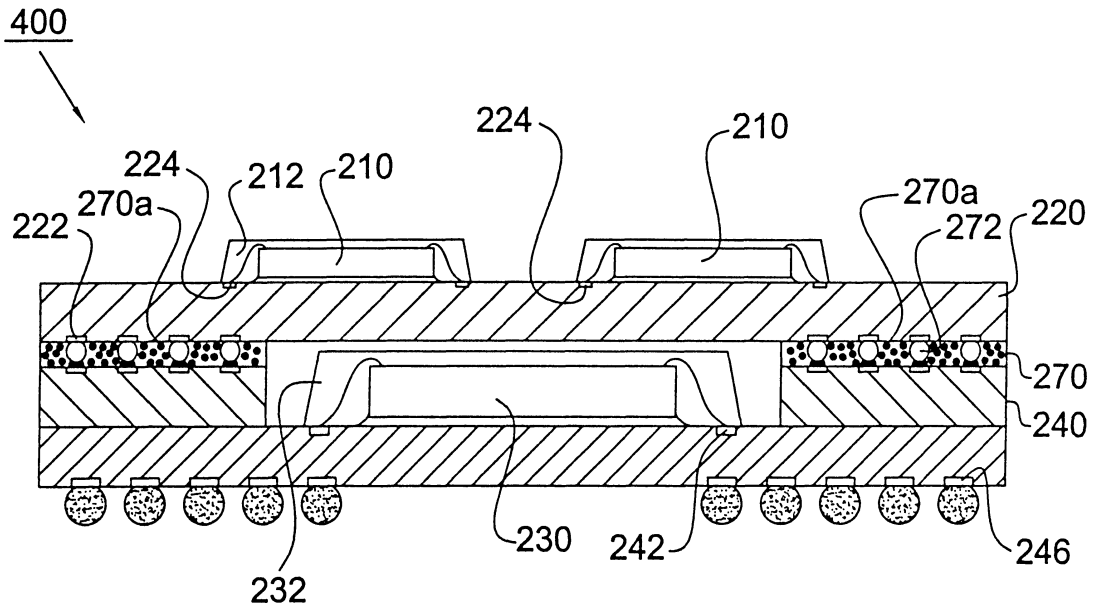
第 1 圖(先前技術)



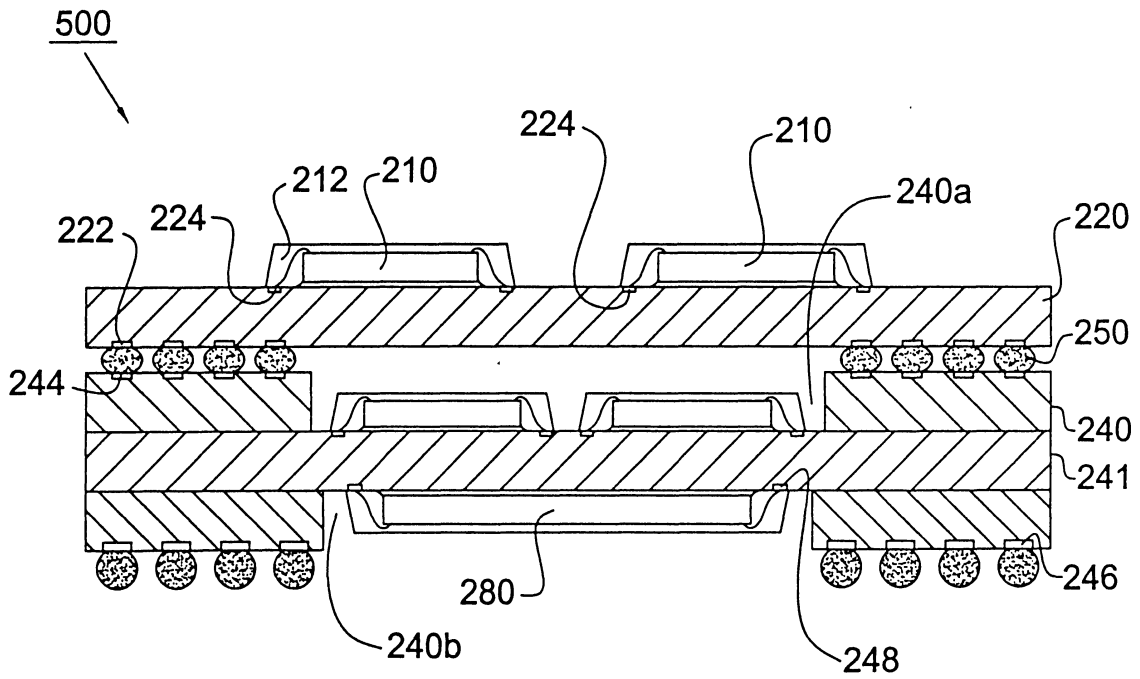
第 2 圖



第 3 圖

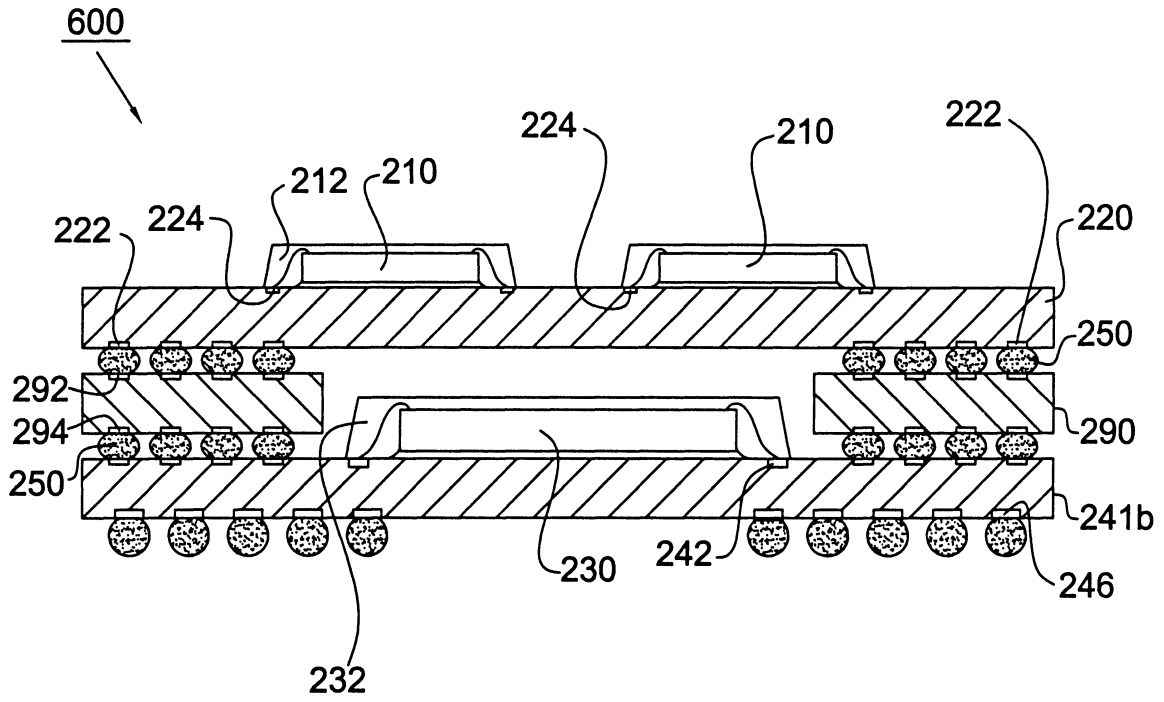


第 4 圖

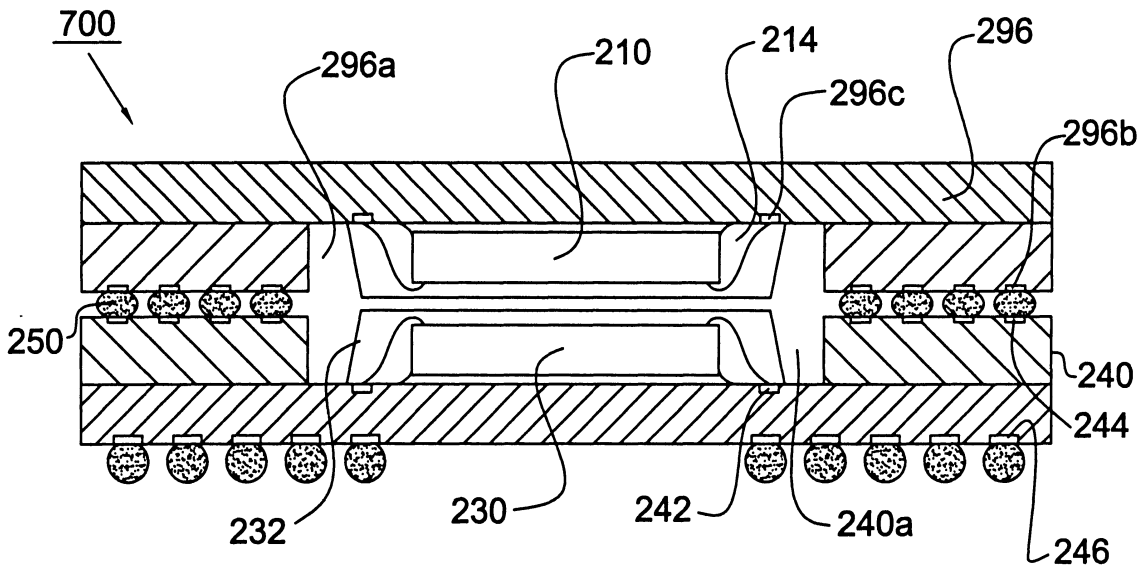


第 5 圖





第 6 圖

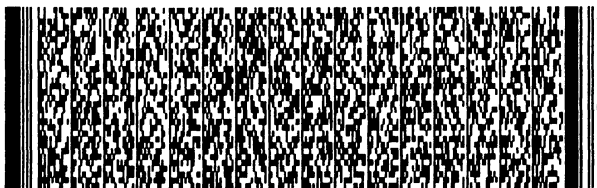


第 7 圖

## 四、中文發明摘要 (發明名稱：多晶片封裝構造)

一種多晶片封裝構造，其主要包含一上層晶片承載於一連接基板、一下層晶片承載於一底座基板以及一中介基板，夾設於該連接基板與底座基板之間，其中該連接基板係安裝於該底座基板上。該底座基板包含第一組接墊、第二組接墊位於該底座基板上表面以及第三組接墊位於該底座基板下表面，其中該第三組接墊係電性連接至第一組接墊以及第二組接墊。該下層半導體晶片係電性連接至該第一組接墊並且包覆於一第一封膠體內。該連接基板係設有一組連接墊於其下表面。該上層半導體晶片係設於該連接基板之上表面並且電性連接至該連接基板下表面之連接墊。一第二封膠體包覆該上層晶片。該中介基板係用以電性連接該連接基板下表面之連接墊至底座基板上表面之第二組接墊，其具有一開口用以容置該下層晶片。該連接基板與底座基板間之最小垂直距離係大於第一封膠體之最大剖面高度。

## 六、英文發明摘要 (發明名稱：)



## 六、申請專利範圍

## 1、一種多晶片封裝構造，其係包含：

91-19

一底座基板具有一上表面以及一下表面，該底座基板上表面設有第一組接墊以及第二組接墊環設於該第一組接墊，該底座基板下表面設有第三組接墊電性連接至第一組接墊以及第二組接墊；

第一半導體晶片設於該底座基板之上表面，並且電性連接至該第一組接墊，其中該第一半導體晶片係包覆於第一封膠體內；

一連接基板設於該底座基板上，並且設有一組連接墊於其下表面；

第二半導體晶片設於該連接基板之上表面並且電性連接至該連接基板下表面之連接墊，其中該第二半導體晶片係包覆於第二封膠體內；及

一中介基板，夾設於該連接基板與底座基板之間，用以電性連接該連接基板下表面之連接墊至底座基板上表面之第二組接墊，該中介基板具有一開口用以容置該第一半導體晶片，

其中該連接基板與底座基板間之最小垂直距離係大於第一封膠體之最大剖面高度。

## 2、依申請專利範圍第1項之多晶片封裝構造，其中該連接基板係藉由複數個錫球電性連接至該底座基板。

## 3、依申請專利範圍第1項之多晶片封裝構造，其中該連接

