

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3546613号  
(P3546613)

(45) 発行日 平成16年7月28日(2004.7.28)

(24) 登録日 平成16年4月23日(2004.4.23)

(51) Int. Cl.<sup>7</sup>

F I

G 0 6 F 3/00  
G 1 1 C 11/401

G 0 6 F 3/00 T  
G 1 1 C 11/34 3 7 1 Z

請求項の数 4 (全 30 頁)

<p>(21) 出願番号 特願平8-283853 (22) 出願日 平成8年10月25日(1996.10.25) (65) 公開番号 特開平10-124210 (43) 公開日 平成10年5月15日(1998.5.15) 審査請求日 平成12年5月17日(2000.5.17)</p>	<p>(73) 特許権者 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 (74) 代理人 100075096 弁理士 作田 康夫 (72) 発明者 梅村 雅也 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内 (72) 発明者 大坂 英樹 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内 (72) 発明者 武隈 俊次 神奈川県海老名市下今泉810番地株式会 社日立製作所オフィスシステム事業部内</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 回路基板

(57) 【特許請求の範囲】

【請求項1】

複数のノードの第一のLSIと、第二のLSIと、前記第二のLSIから出力された信号を前記複数のノードの第一のLSIに入力するための第一の伝送線路と、前記複数のノードの第一のLSIから出力された信号を前記第二のLSIに入力するための第二の伝送線路と、を備える回路基板であって、

各ノードの第一のLSIは、前記各ノードの第一のLSIと前記第二のLSIの間の前記第一の伝送線路の長さと同様に前記各ノードの第一のLSIと前記第二のLSIの間の前記第二の伝送線路の長さとの総和が、全てのノードの第一のLSIについて等しくなるように、前記第一の伝送線路及び前記第二の伝送線路に接続され、

前記第二の伝送線路の一端は、抵抗値  $R_{tt}$  の終端抵抗により終端され、

前記第二の伝送線路の他端は、抵抗値  $R$  の抵抗を介して、前記第二のLSIに接続され、前記第二の伝送線路には、前記抵抗値  $R_{tt}$  と前記抵抗値  $R$  と前記第二のLSIの抵抗値  $R_s$  の直列抵抗回路における分割抵抗比から一意に決まる信号振幅が伝搬し、前記信号振幅が所定の値に等しいか大きくなるように前記抵抗値  $R_{tt}$  の前記終端抵抗と前記抵抗値  $R$  の前記抵抗を組み合わせたことを特徴とする回路基板。

【請求項2】

前記抵抗値  $R_{tt}$  は、前記第二の伝送線路の特性インピーダンス  $Z (= \sqrt{L \div C})$ 、前記各ノードの寄生容量  $C_L$  によって、  

$$R_{tt} = Z \times \sqrt{C \div (C + C_L)}$$

10

20

から導出されることを特徴とする請求項 1 記載の回路基板。

【請求項 3】

前記各ノードの第一の L S I は、特性インピーダンス  $Z_s$  の伝送路と抵抗値  $R_m$  の整合抵抗を介して、前記第二の伝送線路に接続され、

前記抵抗値  $R_m$  は、

$$R_m = Z_s - Z \times \sqrt{C \div (C + C_L)} \div 2$$

ないし

$$R_m = Z_s - R_{tt} \div 2$$

から導出されることを特徴とする請求項 1 記載の回路基板。

【請求項 4】

前記第二の L S I がアドレスバッファないしクロックバッファであり、

前記各ノードの第一の L S I がメモリ素子であることを特徴とする請求項 1 から 3 のいずれかに記載の回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バスシステム、特に情報処理装置の同期式制御に用いるバスシステム及び回路基板に関する。

【0002】

【従来の技術】

同期メモリ及び同期式メモリシステムに関する規格として、IEEE 1596.4 の Sync Link がある。以下に、この規格が適用された同期式メモリシステムについて図面を参照して説明する。図 23 は Sync Link が適用された同期式メモリシステムの概略構成図である。

【0003】

Sync Link が適用された同期式メモリシステムは、図 23 に示すように、複数の同期 RAM 104a # 1 ~ 104a # n (以下、単に同期 RAM 104a ともいう) と、同期 RAM 104a へのデータの書き込みや読み出しを制御するメモリコントローラ 101a と、アドレスバス 105a と、データバス 106a とを備えて構成される。

【0004】

アドレスバス 105a は、メモリコントローラ 101a の出力バッファ 1012a から出力されたアドレス、コマンド、ライトデータや、同期用クロック信号を、同期 RAM 104a の入力バッファ 1042a に入力するためのものであり、アドレス、コマンド及びライトデータを扱うバス線と、同期用クロック信号を扱う同期用クロック線とからなる。

【0005】

データバス 106a は、同期 RAM 104a の出力バッファ 1044a から出力されたリードデータをメモリコントローラ 101a の入力バッファ 1014a に入力するためのものである。

【0006】

アドレスバス 105a は、メモリコントローラ 101a に対する各同期 RAM 104a の序列を昇順 (# 1 ~ # n の順) としている。一方、データバス 106a は、メモリコントローラ 101a に対する各同期 RAM 104a の序列を降順 (# n ~ # 1 の順) としている。このようにすることで、メモリコントローラ 101a 及び同期 RAM 104a 間のアドレスバス 105a のバス長と、メモリコントローラ 101a 及び同期 RAM 104a 間のデータバス 106a のバス長との総和が、全ての同期 RAM 104a # 1 ~ 104a # n について略等しくなるようにしている。

【0007】

上記構成の Sync Link が適用された同期式メモリシステムでは、同期 RAM 104a は、メモリコントローラ 101a からアドレスバス 105a の同期用クロック線に出力された同期用クロックを契機として、メモリコントローラ 101a からアドレスバス 1

10

20

30

40

50

05aのバス線路上に出力されたアドレス、コマンド及びライトデータをラッチする。これにより、アドレス、コマンド及びライトデータの同期転送を実現している。また、メモリコントローラ101a及び同期RAM104a間のアドレスバス105aのバス長と、メモリコントローラ101a及び同期RAM104a間のデータバス106aのバス長との総和が、全ての同期RAM104a#1~104a#nについて略等しくなるようにすることにより、メモリコントローラ101aの各同期RAM104aに対するメモリアクセスレイテンシを略一定にすることができる。

**【0008】****【発明が解決しようとする課題】**

しかしながら、上記構成の同期式メモリシステムでは、同期RAM104aの数を増やすと、アドレスバス105a及びデータバス106aのバス長が長くなるので、各バスにおける信号の伝搬時間が長くなり、結果として、メモリコントローラ101aの各同期RAM104aに対するメモリアクセスレイテンシが長くなるという問題がある。

10

**【0009】**

尚、各バスにおける伝搬時間を短縮するために、メモリコントローラ101a及び同期RAM104aの出力バッファ1012aの電流駆動能力を高める方法が考えられる。しかしながら、この方法では、バス上での反射によるリングングノイズが増加するため、期待される程の短縮効果は得られない。むしろ、電流駆動能力を高めることは、出力バッファの面積拡大に伴うチップダイの肥大化を招き、さらに、電流量増大に伴う電磁界放射ノイズの増加から新たな対策手段が必要となるため、好ましくない。

20

**【0010】**

ところで、SyncLinkでは、同期RAMの容量を増設した場合の同期式メモリシステムも提案している。この同期式メモリシステムでは、図24に示すように、アドレスバス105b及びデータバス106bからなるバスシステムに同期RAM104b#1~104b#nを接続し、アドレスバス105c及びデータバス106cからなるバスシステムに同期RAM104c#1~104c#nを接続している。このように、バスシステムを2系統設けることにより、各バスに接続する同期RAM数を減らすことができ、これにより、各バスのバス長を短くすることができる。しかしながら、メモリコントローラ101bに、アドレスバス105b、105cに各々対応する出力バッファ1012b、1012cと、データバス106b、106cに各々対応する入力バッファ1014b、1014cとを設けなければならない、これにより、メモリコントローラ101bが大きくなり、また、ピン数も増加するという問題がある。

30

**【0011】**

本発明は、上記事情に基づいてなされたものであり、バスマスタのピン数を増加させることなく、バスマスタ及び当該バスマスタに支配される複数のバススレーブ各々間の信号転送時間を略一定に保ちながら短縮することができるバスシステム及び回路基板を提供することを目的とする。

**【0012】****【課題を解決するための手段】**

上記課題を解決するために、本発明のバスシステムは、複数のバススレーブと、前記複数のバススレーブを制御するバスマスタと、前記バスマスタから出力された信号を前記バススレーブに入力するための第一バスと、前記バススレーブから出力された信号を前記バスマスタに入力するための第二バスと、を備えるバスシステムであって、前記第一バス及び第二バス各々は、前記バスマスタに接続された幹線と、前記幹線に接続された、各々に少なくとも一つのバススレーブが接続された複数の支線と、を有し、前記バススレーブは、前記第一バス及び第二バスの対応する前記支線に、当該バススレーブ及び前記バスマスタ間の第一バスの長さ、当該バススレーブ及び前記バスマスタ間の第二バスの長さとの総和が、全ての前記バススレーブについて略等しくなるように接続されていることを特徴とする。

40

**【0013】**

50

ここで、前記第一バスは、前記バスマスタから出力された信号が、前記第一バスの前記幹線及び前記複数の支線の接続点で、反射波を生じさせないように、インピーダンスの整合が図られていることが好ましい。

【0014】

また、前記第二バスは、前記複数のバススレーブから出力された信号が前記バスマスタに入力した際に生じた反射波が、前記第二バスの幹線と前記第二バスの前記複数の支線との接続点で、再びを反射波を生じさせないように、インピーダンスの整合が図られていることが好ましい。

【0015】

尚、前記複数のバススレーブ各々を布線を介して対応する前記支線に接続する場合、前記布線及び当該布線に接続された前記支線は、当該布線に接続された前記バススレーブから出力された信号、あるいは当該バススレーブで発生した反射波が、当該布線と当該支線との接続点で反射波を生じさせないように、インピーダンスの整合が図られていることが好ましい。

【0016】

また、前記支線の終端には、当該支線の特性インピーダンスと略等しいインピーダンスを有する整合負荷が接続されていることが好ましい。

【0017】

本発明の回路基板は、複数のバススレーブと、前記複数のバススレーブを制御するバスマスタとが搭載され、且つ前記バスマスタから出力された信号を前記バススレーブに入力するための第一バスと、前記バススレーブから出力された信号を前記バスマスタに入力するための第二バスとが形成された回路基板であって、

前記バスマスタは、略中央部に配置されており、

前記複数のバススレーブは、前記バスマスタを中心として略左右対称となるように2つに振り分けて配置されており、

前記第一バスは、前記バスマスタを中心として左側に配置された前記バススレーブ各々に接続する第一支線と、前記バスマスタを中心として右側に配置された前記バススレーブ各々に接続する第二支線と、一方の端部が前記バスマスタに接続され、他方の端部が前記第一支線及び前記第二支線に接続された第一幹線とを有し、且つ前記第一支線及び前記第二支線が前記バスマスタを中心として略左右対称に形成されており、

前記第二バスは、前記バスマスタを中心として左側に配置された前記バススレーブ各々に、前記第一支線とは逆順で接続する第三支線と、前記バスマスタを中心として右側に配置された前記バススレーブ各々に、前記第二支線とは逆順で接続する第四支線と、一方の端部が前記バスマスタに接続され、他方の端部が前記第三支線及び前記第四支線に接続された第二幹線とを有し、且つ前記第三支線及び前記第四支線が前記バスマスタを中心として略左右対称に形成されていることを特徴とする。

【0018】

【発明の実施の形態】

以下に、本発明の第一実施形態について図面を参照して説明する。

【0019】

図1は本発明の第一実施形態である同期式メモリシステムの概略構成図、図2は図1に示す同期RAMの概略ブロック図である。

【0020】

本実施形態の同期式メモリシステムは、図1に示すように、偶数個の同期RAM 4a # 1 ~ 4a # n (以下、単に同期RAM 4aともいう)と、同期RAM 4aへのデータの書き込みや読み出しを制御するメモリコントローラ1aと、アドレス・コマンド・クロック・ライトデータバス5aと、リードデータバス6aと、を備えて構成される。

【0021】

メモリコントローラ1aは、出力バッファ12aから、同期RAM 4aの書き込み・読み出し動作を制御するためのアドレス、コマンド及びライトデータと、同期用クロック信号

10

20

30

40

50

とを出力する。また、同期RAM 4 aが出力したリードデータを入力バッファ1 4 aで受信する。

【0022】

同期メモリ4 aは、図2に示すように、アドレス、コマンド、ライトデータ、そして同期用クロックを受信する入力バッファ4 2 aと、リードデータを出力する出力バッファ4 4 aと、図示していないが、メモリセル、センスアンプ、シーケンサ等からなるメモリ部とを有する。同期RAM 4 aは、受信した同期用クロックを契機として、アドレス、コマンド及びライトデータをラッチする。そして、ラッチしたアドレス及びコマンドに従い、ラッチしたライトデータのメモリセルへの書き込みや、メモリセルから当該アドレスのデータの読み出しを行う。

10

【0023】

アドレス・コマンド・クロック・ライトデータバス5 aは、メモリコントローラ1 aの出力バッファ1 2 aから出力されたアドレス、コマンド、ライトデータや、同期用クロック信号を、同期RAM 4 aの入力バッファ4 2 aに入力するためのものである。また、アドレス・コマンド・クロック・ライトデータバス5 aは、図1に示すように、分岐点Dで幹線5 1 aが2つの支線5 2 a、5 4 aに分岐しており、支線5 2 aには奇数番目の同期RAM 4 a # i ( i = 1, 3, …, n - 1 ) が、そして支線5 4 aには偶数番目の同期RAM 4 a # j ( j = 2, 4, …, n ) が、略等間隔で各々布線5 6 aを介して接続されている。このようにすることで、支線5 2 a及び支線5 4 aの長さを略等しくしている。

【0024】

20

リードデータバス6 aは、同期RAM 4 aの出力バッファ4 4 aから出力されたリードデータをメモリコントローラ1 aの入力バッファ1 4 aに入力するためのものである。リードデータバス6 aも、アドレス・コマンド・クロック・ライトデータバス5 aと同様に、分岐点Eで幹線6 1 aが2つの支線6 2 a、6 4 aに分岐しており、支線6 2 aには奇数番目の同期RAM 4 a # i ( i = 1, 3, …, n - 1 ) が、そして支線6 4 aには偶数番目の同期RAM 4 a # j ( j = 2, 4, …, n ) が、略等間隔で各々布線6 6 aを介して接続されている。このようにすることで、支線6 2 a及び支線6 4 aの長さを略等しくしている。

【0025】

アドレス・コマンド・クロック・ライトデータバス5 aの支線5 2 a、5 4 aは、メモリコントローラ1 aに対する同期RAM 4 aの序列を昇順(支線5 2 aについては# 1、# 3、…、# n - 1の順、支線5 4 aについては# 2、# 4、…、# nの順)としている。一方、リードデータバス6 aの支線6 2 a、6 4 aは、メモリコントローラ1 aに対する同期RAM 4 aの序列を降順(支線6 2 aについては# n - 1、# n - 3、…、# 1の順、支線6 4 aについては# n、# n - 2、…、# 2の順)としている。上述したように、アドレス・コマンド・クロック・ライトデータバス5 aの支線5 2 a及び支線5 4 aの長さを略等しくすると共に、リードデータバス6 aの支線6 2 a及び支線6 4 aの長さを略等しくしているので、このようにすることにより、メモリコントローラ1 a及び同期RAM 4 a間のアドレス・コマンド・クロック・ライトデータバス5 aのバス長と、メモリコントローラ1 a及び同期RAM 4 a間のリードデータバス6 aのバス長との総和が、全ての同期RAM 4 a # 1 ~ 4 a # nについて略等しくなるようにしている。

30

40

【0026】

本実施形態の同期式メモリシステムでは、同期RAM 4 aは、メモリコントローラ1 aからアドレス・コマンド・クロック・ライトデータバス5 a上に出力された同期用クロックを契機として、メモリコントローラ1 aからアドレス・コマンド・クロック・ライトデータバス5 a上に出力されたアドレス、コマンド及びライトデータをラッチする。これにより、アドレス、コマンド及びライトデータの同期転送を実現している。

【0027】

また、メモリコントローラ1 a及び同期RAM 4 a間のアドレス・コマンド・クロック・ライトデータバス5 aのバス長と、メモリコントローラ1 a及び同期RAM 4 a間のリー

50

ドデータバス 6 a のバス長との総和が、全ての同期 RAM 4 a # 1 ~ 4 a # n について略等しくなるようにすることにより、メモリコントローラ 1 a の出力バッファ 1 2 a がアドレス及びリードを示すコマンドを出力してから、メモリコントローラ 1 a の入力バッファ 1 4 a が当該アドレスのデータを受信するまでのメモリアクセスレイテンシを、全ての同期 RAM 4 a # 1 ~ 4 a # n について略一定にすることができる。

【 0 0 2 8 】

さらに、アドレス・コマンド・クロック・ライトデータバス 5 a 及びリードデータバス 6 a 各々を、図 1 に示すように、2 つの支線に分岐して、一方の支線に奇数番目の同期 RAM 4 a を接続し、他方の支線に偶数番目の同期 RAM 4 a を接続したことにより、メモリコントローラ 1 a 及び同期 RAM 4 a 間におけるアドレス・コマンド・クロック・ライトデータバス 5 a、リードデータバス 6 a の最長バス長を、図 2 3 に示す従来の同期メモリシステムに比べて、略半分に短縮することができる。これにより、メモリコントローラ 1 a の各同期 RAM 4 a に対するメモリアクセスレイテンシを短縮することができる。また、図 2 4 に示す従来の同期メモリシステムと異なり、2 つのアドレス・コマンド・クロック・ライトデータバスに各々対応する 2 つの出力バッファと、2 つのデータバスに各々対応する 2 つ入力バッファとを、メモリコントローラに設ける必要がない。したがって、メモリコントローラが大きくなるのを防ぐことができ、また、メモリコントローラのピン数が増加するのを防ぐことができる。

10

【 0 0 2 9 】

次に、本実施形態のアドレス・コマンド・クロック・ライトデータバス 5 a の具体的な構成について図面を参照して説明する。

20

【 0 0 3 0 】

図 3 は図 1 に示すアドレス・コマンド・クロック・ライトデータバスの概略構成図、図 4 は図 3 の A 部拡大図、図 5 は図 3 の B 部拡大図である。

【 0 0 3 1 】

本実施形態のアドレス・コマンド・クロック・ライトデータバス 5 a には、印刷回路基板の配線パターンが用いられる。配線パターンの特性インピーダンスは、主に寄生容量によるものであり、その値は、基板の材質、構造、配線パターンの幅や、当該パターンとグラウンド、あるいは電源ラインとの距離等に依存する。通常、40 ~ 100 程度である。

【 0 0 3 2 】

本実施形態では、図 3 及び図 4 に示すように、幹線 5 1 a として、特性インピーダンス  $Z_s$  が 40 の配線パターンを用いている。また、図 3 乃至図 5 に示すように、支線 5 2 a、5 4 a として、特性インピーダンス  $Z_m$  が 80 の配線パターンを用い、支線 5 2 a、5 4 a の終端各々を抵抗値  $R_t$  が 80 の終端抵抗 5 9 a を介してライン  $V_{tt}$  に接続している。さらに、図 3 及び図 5 に示すように、布線 5 6 a として、特性インピーダンス  $Z_{sk}$  が 80 の配線パターンを用い、各布線 5 6 a を抵抗値  $R_m$  が 40 の整合抵抗 5 8 a を介して対応する支線 5 2 a、5 4 a に接続している。

30

【 0 0 3 3 】

次に、本実施形態のアドレス・コマンド・クロック・ライトデータバス 5 a の分岐点 D での電気特性、支線 5 2 a、5 4 a 及び布線 5 6 a の接続点での電気特性、および支線 5 2 a、5 4 a の終端での電気特性について説明する。

40

【 0 0 3 4 】

先ず、分岐点 D での電気特性について説明する。

【 0 0 3 5 】

本実施形態のアドレス・コマンド・クロック・ライトデータバス 5 a では、幹線 5 1 a として特性インピーダンス  $Z_s$  が 40 の配線パターンを用い、支線 5 2 a、5 4 a として特性インピーダンス  $Z_m$  が 80 の配線パターンを用いている。したがって、幹線 5 1 a の特性インピーダンス  $Z_s$  と、支線 5 2 a、5 4 a の合成特性インピーダンス  $Z_m / 2$  とが一致しているので、分岐点 D でのインピーダンス整合を図ることができ、これにより、メモリコントローラ 1 a の出力バッファ 1 2 a から出力された電気信号が分岐点 D で不要

50

な反射波を発生させるのを抑制することができる。尚、上述したように、配線パターン  
の特性インピーダンスは、配線パターンの幅や、当該パターンとグランド、あるいは電源ラ  
インとの距離等に依存している。このため、パターン設計によっては、幹線 5 1 a の特性  
インピーダンス  $Z_s$  と、支線 5 2 a、5 4 a の合成特性インピーダンス  $Z_m / 2$  とを一致  
させることができないことも考えられる。このような場合、幹線 5 1 a と分岐点 D との間  
に、支線 5 2 a、5 4 a の合成特性インピーダンス  $Z_m / 2$  と幹線 5 1 a の特性インピー  
ダンス  $Z_s$  との差分を補う整合抵抗を挿入することにより、分岐点 D でのインピーダンス  
整合を図ることができる。

【0036】

次に、支線 5 2 a、5 4 a 及び布線 5 6 a の接続点での電気特性について説明する。

10

【0037】

本実施形態のアドレス・コマンド・クロック・ライトデータバス 5 a では、布線 5 6 a と  
して、特性インピーダンス  $Z_{sk}$  が 80 の配線パターンを用い、各布線 5 6 a を抵抗値  
 $R_m$  が 40 の整合抵抗 5 8 a を介して対応する支線 5 2 a、5 4 a に接続している。こ  
こで、支線 5 2 a、5 4 a の特性インピーダンス  $Z_m$  は 80 なので、布線 5 6 a の特性  
インピーダンス  $Z_{sk}$  は、布線 5 6 a 側から見たときに、見かけ上、2 つに分岐する支線  
5 2 a、5 4 a の合成特性インピーダンス  $Z_m / 2$  と、整合抵抗 5 8 a の抵抗値  $R_m$  との  
合成特性インピーダンス  $Z_m / 2 + R_m$  と一致している。したがって、本実施形態によれ  
ば、支線 5 2 a、5 4 a と布線 5 6 a との接続点でのインピーダンス整合を図ることがで  
きる。

20

【0038】

メモリコントローラ 1 a の出力バッファ 1 2 a から出力された電気信号は、同期 RAM 4  
a の入力バッファ 4 2 a に到達すると、入力バッファ 4 2 a と布線 5 6 a との接点で、特  
性インピーダンスの相違によって反射を生じ、この反射波は、支線 5 2 a、5 4 a と布線  
5 6 a との接続点に到達する。しかし、本実施形態では、この接続点でのインピーダンス  
整合が図られているので、当該反射波が前記接続点で更に反射波を発生させるのを抑制す  
ることができる。これにより、布線 5 6 a 及び同期 RAM 4 a の接点と、当該布線 5 6 a  
及び当該布線 5 6 a に接続された支線 5 2 a、5 4 a の接続点とで、反射波が交互に繰り  
返し発生し、入力バッファ 4 2 a に入力される電気信号の振幅が段階的に上昇するのを防  
止することができる。したがって、入力バッファ 4 2 a に入力される電気信号の電位確定  
時間を短縮することができるので、同期メモリ 4 a へのメモリアクセスレイテンシを短縮  
することができる。

30

【0039】

また、整合抵抗 5 8 a により布線 5 6 a に流入する電流量を低減することができ、これに  
より、急峻な大電流の変動が抑制され、EMC 等の不要な電磁界放射ノイズを低減するこ  
とができる。さらに、整合抵抗 5 8 a は、布線 5 6 a として用いられた配線パターンの寄  
生容量及び同期 RAM 4 a の寄生容量との間で RC 回路を構成する。この RC 回路の時定  
数は、通常、前記アドレス・コマンド・クロック・ライトデータバス 5 a 上を伝搬する信  
号のバスサイクルより短く、且つ当該信号の立上がり及び下がり時間より長いので、入力  
バッファ 4 2 a に、メモリコントローラ 1 a の出力バッファ 1 2 a から出力された電気信  
号の波形を反映した滑らかな波形の電気信号を入力することができる。

40

【0040】

次に、支線 5 2 a、5 4 a の終端での電気特性について説明する。

【0041】

本実施形態のアドレス・コマンド・クロック・ライトデータバス 5 a では、支線 5 2 a、  
5 4 a の終端各々を抵抗値  $R_t$  が 80 の終端抵抗 5 9 a を介してライン  $V_{tt}$  に接続し  
ている。したがって、支線 5 2 a、5 4 a の特性インピーダンス  $Z_m$  と、終端抵抗 5 9 a  
の抵抗値  $R_t$  とが一致しているので、支線 5 2 a、5 4 a の終端各々でのインピーダンス  
整合を図ることができ、これにより、支線 5 2 a、5 4 a の終端に到達した電気信号や反  
射波を終端抵抗 5 9 a に吸収させることができる。

50

## 【0042】

次に、本実施形態のリードデータバス6aの具体的な構成について図面を参照して説明する。

## 【0043】

図6は図1に示すリードデータバスの概略構成図、図7は図6のC部拡大図、図8は図6のD部拡大図である。

## 【0044】

本実施形態のリードデータバス6aも、アドレス・コマンド・クロック・ライトデータバス5aと同様に、印刷回路基板の配線パターンが用いられる。上述したように、配線パターンの特性インピーダンスは、通常、40～100程度であるが、本実施形態では、図6及び図7に示すように、幹線61aとして特性インピーダンス $Z_u$ が50の配線パターンを用い、そして支線62a、64aとして特性インピーダンス $Z_r$ が50の配線パターンを用い、幹線61aと分岐点Eとの間に抵抗値 $R_{mr}$ が25の整合抵抗を挿入している。また、図6及び図8に示すように、支線62a、64aの終端各々を抵抗値 $R_k$ が50の終端抵抗69aを介してラインVttに接続している。さらに、布線66aとして、特性インピーダンス $Z_{sr}$ が80の配線パターンを用い、各布線66aを抵抗値 $R_r$ が55の整合抵抗68aを介して対応する支線62a、64aに接続している。

10

## 【0045】

次に、本実施形態のリードデータバス6aの支線62a、64a及び布線66aの接続点での電気特性、分岐点Eでの電気特性、および支線62a、64aの終端での電気特性について説明する。

20

## 【0046】

まず、支線62a、64a及び布線66aの接続点での電気特性について説明する。

## 【0047】

本実施形態のリードデータバス6aでは、布線66aとして、特性インピーダンス $Z_{sr}$ が80の配線パターンを用い、各布線66aを抵抗値 $R_r$ が55の整合抵抗68aを介して対応する支線62a、64aに接続している。ここで、支線62a、64aの特性インピーダンス $Z_r$ は50なので、布線66aの特性インピーダンス $Z_{sr}$ は、布線66a側から見たときに、見かけ上、2つに分岐する支線62a、64aの合成インピーダンス $Z_r/2$ と、整合抵抗68aとの合成インピーダンス $Z_r/2 + R_r$ と一致している。

30

## 【0048】

したがって、本実施形態によれば、支線62a、64aと布線66aとの接続点でのインピーダンス整合を図ることができ、これにより、同期RAM4aの出力バッファ44aから出力された電気信号が接続点Eに到達した際に、不要な反射波が発生するのを抑制することができる。

## 【0049】

また、整合抵抗68aにより、同期RAM4aの出力バッファ44aから布線66aを介して支線62a、64aに流量する電流量を低減することができる。これにより、急峻な大電流の変動が抑制され、EMC等の不要な電磁界放射ノイズを低減することができる。

40

## 【0050】

次に、分岐点Eでの電気特性について説明する。

## 【0051】

本実施形態のリードデータバス6aでは、幹線61aとして特性インピーダンス $Z_u$ が50の配線パターンを用い、そして支線62a、64aとして特性インピーダンス $Z_r$ が50の配線パターンを用い、幹線61aと分岐点Eとの間に抵抗値 $R_{mr}$ が25の整合抵抗を挿入している。したがって、幹線61aの特性インピーダンス $Z_u$ と、支線62a、64aの合成インピーダンス $Z_r/2$ 及び整合抵抗67aの合成インピーダンス $Z_r/2 + R_{mr}$ が一致しているので、分岐点Eでのインピーダンス整合を図ることができる。

## 【0052】

50

同期RAM 4 aの出力バッファ4 4 aから出力された電気信号は、メモリコントローラ1 aの入力バッファ1 4 aに到達すると、入力バッファ1 4 aと幹線6 1 aとの接点で、特性インピーダンスの相違によって反射を生じ、この反射波は、分岐点Eに到達する。しかし、本実施形態では、この分岐点Eでのインピーダンス整合が図られているので、当該反射波が分岐点Eで更に反射波を発生させるのを抑制することができる。これにより、入力バッファ1 4 6 a及び幹線6 1 aの接点と、分岐点Eとで、反射波が交互に繰り返し発生し、入力バッファ1 4 aに入力される電気信号の振幅が段階的に上昇するのを防止することができる。したがって、入力バッファ1 4 aに入力される電気信号の電位確定時間を短縮することができるので、メモリアクセスレイテンシを短縮することができる。

**【0053】**

また、整合抵抗6 7 aにより幹線6 1 aに流入する電流量を低減することができ、これにより、急峻な大電流の変動が抑制され、EMC等の不要な電磁界放射ノイズを低減することができる。さらに、整合抵抗6 7 aは、幹線6 1 aとして用いられた配線パターンの寄生容量及びメモリコントローラ1 aの入力バッファ1 4 aの寄生容量との間でRC回路を構成する。このRC回路の時定数は、通常、前記リードデータバス6 a上を伝搬する信号のバスサイクルより短く、且つ当該信号の立上がり及び下がり時間より長いので、入力バッファ1 4 aに、同期RAM 4 aの出力バッファ4 4 aから出力された電気信号の波形を反映した滑らかな波形の電気信号を入力することができる。

**【0054】**

尚、分岐点に整合抵抗を挿入する代わりに、配線パターン設計によって、幹線6 1 aの特性インピーダンス $Z_u$ と、支線6 2 a、6 4 aの合成インピーダンス $Z_r/2$ とを一致させて、分岐点Eでのインピーダンス整合を図るようにしてもよい。

**【0055】**

次に、支線6 2 a、6 4 aの終端での電気特性について説明する。

**【0056】**

本実施形態のリードデータバス6 aでは、支線6 2 a、6 4 aの終端各々を抵抗値 $R_k$ が50 の終端抵抗6 9 aを介してラインVttに接続している。したがって、支線6 2 a、6 4 aの特性インピーダンス $Z_r$ と、終端抵抗6 9 aの抵抗値 $R_k$ とが一致しているので、支線6 2 a、6 4 aの終端各々でのインピーダンス整合を図ることができ、これにより、支線6 2 a、6 4 aの終端に到達した電気信号や反射波を終端抵抗6 9 aに吸収させることができる。

**【0057】**

本実施形態の同期式メモリシステムを動作させた際に、電気信号が各バス上をどの様に伝搬するかについて、図面を参照して説明する。

**【0058】**

図9は本実施形態の動作を説明するためのタイミング図である。図9において、9 1は、同期RAM 4 aの入力バッファ4 2 aが同期用クロックを契機としてラッチするアドレス、コマンド及びライトデータの受信タイミングを示している。また、9 2は、同期RAM 4 aの出力バッファ4 4 aから出力されるリードデータの出力タイミングを示している。

**【0059】**

図9に示す例では、同期RAM 4 aの入力バッファ4 2 aは、アドレス及びリードコマンドからなるリード要求を受信した後、続けてアドレス、ライトコマンド及びライトデータからなるライト要求を受信している。一方、同期RAM 4 aの出力バッファ4 4 aは、入力バッファ4 2 aがリードコマンドを受信した後、3サイクル後にリードデータを出力している。すなわち、同期RAM 4 aは、リード要求の動作が完結しないうちにライト要求を受信している。これにより、同期メモリシステムのリード要求及びライト要求のパイプライン化を図っている。尚、同期RAM 4 aは、続けて受信したライト要求をメモリ部のデータバッファで一時的に蓄え、メモリセルが書き込み可能になり次第書き込みを行う。

**【0060】**

本実施形態が図9に示すリード要求を行った場合、リード要求及び当該要求によって読み

10

20

30

40

50

出されたリードデータの伝搬波形は図10のようになる。

【0061】

図10は、図9に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。図10において、93はリード要求の伝搬波形を示しており、実線はメモリコントローラ1aの入力バッファ12aでの伝搬波形、1点鎖線は同期RAM4a#1、4a#2の入力バッファ42aでの伝搬波形、そして2点鎖線は同期RAM4a#n-1、4a#nの入力バッファ42aでの伝搬波形を示している。94はリードデータの伝搬波形を示しており、1点鎖線は同期RAM4a#1、4a#2の出力バッファ44aから出力されたリードデータの当該出力バッファ44aでの伝搬波形、2点鎖線は同期RAM4a#n-1、4a#nの出力バッファ44aから出力されたリードデータの当該出力バッファ44aでの伝搬波形を示している。95はメモリコントローラ1aの入力バッファ14aに入力されたリードデータの伝搬波形を示しており、1点鎖線は同期RAM4a#1、4a#2から出力されたリードデータの伝搬波形、2点鎖線は同期RAM4a#n-1、4a#nから出力されたリードデータの伝搬波形を示している。尚、図10において横軸は時間を表している。

10

【0062】

メモリコントローラ1aの出力バッファ12aから出力されるリード要求の振幅は出力バッファ12aの内部インピーダンスと終端抵抗59aとの分割抵抗比によって定まる。このため、リード要求の振幅は、アドレス・コマンド・クロック・ライトデータバス5a上の位置にかかわらず略一定である。尚、アドレス・コマンド・クロック・ライトデータバス5aを形成する配線パターンインピーダンスは、主に寄生容量によるものであるため、振幅にほとんど影響しない。同期メモリ4aの入力バッファ42aに到達したリード要求は、図10の93に示すように、当該入力バッファ42a及び布線56aの寄生容量と整合抵抗58aからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。同期RAM4a#n-1、4a#nの入力バッファ42aに到達するリード要求は、図10の93に示すように、アドレス・コマンド・クロック・ライトデータバス5a上での伝搬遅延により、同期RAM4a#1、4a#2に到達するリード要求よりも、多少遅れて到達する。

20

【0063】

同期RAM4aは、リードデータをメモリコントローラ1aから出力されたリード要求を受信した順番で出力バッファ44aから出力する。したがって、図10の94に示すように、同期RAM4a#n-1、4a#nの出力バッファ44aから出力されるリードデータは、同期RAM4a#1、4a#2の出力バッファ44aから出力されるリードデータよりも、多少遅れて出力される。

30

【0064】

メモリコントローラ1aの入力バッファ14aに入力されるリードデータの振幅は、図10の95に示すように、同期RAM4aの出力バッファ44aの内部インピーダンス及び整合抵抗68aの和と、終端抵抗69aとの分割抵抗比に従い圧縮される。また、リードデータバス6aでは、メモリコントローラ1aに対する同期RAM4aの位置関係がアドレス・コマンド・クロック・ライトデータバス5aの場合と逆転するので、メモリコントローラ1aの入力バッファ14aに到達する各同期メモリ4aからのリードデータは、図10の95に示すように、略同時期に到達する。また、メモリコントローラ1aの入力バッファ14aに到達したリードデータは、入力バッファ14a及び幹線61aの寄生容量と、整合抵抗67aからなるRC回路の時定数に従い、滑らかな立ち上がり、降下を示す。

40

【0065】

本実施形態では、図10に示すように、アドレス・コマンド・クロック・ライトデータバス5aを伝搬する信号の振幅は、コントローラ12aの出力バッファ12aの内部インピーダンス及び2つの終端抵抗59aとの分割抵抗比に従い決定される。一方、リードデータバス6aを伝搬する信号の振幅は、同期RAM4aの出力バッファ44aの内部インピ

50

ーダンス及び整合抵抗 68 a の和と、2つの終端抵抗 69 a との分割抵抗比に従い決定される。したがって、上記分割抵抗比が適当な値となるように、整合抵抗 58 a、68 a の値及び終端抵抗 59 a、69 a の値を設定することにより、アドレス・コマンド・クロック・ライトデータバス 5 a 及びリードデータ 6 a 間で、異なるバスインタフェースの規格に合わせた信号振幅を得ることができる。

【0066】

但し、整合抵抗 58 a、68 a の値及び終端抵抗 59 a、69 a の値は、アドレス・コマンド・クロック・ライトデータバス 5 a 及びリードデータバス 6 a を構成する配線パターン特性インピーダンスによって定まる。したがって、上記分割抵抗比が適当な値となるように、整合抵抗 58 a、68 a の値及び終端抵抗 59 a、69 a の値を設定するためには、上記配線パターン特性インピーダンスを適当な値に設定する必要がある。この場合、整合抵抗 58 a、68 a が適当な値となるように、布線 56 a、66 a を構成する配線パターン特性インピーダンスを変えるのがよい。

10

【0067】

次に、本実施形態の同期式メモリシステムが実装された印刷回路基板について図面を参照して説明する。

【0068】

図 11 は本実施形態の同期式メモリシステムが実装されたメモリライザカードの概略構成図、図 12 は図 11 に示すメモリライザカードの部分概略拡大図である。

【0069】

図 11 に示すメモリライザカード 7 a では、メモリコントローラ 1 a が中央に配置されている。そして、奇数番目の同期 RAM 4 a # 1 ~ 4 a # 7 と、偶数番目の同期 RAM 4 a # 2 ~ 4 a # 8 とが、メモリコントローラ 1 a を中心として左右対称な位置に、且つ各同期 RAM 4 a が等間隔で配置されている。また、各同期 RAM 4 a はメモリコントローラ 1 a からメモリライザカード 7 a の長手方向の端部に向けて序列が昇順（奇数番目の同期 RAM 4 a では、# 1、# 3・・・# 7 の順、偶数番目の同期 RAM 4 a では、# 2、# 4・・・# 8 の順）となるように、配置されている。

20

【0070】

メモリライザカード 7 a には、本実施形態の同期メモリシステムを情報処理装置に電気的に接続するための導体コンタクトパッド 71 が形成されている。導体コンタクトパッド 71 は、ライザカード 7 a を情報処理装置のコネクタに嵌合することにより電気的に接続される。また、導体コンタクトパッド 71 は、配線パターンを介して、メモリコントローラ 1 a の情報処理装置とのインターフェース 16 に接続されている。

30

【0071】

メモリライザカード 7 a には、アドレス・コマンド・クロック・ライトデータバス 5 a を構成する配線パターンと、リードデータバス 6 a を構成する配線パターンと、が形成されている。

【0072】

アドレス・コマンド・クロック・ライトデータバス 5 a の幹線 51 a を構成する配線パターンは、一端がメモリコントローラ 1 a の出力バッファ 12 a に接続され、他端がメモリコントローラ 5 a の近傍でアドレス・コマンド・クロック・ライトデータバス 5 a の支線 52 a、54 a に接続されている。支線 52 a、54 a は、幹線 51 a に接続されたメモリコントローラ 1 a の近傍からメモリライザカード 7 a の長手方向の端部へ向けて延びている。支線 52 a を構成する配線パターンには、奇数番目の同期 RAM 4 a # 1 ~ 4 a # 7 の入力バッファ 42 a が各々整合抵抗 58 a を介して接続され、支線 54 a を構成する配線パターンには、偶数番目の同期 RAM 4 a # 2 ~ 4 a # 8 の入力バッファ 42 a が各々整合抵抗 58 a を介して接続されている。これにより、図 11 に示すように、支線 52 a、54 a に接続される同期 RAM 4 a のメモリコントローラ 1 a に対する序列が、昇順（支線 52 a については # 1、# 3、・・・# 7 の順、支線 54 a については # 2、# 4、・・・# 8 の順）となるようにしている。尚、支線 52 a、54 a の終端には、各々メ

40

50

メモリライザカード7 aの長手方向の端部において、終端抵抗5 9 aが接続される。

【0073】

リードデータバス6 aの幹線6 1 aを構成する配線パターンは、一端がメモリコントローラ1 aの入力バッファ1 4 aに接続され、他端がメモリコントローラ5 aの近傍で整合抵抗6 7 aを介してリードデータバス6 aの支線6 2 a、6 4 aに接続されている。支線6 2 a、6 4 aは、幹線6 1 aに接続されたメモリコントローラ1 aの近傍からメモリライザカード7 aの長手方向の端部へ向けて延び、当該端部で折り返して再びメモリコントローラ1 aへ向けて延びている。支線6 2 aを構成する配線パターンの終端からメモリライザカード7 aの長手方向の端部にかけての部分には、奇数番目の同期RAM 4 a # 1 ~ 4 a # 7の出力バッファ4 4 aが各々整合抵抗6 8 aを介して接続されている。また、支線6 4 aを構成する配線パターンの終端からメモリライザカード7 aの長手方向の端部にかけての部分には、偶数番目の同期RAM 4 a # 2 ~ 4 a # 8の出力バッファ4 4 aが各々整合抵抗6 8 aを介して接続されている。これにより、図1 1に示すように、支線6 2 a、6 4 aに接続される同期RAM 4 aのメモリコントローラ1 aに対する序列が、降順(支線6 2 aについては# 7、# 5、・・・# 1の順、支線6 4 aについては# 8、# 6、・・・# 2の順)となるようにしている。尚、支線6 2 a、6 4 aの終端には、各々メモリコントローラ1 aの近傍において、終端抵抗6 9 aが接続される。

10

【0074】

次に、メモリライザカード7 aについて詳しく説明する。

【0075】

メモリライザカード7 aは、内側に形成された電源層及びグランド層と、これ等の層上に形成された2層の信号層とを有する多層基板である。2層の信号層のうち、電源層又はグランド層いずれかに近い側の信号層(以下、内層という)の特性インピーダンスは40~50前後であり、遠い側の信号層(以下、外層という)の特性インピーダンスは80~100前後である。このように、メモリライザカードは、2つの異なる特性インピーダンスの信号層を有するので、この2つの信号層を選択的に用いることにより、メモリコントローラ1 a及び各同期RAM 4 a間のバス等長配線を実現することができる。

20

【0076】

図1 1に示す例では、幹線5 1 aとして特性インピーダンス40の幅広の内層配線パターンを用い、支線5 2 a、5 4 aとして特性インピーダンス80の外層配線パターンを用いて、アドレス・コマンド・クロック・ライトデータバス5 aを形成している。また、幹線6 1 a、支線6 2 a、6 4 aとして特性インピーダンス50の内層配線パターンを用いて、リードデータバス6 aを形成している。尚、アドレス・コマンド・クロック・ライトデータバス5 a及びリードデータバス6 aは、図1 1では、1本の線で示しているが、実際には、図1 2に示すように、複数の信号線で構成されている。そして、整合抵抗5 8 a、6 7 a、6 8 a及び終端抵抗5 9 a、6 9 aは、各信号線毎に設けられている。また、図1 1に示すメモリライザカード7 aでは、図1 2に示すように、リードデータバス6 aが導体コンタクトパッド7 1及びメモリコントローラ1 aの接続線と干渉しないように、当該接続線に外層配線パターンを用いている。

30

【0077】

本実施形態の同期式メモリシステムが実装されたメモリライザカードとしては、図1 3に示すような、本実施形態の同期式メモリシステムを2系統搭載したメモリライザボード7 bも考えられる。また、本実施形態の同期式メモリシステムが実装された回路基板としては、メモリライザカードの他に、メモリコントローラの搭載されたメモリモジュール等も考えられる。

40

【0078】

次に、本発明の第二実施形態について図面を参照して説明する。

【0079】

図1 4は本発明の第二実施形態である同期式メモリシステムの概略構成図、図1 5は図1 4に示すシンクロナスDRAMの概略ブロック図である。

50

## 【0080】

本実施形態の同期式メモリシステムは、図14に示すように、偶数個のシンクロナスDRAM4b#1~4b#n(以下、単に同期RAM4bともいう)と、シンクロナスDRAM4bへのデータの書き込みや読み出しを制御するメモリコントローラ1bと、アドレス・コマンド・クロックバス5bと、リードデータ・ライトデータバス6bと、を備えて構成される。

## 【0081】

メモリコントローラ1bは、シンクロナスDRAM4bの書き込み・読み出し動作を制御するためのアドレス、コマンド及び同期用クロックを、出力バッファ12bから出力する。また、シンクロナスDRAM4bに書き込むライトデータ及び同期用クロックを、出力バッファ12cから出力する。さらに、シンクロナスDRAM4bが出力したリードデータを入力バッファ14bで受信する。

10

## 【0082】

シンクロナスDRAM4bは、図15に示すように、アドレス、コマンド及び同期用クロックを受信する入力バッファ42bと、ライトデータ及び同期用クロックを受信する入力バッファ42cと、リードデータを出力する出力バッファ44bと、図示していないが、メモリセル、センスアンプ、シーケンサ等からなるメモリ部と、を有する。シンクロナスDRAM4bは、アドレス・コマンド・クロックバス5b上の同期用クロックを契機としてアドレス及びリードコマンドをラッチする。そしてラッチしたアドレス及びリードコマンドに従い、当該アドレスのリードデータを読み出して出力バッファ44bから出力する。また、アドレス・コマンド・クロックバス5b上の同期用クロックを契機としてアドレス及びライトコマンドをラッチする。そしてラッチしたアドレス及びライトコマンドに従い、リードデータ・ライトデータバス6b上の同期用クロックを契機としてラッチしたライトデータを、当該アドレスに書き込む。このシンクロナスDRAM4bは、従来より用いられているシンクロナスDRAMと同様である。

20

## 【0083】

アドレス・コマンド・クロックバス5bは、メモリコントローラ1bの出力バッファ12bから出力されたアドレス及びコマンドを、シンクロナスDRAM4bの入力バッファ42bに入力するためのものである。また、アドレス・コマンド・クロックバス5bは、図14に示すように、分岐点Fで幹線51bが2つの支線52b、54bに分岐しており、支線52bには奇数番目のシンクロナスDRAM4b#i(i=1、3、・・・n-1)が、そして支線54bには偶数番目のシンクロナスDRAM4b#j(j=2、4、・・・n)が、略等間隔で各々布線56bを介して接続されている。このようにすることで、支線52b及び支線54bの長さを略等しくしている。

30

## 【0084】

リードデータ・ライトデータバス6bは、メモリコントローラ1aの出力バッファ12cから出力されたアドレス及びコマンドを、シンクロナスDRAM4bの入力バッファ42cに入力すると共に、シンクロナスDRAM4bの出力バッファ44bから出力されたリードデータをメモリコントローラ1bの入力バッファ14bに入力するためのものである。リードデータ・ライトデータバス6bも、アドレス・コマンド・クロックバス5bと同様に、分岐点Gで幹線61bが2つの支線62b、64bに分岐しており、支線62bには奇数番目のシンクロナスDRAM4b#i(i=1、3、・・・n-1)が、そして支線64bには偶数番目のシンクロナスDRAM4b#j(j=2、4、・・・n)が、略等間隔で各々布線66bを介して接続されている。このようにすることで、支線62b及び支線64bの長さを略等しくしている。

40

## 【0085】

アドレス・コマンド・クロックバス5bの支線52b、54bは、メモリコントローラ1bに対するシンクロナスDRAM4bの序列を昇順(支線52bについては#1、#3、・・・#n-1の順、支線54bについては#2、#4、・・・#nの順)としている。一方、リードデータ・ライトデータバス6bの支線62b、64bは、メモリコントローラ

50

ラ 1 b に対するシンクロナス D R A M 4 b の序列を降順 (支線 6 2 b については # n - 1、# n - 3、・・・# 1 の順、支線 6 4 b については # n、# n - 2、・・・# 2 の順) としている。上述したように、アドレス・コマンド・クロックバス 5 b の支線 5 2 b 及び支線 5 4 b の長さを略等しくすると共に、リードデータ・ライトデータバス 6 b の支線 6 2 b 及び支線 6 4 b の長さを略等しくしている。このようにすることにより、メモリコントローラ 1 b 及びシンクロナス D R A M 4 b 間のアドレス・コマンド・クロックバス 5 b のバス長と、メモリコントローラ 1 b 及びシンクロナス D R A M 4 b 間のリードデータ・ライトデータバス 6 b のバス長との総和が、全てのシンクロナス D R A M 4 b # 1 ~ 4 b # n について略等しくなるようにしている。

【 0 0 8 6 】

本実施形態の同期式メモリシステムでは、シンクロナス D R A M 4 b は、メモリコントローラ 1 b からアドレス・コマンド・クロックバス 5 b 上に出力されたアドレス及びライトコマンドをラッチする。そして、メモリコントローラ 1 b からリードデータ・ライトデータバス 6 b 上に出力された同期用クロックを契機として、メモリコントローラ 1 a からリードデータ・ライトデータバス 6 b 上に出力されたライトデータをラッチする。これにより、ライトデータの同期転送を実現している。

【 0 0 8 7 】

また、メモリコントローラ 1 b 及びシンクロナス D R A M 4 b 間のアドレス・コマンド・クロックバス 5 b のバス長と、メモリコントローラ 1 b 及びシンクロナス D R A M 4 b 間のリードデータ・ライトデータバス 6 a のバス長との総和が、全てのシンクロナス D R A M 4 b # 1 ~ 4 b # n について略等しくなるようにしている。これにより、メモリコントローラ 1 b の出力バッファ 1 2 b がアドレス及びリードを示すコマンドを出力してから、メモリコントローラ 1 b の入力バッファ 1 4 b が当該アドレスのデータを受信するまでのメモリアクセスレイテンシを、全てのシンクロナス D R A M 4 b # 1 ~ 4 b # n について略一定にすることができる。

【 0 0 8 8 】

さらに、アドレス・コマンド・クロックバス 5 b 及びリードデータ・ライトデータバス 6 b 各々を、図 1 4 に示すように、2 つの支線に分岐して、一方の支線に奇数番目のシンクロナス D R A M 4 b を接続し、他方の支線に偶数番目のシンクロナス D R A M 4 b を接続したことにより、メモリコントローラ 1 b 及びシンクロナス D R A M 4 b 間におけるアドレス・コマンド・クロックバス 5 b、リードデータ・ライトデータバス 6 b の最長バス長を、図 2 3 に示す従来の同期メモリシステムに比べて、略半分に短縮することができる。これにより、メモリコントローラ 1 b の各シンクロナス D R A M 4 b に対するメモリアクセスレイテンシを短縮することができる。また、図 2 4 に示す従来の同期メモリシステムと異なり、2 つのアドレス・コマンドバスに各々対応する 2 つの出力バッファと、2 つのリードデータ・ライトデータバスに各々対応する 2 つの入力バッファ及び出力バッファとを、メモリコントローラに設ける必要がない。したがって、メモリコントローラが大きくなるのを防ぐことができ、また、メモリコントローラのピン数が増加するのを防ぐことができる。

【 0 0 8 9 】

さらに、本実施形態では、同期メモリとして、従来より用いられているシンクロナス D R A M を利用している。部品共通化・低価格化を図ることができる。

【 0 0 9 0 】

次に、本実施形態のアドレス・コマンド・クロックバス 5 b 及びリードデータ・ライトデータバス 6 b の具体的な構成について図面を参照して説明する。

【 0 0 9 1 】

図 1 6 は図 1 4 に示すアドレス・コマンドバスの概略構成図、図 1 7 は図 1 4 に示すリードデータ・ライトデータバスの概略構成図である。

【 0 0 9 2 】

図 1 6 に示す本実施形態のアドレス・コマンド・クロックバス 5 b の構成は、図 3 に示す

10

20

30

40

50

第一実施形態のアドレス・コマンド・クロック・ライトデータバス5 aのものと基本的に同様である。すなわち、幹線5 1 bとして、特性インピーダンス $Z_s$ が40 の配線パターンを用いている。また、支線5 2 b、5 4 bとして、特性インピーダンス $Z_m$ が80 の配線パターンを用い、支線5 2 b、5 4 bの終端各々を抵抗値 $R_t$ が80 の終端抵抗5 9 bを介してラインV t tに接続している。さらに、布線5 6 bとして、特性インピーダンス $Z_s k$ が80 の配線パターンを用い、各布線5 6 bを抵抗値 $R_m$ が40 の整合抵抗5 8 bを介して対応する支線5 2 b、5 4 bに接続している。

#### 【0093】

このようにすることで、第一実施形態のアドレス・コマンド・クロック・ライトデータバス5 aと同様の効果を得ることができる。たとえば、分岐点Fでのインピーダンス整合を図ることができ、メモリコントローラ1 bの出力バッファ1 2 bから出力された電気信号が分岐点Dに到達した際に、不要な反射波が発生するのを抑制することができる。また、支線5 2 b、5 4 bと布線5 6 bとの接続点でのインピーダンス整合を図ることができる。これにより、布線5 6 b及びシンクロナスDRAM4 bの接点と、当該布線5 6 b及び当該布線5 6 bに接続された支線5 2 b、5 4 bの接続点とで、反射波が交互に繰り返して発生することを防止できる。この結果、入力バッファ4 2 bに入力される電気信号の振幅が段階的に上昇することによるシンクロナスDRAM4 bの誤動作を防止できる。さらに、支線5 2 b、5 4 bの終端各々でのインピーダンス整合を図ることができ、これにより、支線5 2 b、5 4 bの終端に到達した電気信号や反射波を終端抵抗5 9 bに吸収させることができる。

#### 【0094】

図1 7に示す本実施形態のリードデータ・ライトデータバス6 bの構成は、図6に示す第一実施形態のリードデータバス6 aのものと基本的に同様である。すなわち、幹線6 1 bとして特性インピーダンス $Z_u$ が50 の配線パターンを、そして支線6 2 b、6 4 bとして特性インピーダンス $Z_r$ が50 の配線パターンを用い、幹線6 1 bと分岐点Gとの間に抵抗値 $R_m r$ が25 の整合抵抗6 7 bを挿入している。また、支線6 2 b、6 4 bの終端各々を抵抗値 $R_k$ が50 の終端抵抗6 9 bを介してラインV t tに接続している。さらに、布線6 6 bとして、特性インピーダンス $Z_s r$ が80 の配線パターンを用い、各布線6 6 bを抵抗値 $R_r$ が55 の整合抵抗6 8 bを介して対応する支線6 2 b、6 4 bに接続している。

#### 【0095】

このようにすることで、第一実施形態のリードデータバス6 aと同様の効果を得ることができる。たとえば、支線6 2 b、6 4 bと布線6 6 bとの接続点でのインピーダンス整合を図ることができ、これにより、シンクロナスDRAM4 bの出力バッファ4 4 bから出力された電気信号が接続点で不要に反射するのを抑制することができる。また、分岐点Gでのインピーダンス整合を図ることができる。これにより、入力バッファ1 4 b及び幹線6 1 bの接点と分岐点Eとで、反射波が交互に繰り返して発生することを防止できる。この結果、入力バッファ1 4 bに入力される電気信号の振幅が段階的に上昇することによるメモリコントローラ1 bの誤動作を防止できる。さらに、支線6 2 b、6 4 bの終端各々でのインピーダンス整合を図ることができ、これにより、支線6 2 b、6 4 bの終端に到達した電気信号や反射波を終端抵抗6 9 bに吸収させることができる。

#### 【0096】

本実施形態の同期式メモリシステムを動作させた際に、電気信号が各バス上をどの様に伝搬するかについて、図面を参照して説明する。

#### 【0097】

図1 8は本実施形態の動作を説明するためのタイミング図である。図1 8において、1 8 1は、シンクロナスDRAM4 bの入力バッファ4 2 bがラッチするアドレス及びコマンドの受信タイミングを示している。また、1 8 2は、シンクロナスDRAM4 bの入力バッファ4 2 cがラッチするライトデータの受信タイミング、およびシンクロナスDRAM4 bの出力バッファ4 4 bから出力されるリードデータの出力タイミングを示している。

## 【0098】

図18に示す例では、シンクロナスDRAM4bの入力バッファ42bは、アドレス及びライトコマンドからなるライト要求を受信した後、続けてアドレス及びリードコマンドからなるリード要求を受信している。一方、シンクロナスDRAM4bの入力バッファ42cは、入力バッファ42bでのライトコマンドの受信と略同時期にライトデータの受信を開始している。すなわち、シンクロナスDRAM4aは、ライト要求の動作が完結しないうちにリード要求を受信している。また、シンクロナスDRAM4bの出力バッファ44bは、入力バッファ42bがリードコマンドを受信した後、3サイクル後にリードデータを出力している。尚、シンクロナスDRAM4aは、続けて受信したリード要求をメモリ部のデータバッファで一時的に蓄え、メモリセルが読み出し可能になり次第読み出しを行う。

10

## 【0099】

本実施形態が図18に示すリード要求を行った場合、リード要求及び当該要求によって読み出されたリードデータの伝搬波形は図19のようになる。

## 【0100】

図19は、図18に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。図19において、193はリード要求の伝搬波形を示しており、実線はメモリコントローラ1bの出力バッファ12bでの伝搬波形、1点鎖線はシンクロナスDRAM4b#1、4b#2の入力バッファ42bでの伝搬波形、そして2点鎖線はシンクロナスDRAM4b#n-1、4b#nの入力バッファ42bでの伝搬波形を示している。194はリードデータの伝搬波形を示しており、1点鎖線はシンクロナスDRAM4b#1、4b#2の出力バッファ44bから出力されたリードデータの当該出力バッファ44bでの伝搬波形、2点鎖線はシンクロナスDRAM4b#n-1、4b#nの出力バッファ44bから出力されたリードデータの当該出力バッファ44bでの伝搬波形を示している。195はメモリコントローラ1bの入力バッファ14bに入力されたリードデータの伝搬波形を示しており、1点鎖線はシンクロナスDRAM4b#1、4b#2から出力されたリードデータの伝搬波形、2点鎖線はシンクロナスDRAM4b#n-1、4b#nから出力されたリードデータの伝搬波形を示している。尚、図19において横軸は時間を表している。

20

## 【0101】

メモリコントローラ1bの出力バッファ12bから出力されるリード要求の振幅は出力バッファ12bの内部インピーダンスと終端抵抗59bとの分割抵抗比によって定まる。このため、リード要求の振幅は、アドレス・コマンド・クロックバス5b上の位置にかかわらず略一定である。シンクロナスDRAM4bの入力バッファ42bに到達したリード要求は、図19の193に示すように、当該入力バッファ42b及び布線56bの寄生容量と整合抵抗58bからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。シンクロナスDRAM4b#n-1、4a#nの入力バッファ42bに到達するリード要求は、図19の193に示すように、アドレス・コマンド・クロックバス5b上での伝搬遅延により、シンクロナスDRAM41b#1、4b#2に到達するリード要求よりも、多少遅れて到達する。

30

40

## 【0102】

シンクロナスDRAM4bは、メモリコントローラ1bから出力されたリード要求を受信した順番でリードデータを出力バッファ44bから出力する。したがって、図19の194に示すように、シンクロナスDRAM4b#n-1、4b#nの出力バッファ44bから出力されるリードデータは、シンクロナスDRAM4b#1、4b#2の出力バッファ44bから出力されるリードデータよりも、多少遅れて出力される。

## 【0103】

メモリコントローラ1bの入力バッファ14bに入力されるリードデータの振幅は、図19の195に示すように、シンクロナスDRAM4bの出力バッファ44bの内部インピーダンス及び整合抵抗68bの和と、終端抵抗69bとの分割抵抗比に従い圧縮される。

50

また、リードデータ・ライトデータバス6bでは、メモリコントローラ1bに対するシンクロナスDRAM4bの位置関係がアドレス・コマンド・クロックバス5bの場合と逆転するので、メモリコントローラ1bの入力バッファ14bに到達する各シンクロナスDRAM4bからのリードデータは、図19の195に示すように、略同時期に到達する。また、メモリコントローラ1bの入力バッファ14bに到達したリードデータは、入力バッファ14b及び幹線61bの寄生容量と、整合抵抗67bからなるRC回路の時定数に従い、滑らかな立ち上がり、降下を示す。

#### 【0104】

本実施形態が図18に示すライト要求を行った場合、ライト要求及びライトデータの伝搬波形は図20のようになる。

10

#### 【0105】

図20は、図18に示すライト要求を行った場合の各位置でのライト要求及びライトデータの伝搬波形を示す図である。図20において、201はライト要求の伝搬波形を示しており、実線はメモリコントローラ1bの出力バッファ12bでの伝搬波形、1点鎖線はシンクロナスDRAM4b#1、4b#2の入力バッファ42bでの伝搬波形、そして2点鎖線はシンクロナスDRAM4b#n-1、4b#nの入力バッファ42bでの伝搬波形を示している。202はライトデータの伝搬波形を示しており、実線はメモリコントローラ1bの出力バッファ12cでの伝搬波形、1点鎖線はシンクロナスDRAM4b#1、4b#2の入力バッファ42cでの伝搬波形、2点鎖線はシンクロナスDRAM4b#n-1、4b#nの入力バッファ42cでの伝搬波形を示している。尚、図20において横

20

#### 【0106】

メモリコントローラ1bの出力バッファ12bから出力されるライト要求の振幅は出力バッファ12bの内部インピーダンスと終端抵抗59bとの分割抵抗比によって定まる。このため、リード要求の振幅は、アドレス・コマンド・クロックバス5b上の位置にかかわらず略一定である。シンクロナスDRAM4bの入力バッファ42bに到達したライト要求は、図20の201に示すように、当該入力バッファ42b及び布線56bの寄生容量と整合抵抗58bからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。シンクロナスDRAM4b#n-1、4b#nの入力バッファ42bに到達するライト要求は、図20の201に示すように、アドレス・コマンド・クロックバス5b上での伝搬

30

遅延により、シンクロナスDRAM4b#1、4b#2に到達するライト要求よりも、多少遅れて到達する。

#### 【0107】

メモリコントローラ1bの出力バッファ12cから出力され、シンクロナスDRAM4bの入力バッファ42cに入力されるライトデータの振幅は、図20の202に示すように、メモリコントローラ1bの出力バッファ12cの内部インピーダンス及び整合抵抗67bの和と、2つの終端抵抗69bとの分割抵抗比に従い圧縮される。シンクロナスDRAM4bの入力バッファ42cに到達したライトデータは、図20の202に示すように、当該入力バッファ42c及び布線66bの寄生容量と整合抵抗68bからなるRC回路の時定数に従って滑らかな立ち上がり、降下を示す。シンクロナスDRAM4b#1、4b

40

#2の入力バッファ42cに到達するライトデータは、図20の201に示すように、リードデータ・ライトデータバス6b上での伝搬遅延により、シンクロナスDRAM4b#n-1、4b#nに到達するライトデータよりも、多少遅れて到達する。

#### 【0108】

本実施形態では、図19及び図20に示すように、アドレス・コマンド・クロックバス5bを伝搬する信号の振幅は、メモリコントローラ1bの出力バッファ12bの内部インピーダンス及び2つの終端抵抗59bとの分割抵抗比に従い決定される。一方、リードデータ・ライトデータバス6bを伝搬する信号の振幅は、シンクロナスDRAM4bの出力バッファ44bの内部インピーダンス及び整合抵抗68bの和と、2つの終端抵抗69bとの分割抵抗比に従い決定される。したがって、上記分割抵抗比が適当な値となるように、

50

整合抵抗 5 8 b、6 8 b の値及び終端抵抗 5 9 b、6 9 b の値を設定することにより、アドレス・コマンド・クロックバス 5 b 及びリードデータ・ライトデータバス 6 b 間で、異なるバスインタフェースの規格に合わせた信号振幅を得ることができる。たとえば、アドレス・コマンド信号を、従来のターミネーテッド LV-TTL で定義された信号電位でシンクロナス DRAM 4 b の入力バッファ 4 2 b に入力することができ、また、リードデータ信号を、シンクロナス DRAM の (米) EIA/JEDEC での標準規格である SSTL (Stub Series Terminated Transiever Logic) で定義された信号電位でメモリコントローラ 1 b の入力バッファ 1 4 b に入力することができる。

【0109】

但し、整合抵抗 5 8 b、6 8 b の値及び終端抵抗 5 9 b、6 9 b の値は、アドレス・コマンド・クロックバス 5 b 及びリードデータ・ライトデータバス 6 b を構成する配線パターン特性インピーダンスによって定まる。したがって、上記分割抵抗比が適当な値となるように、整合抵抗 5 8 b、6 8 b の値及び終端抵抗 5 9 b、6 9 b の値を設定するためには、上記配線パターン特性インピーダンスを適当な値に設定する必要がある。この場合、整合抵抗 5 8 b、6 8 b が適当な値となるように、布線 5 6 b、6 6 b を構成する配線パターン特性インピーダンスを変えるのがよい。

【0110】

本発明は、本発明は上記の各実施形態に限定されるものではなく、その要旨の範囲内で数々の変形が可能である。たとえば、上記の各実施形態では、リードデータバス又はリードデータ・ライトデータバスの幹線側から見たときに分岐点で整合がとれるように、幹線及び分岐点間に整合抵抗を挿入したものについて説明した。しかしながら、本発明はこれに限定されるものではない。分岐点及び幹線間、分岐点及び各支線間に、それぞれ適当な整合抵抗を挿入することにより、幹線側から見たときのみならず、支線側から見たときにも分岐点で整合がとれるようにしてもよい。

【0111】

図 2 1 に一例を示す。図 2 1 は、第二実施形態のリードデータ・ライトデータバス 6 b において、分岐点 G 及び幹線 6 1 b 間、分岐点 G 及び各支線 6 2 b、6 4 b 間に、それぞれ適当な整合抵抗を挿入した例を示す。図 2 1 に示す例では、幹線 6 1 b として特性インピーダンス  $Z_u$  が 80 の配線パターンを用い、支線 6 2 b、6 4 b として特性インピーダンス  $Z_r$  が 80 の配線パターンを用いている。そして、分岐点 G と幹線 6 1 b との間に抵抗値  $R_{s1}$  が 26.6 の整合抵抗 6 7 c を挿入し、分岐点 G と支線 6 2 b との間及び分岐点 G と支線 6 4 b との間に抵抗値  $R_{s2}$  が 26.6 の整合抵抗 6 7 d を各々挿入している。このようにすることで、幹線 6 1 b の特性インピーダンス ( $Z_u = 80$ ) と、支線 6 2 b、6 4 b 及び整合抵抗 6 7 c、6 7 d の合成インピーダンス

$$(R_{s1} + (Z_r + R_{s2}) / 2 = 79.9)$$

とを略一致させることができ、幹線 6 1 b から見たときに分岐点 G' で整合させることができる。また、支線 6 2 b の特性インピーダンス ( $Z_r = 80$ ) と、幹線 6 1 b、支線 6 4 b 及び整合抵抗 6 7 c、6 7 d の合成インピーダンス

$$(R_{s2} + (Z_u + Z_r + R_{s1} + R_{s2}) / 2 = 79.9)$$

とを略一致させることができ、支線 6 2 b から見たときに分岐点 G で整合させることができる。支線 6 4 b から見たときも同様である。

【0112】

尚、以下に示すように、整合抵抗 6 7 c の抵抗値  $R_{s1}$  は (式 1) で、また、整合抵抗 6 7 d の抵抗値  $R_{s2}$  は (式 2) で求めることができる。

【0113】

$$R_{s1} = Z_r / (4 Z_u - Z_r) \cdots (式 1)$$

$$R_{s2} = Z_s (4 Z_u - 3 Z_r) / (4 Z_u - Z_r) \cdots (式 2)$$

図 2 2 に別の例を示す。図 2 2 では、第二実施形態のリードデータ・ライトデータバス 6 b において、幹線 6 1 b の特性インピーダンス  $Z_u$  を 37.5、支線 6 2 b、6 4 b の

10

20

30

40

50

特性インピーダンス  $Z_r$  を  $50$ 、分岐点  $G$  と支線  $62b$  との間及び分岐点  $G$  と支線  $64b$  との間に挿入する整合抵抗  $67c$  の抵抗値  $R_{s2}$  を  $25$  に設定して、整合抵抗  $67c$  の抵抗値  $R_{s1} = 0$  で整合がとれるようにした例を示す。このようにすることで、分岐点  $G$  での整合を保ちながら、整合抵抗  $67c$  を省略している。

【0114】

また、上記の各実施形態では、アドレス・コマンド・クロック・ライトデータバスやリードデータバス等を2つの支線に分岐したものについて説明したが、本発明はこれに限定されるものではなく、バスを複数の支線に分岐したものであればよい。

【0115】

さらに、上記の各実施形態では、バス上を伝搬して送られてくるアドレス・コマンド信号やライトデータ信号を、これ等の信号と同じようにしてバス上を伝搬して送られてくる同期用クロックを契機としてラッチするソースクロック同期方式を用いたものについて説明している。しかしながら、本発明の同期式メモリシステムは、メモリコントローラ及メモリの全てに同相のクロックが給電されても動作する。すなわち、従来の情報処理装置に見られる同相のクロックにより定義されるバスサイクルに従っても同期動作する。

10

【0116】

また、上記の各実施形態では、メモリコントローラによって複数のメモリを同期制御する同期式メモリシステムについて説明したが、本発明はバスマスタによって複数のバススレーブを同期制御するバスシステムであれば、様々な用途に適用することができる。

【0117】

20

次に、図25, 26, 27, 28を用いて本発明の第3の実施形態を説明する。

【0118】

本発明の実施の形態では、図25, 図26のメインライン312bの特性インピーダンスの実効値は図28に示す通り、スタブを介して接続されるメモリ素子の寄生負荷容量  $CL$  や接続されるスタブ間隔(図28の横軸に示す)により小さくなる。図25において、316bの  $R_{mr}$  は、ある条件における312bの特性インピーダンス  $Z_r$  の実効値  $28$  にあわせて  $28$  としている。同様に終端抵抗315の  $R_t$  も  $28$  としている。図のようにメインライン312bは一端に  $28$  の抵抗316bを他端に  $28$  の終端抵抗315bを接続する。スタブは314bの整合抵抗  $R_r$  を介して接続されている。この314bの整合抵抗  $R_r$  は、特性インピーダンス  $Z_r$  の実効値 ( $Z_{reff}$ ) と整合を取るため

30

$$R_r = Z_{sr} - (Z_{reff}) \div 2$$

の式から導出される66である。

【0119】

この構成で、メインライン312bにおける伝搬波形の信号振幅は、メモリコントローラであるLSI1dの出力ドライバ2d2のソースインピーダンス  $R_{src}$  と抵抗316bの  $R_{mr}$  の和と、終端抵抗  $R_t$  の直列抵抗回路における分割抵抗比から導出される。ソースインピーダンス  $R_{src}$  は  $6(\text{min}) \sim 12(\text{typ}) \sim 24(\text{max})$  と製造ばらつきを受ける。

【0120】

40

$R_{src} = 6$  とすると信号振幅は

$$V_{dd} \times R_t \div (R_{src} + R_{mr} + R_t)$$

からおおむね、 $1.49\text{v}$ となる。SSTLで規定される  $V_{in} = 825 \sim 660\text{mv}$  であるから、SSTLの  $V_{in}$  に対して十分なノイズマージンを有する。即ち、本構成ではいずれのメモリ素子41bにもSSTL互換の伝搬波が到達する。

【0121】

メモリコントローラであるLSI1dの出力ドライバ2d2の駆動電流  $I_{drv}$  は、

$$I_{drv} = V_{tt} \div (R_{src} + R_{mr} + R_t) \quad 24\text{mA}$$

となる。

【0122】

50

この駆動電流値は、一般的なCMOS LSIの出力バッファの最大駆動電流値におおむね等しく、本発明の第3の実施の形態において、一般的なCMOS LSIの適用が可能であることを示している。

【0123】

次に、図26における図25との差異を示す。

【0124】

図26において、抵抗316bの抵抗値 $R_{mr}$ は52である。メインライン312bの特性インピーダンス $Z_r$ の実効インピーダンス $Z_{reff}$ と、スタブ311bの $Z_r$ について、 $Z_r = R_{mr} + Z_{reff}$ から $R_{mr}$ を導出している。この $R_{mr}$ によりメインライン312bとスタブ311bの接続点におけるインピーダンスの整合をとっている。 10

【0125】

図27に図25、図26に示したバスを実装したメモライザーカードを示す。図中、メモライザーカードの中心に配されたメモリコントローラ1dの上下にはメモリ素子41bが配され、メモリコントローラ1dとメモリ素子41bの間に、左からアドレス、コマンド、コントロール、クロックのバスと、データバスとが配線されている。図中、これらバスは簡単な為、1本ずつの描画となっている。図に示したメモリコントローラ1dと上側のメモリ素子41bの間のバスについて説明する。メモリコントローラ1dの2b1から出力されたアドレス、コマンド、コントロール、クロックのバスには、整合抵抗214bを介してメモリ素子41bが接続される。メモライザーカードの上端部で終端抵抗215bに接続される。本構成は図25の構成に倣っている。データバスはメモリコントローラ1dの近傍に配された終端抵抗315bに端を発する。データバスには整合抵抗314bを介してメモリ素子41bが接続され、上端部にいたり折り返してメモリコントローラ1dの近傍で整合抵抗316bを介してメモリコントローラ1dに接続される。図の下部は上記説明のバスとメモリ素子の配置をメモリコントローラ1dを中心に線対称で実現している。よって、説明は割愛する。 20

【0126】

図25、26に示した実効インピーダンス $Z_{reff}$ について、メモリ素子の寄生負荷容量や接続されるスタブの間隔の関係を図28に示す。一般にメインラインの特性インピーダンス $Z_0$ は印刷回路基板の金属導体と絶縁フィルムの構造距離と物性から決定される。図中、特性インピーダンスは80としている。 30

【0127】

特性インピーダンス $Z_0$ の実効値と寄生容量の関係は、或るスタブ間隔におけるスタブの容量を $C$ とすると、

$$Z_{reff} = Z_0 \times \sqrt{\frac{C}{C + CL}}$$

【0128】 40

で示される。

【0129】

よって、図に示すとおり、 $CL$ が7, 10, 15 pFと増加すると $Z_{eff}$ は小さくなる。また $CL$ の次元は[pF / 1ヶ]で表され、接続されるスタブの間隔は[1ヶ/m]であるから、単位長さあたりの $CL$ は間隔が詰まるほど大きくなり、 $Z_{eff}$ は小さくなる。よって、図中、 $Z_{eff}$ は左端に向かって降下している。この図に示すように、スタブ間隔と、メモリの寄生容量によって $Z_{reff}$ が変化するので、実際の値から $Z_{reff}$ を求め、 $R_{mr}$ 、 $R_t$ を求めればよい。

【0130】

次に、図29, 30, 31, 32, 33を用いて本発明の第4の実施形態を説明する。 50

## 【0131】

図29と先に説明した本発明の第3の実施の形態との差異を説明する。図29では、メモリ素子41bはいずれもメインライン312bに直に接続される構成となっている。即ちメモリ素子41bが半田付けされる印刷回路基板の金属パターンいわゆるフットパターンをメインライン312bの印刷回路配線がつづっていく構成である。本構成においても、本発明の第3の実施の形態に示した図28の関係に従い、メインライン312bの特性インピーダンス $Z_r$ の実効値は小さくなる。よって、終端抵抗 $R_{t315b}$ 、整合抵抗 $R_{m316b}$ は本発明の第3の実施の形態と同じ原理で決定された数値となる。よって、本発明の第3の実施の形態に示した信号振幅が、本発明の第4の実施形態のメモリ素子41bに入力され、SSTL互換を実現している。本構成により、本発明の第3の実施例での整合抵抗314bが省略される。

10

## 【0132】

図30は図29に示したメインライン312bを本発明の第2の実施の形態へ適用した構成を示している。終端抵抗315bはメインラインの特性インピーダンス $Z_r$ の実効値に合わせている。整合抵抗の位置の抵抗316bは本構成では52である。整合抵抗であれば66近辺の数値が妥当であるが、52前後まで小さくした。本構成で、メモリコントローラであるLSI1dがバスマスタの時には、メインライン312b上の信号振幅は拡大され、ほぼ800mVとなり、ノイズマージンの拡大が期待できる。また、SSTLとの互換性が維持できる。

## 【0133】

図31は図29に示した印刷回路基板上の回路配線を実現したメモリアイザカードの概略構成を示している。本発明の第3の実施の形態での図27との差異を示す。

20

## 【0134】

図中、メモリアイザカードの中心に配されたメモリコントローラ1dの上下にはメモリ素子が配され、メモリコントローラ1dとメモリ素子の間に、左からアドレス、コマンド、コントロール、クロックのバスと、データバスが配線されている。図中、これらバスは単一の為、1本ずつの描画となっている。図に示したメモリコントローラ1dと上側のメモリ素子の間のバスについて説明する。メモリコントローラ1dの2b1から出力されたアドレス、コマンド、コントロール、クロックのバスには、直接メモリ素子42bが接続されるよう印刷回路配線がメモリ素子42bが半田付けされたフットプリントをつづっている。メモリアイザカードの上端部で終端抵抗215に接続される。

30

## 【0135】

図32に本発明の第4の実施の形態を適用したメモリモジュール(DIMM:デュアルインラインメモリモジュール)の概略構成を示している。図中、70はメモリモジュール、42はメモリ素子で同期DRAM、72はアドレスバッファ、73はクロックバッファ、215e、215fが終端抵抗、216e、216fが抵抗、416がメモリシステム側のアドレス、コマンド、コントロール、クロックのバスとの間に挿入された整合抵抗である。図中、アドレスバッファ72からメモリモジュール70上のメモリ素子の間のアドレス、コマンド、コントロール、クロックのバスの概略が示されている。アドレスバッファ72から出た信号線は抵抗216eを介してピアホールに至る。ピアホールで信号線は表面と裏面に分岐している。表面の信号線はそのまま立ち上がり5つのメモリ素子42に接続されて終端抵抗215eに至る。ピアホールから分岐した裏面の信号線は同様に4つのメモリ素子42に接続されて終端抵抗215eに至る。いずれのメモリ素子42は、抵抗216eと終端抵抗215eの直列抵抗回路における分割抵抗比から導出される信号振幅の電気信号を入力とする。

40

## 【0136】

同様に、アドレスバッファ72から出た信号線は抵抗216fを介してピアホールに至る。ピアホールで信号線は表面と裏面に分岐している。表面の信号線はそのまま立ち上がり左右2つに分岐する。分岐した先で左に4つのメモリ素子42に接続されて終端抵抗215fに至り、右に5つのメモリ素子42に接続されて終端抵抗215fに至る。ピアホー

50

ルから分岐した裏面の信号線はそのまま立ち上がり左右2つに分岐する。分岐した先で左に5つのメモリ素子42に接続されて終端抵抗215fに至り、右に4つのメモリ素子42に接続されて終端抵抗215fに至る。いずれのメモリ素子42は、抵抗216fと終端抵抗215fの直列抵抗回路における分割抵抗比から導出される信号振幅の電気信号を入力とする。

【0137】

図33に本発明の実施の形態に示したメモリシステムの搭載される情報処理装置の概略を示す。

【0138】

情報処理装置は、CPU4台とメモリコントローラが接続されたマルチプロセッサバスと、メモリコントローラにグラフィックとI/Oコントローラを接続するI/Oバスから構成される。本発明のメモリシステムは図中のメモリコントローラと同期DRAM(SDRAM)からなる。メモリコントローラとグラフィックの間には特別なバスを持つ。これによりI/Oバスのプロトコル変換のオーバーヘッドや、バスの混雑度に関係なくデータが転送できるので、メモリシステムからグラフィックに対し高速なデータ転送を実現している。

10

【0139】

本発明のメモリシステムでインピーダンスの整合がとれたメモリシステムバスが実現できることで、メモリシステムの高速動作が期待できる。特に、本構成に適用することで、グラフィックの他、マルチプロセッサ構成のCPU4台に対して高速なデータ供給を実現する。

20

【0140】

【発明の効果】

以上説明したように、本発明によれば、バスマスタのピン数を増加させることなく、バスマスタ及び当該バスマスタに支配される複数のバススレーブ各々間の信号転送時間を略一定に保ちながら短縮することができる。

【0141】

また、伝送線路と終端抵抗の整合が図れ、接続位置での不整合による信号の不要な反射を抑える事が出来る。これにより、ノイズの少ない信号の伝送が可能となる。

【0142】

また、伝送線路と接続されるノードの整合が図れ、接続位置での不整合による信号の不要な反射を抑える事が出来る。これにより、ノイズの少ない信号の伝送が可能となる。

30

【0143】

また、終端抵抗が減るほか、信号を出力するLSIの駆動電流量を低減することができ、電流駆動能力の低いCMOSLSIの適用が可能となる。

【0144】

また、前記電流量でSSTL互換の信号振幅を得ることが出来、SSTL対応のLSIの部品が利用できる。

【0145】

また、従来、個々のメモリ素子に必要な整合抵抗なしに、SSTLのメモリモジュールが実現できる。

40

【0146】

また、従来の伝送線路の両端で終端する形のSSTLの回路においても、整合抵抗を省略したSSTLのメモリモジュールが実現できる。

【図面の簡単な説明】

【図1】本発明の第一実施形態である同期式メモリシステムの概略構成図である。

【図2】図1に示す同期RAMの概略ブロック図である。

【図3】図1に示すアドレス・コマンド・クロック・ライトデータバスの概略構成図である。

【図4】図3のA部拡大図である。

50

【図5】図5は図3のB部拡大図である。

【図6】図1に示すデータバスの概略構成図である。

【図7】図6のC部拡大図である。

【図8】図6のD部拡大図である。

【図9】第一実施形態の動作を説明するためのタイミング図である。

【図10】図9に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。

【図11】第一実施形態の同期式メモリシステムが実装されたメモリライザカードの概略構成図である。

【図12】図11に示すメモリライザカードの部分概略拡大図である。

10

【図13】第一実施形態の同期式メモリシステムが2系統実装されたメモリライザカードの概略構成図である。

【図14】本発明の第二実施形態である同期式メモリシステムの概略構成図である。

【図15】図14に示すシンクロナスDRAMの概略ブロック図である。

【図16】図14に示すアドレス・コマンド・クロックバスの概略構成図である。

【図17】図14に示すリードデータ・ライトデータバスの概略構成図である。

【図18】第二実施形態の動作を説明するためのタイミング図である。

【図19】図18に示すリード要求を行った場合の各位置でのリード要求及びリードデータの伝搬波形を示す図である。

【図20】図18に示すライト要求を行った場合の各位置でのライト要求及びライトデータの伝搬波形を示す図である。

20

【図21】分岐点での整合抵抗の配置の変形例を示す図である。

【図22】分岐点での整合抵抗の配置の変形例を示す図である。

【図23】SyncLinkが適用された同期式メモリシステムの概略構成図である。

【図24】SyncLinkが適用された同期式メモリシステムの容量増設時の構成を示す図である。

【図25】本発明の第三実施形態である同期式メモリシステムのリードデータ・ライトデータバスの概略構成図である。

【図26】第三実施形態である同期式メモリシステムにおけるリードデータ・ライトデータバスの他の概略構成図である。

30

【図27】第三実施形態の同期式メモリシステムが実装されたメモリライザカードの概略構成を示す図である。

【図28】第三実施形態のバスの負荷容量の変化による特性インピーダンスの変化を示す図である。

【図29】本発明の第四実施形態である同期式メモリシステムのリードデータ・ライトデータバスの概略構成図である。

【図30】第四実施形態の同期式メモリシステムにおけるリードデータ・ライトデータバスの他の概略構成図である。

【図31】第四実施形態の同期式メモリシステムが実装されたメモリライザカードの概略構成を示す図である。

40

【図32】第四実施形態の同期式メモリシステムに用いられるメモリモジュールの概略構成を示す図である。

【図33】本発明の実施の形態の同期式メモリシステムを搭載した情報処理装置の概略構成を示す図である。

【符号の説明】

1 a、1 b ...メモリコントローラ

4 a ...同期RAM

4 b ...シンクロナスDRAM

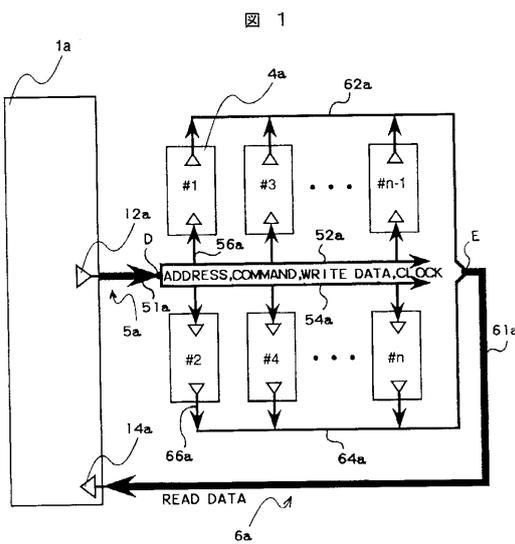
5 a ...アドレス・コマンド・クロック・ライトデータバス

5 b ...アドレス・コマンド・クロックバス

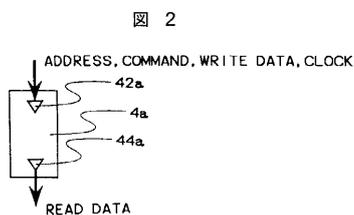
50

- 6 a ... リードデータバス
- 6 b ... リードデータ・ライトデータバス
- 7 a、7 b ... メモリライザカード
- 1 2 a、1 2 b、1 2 c、4 2 a、4 2 b、4 2 c ... 入力バッファ
- 1 4 a、1 4 b、4 4 a、4 4 b ... 出力バッファ
- 1 6 ... インターフェース
- 5 1 a、5 1 b、6 1 a、6 1 b ... 幹線
- 5 2 a、5 2 b、5 4 a、5 4 b、6 2 a、6 2 b、6 4 a、6 4 b ... 支線
- 5 6 a、5 6 b、6 6 a、6 6 b ... 布線
- 5 8 a、5 8 b、6 7 a、6 7 c、6 7 d、6 8 b、6 8 a、6 8 b 整合抵抗 5 9 a、 10
- 5 9 b、6 9 a、6 9 b ... 終端抵抗
- 7 1 ... 導体コンタクトパッド。

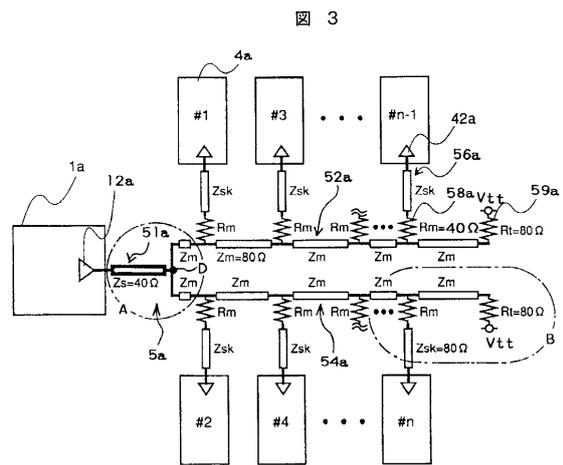
【 図 1 】



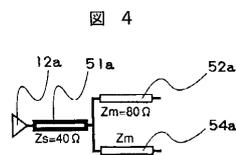
【 図 2 】



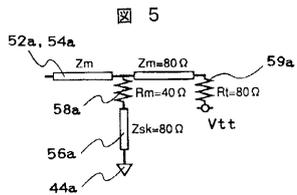
【 図 3 】



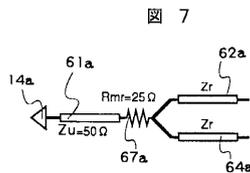
【 図 4 】



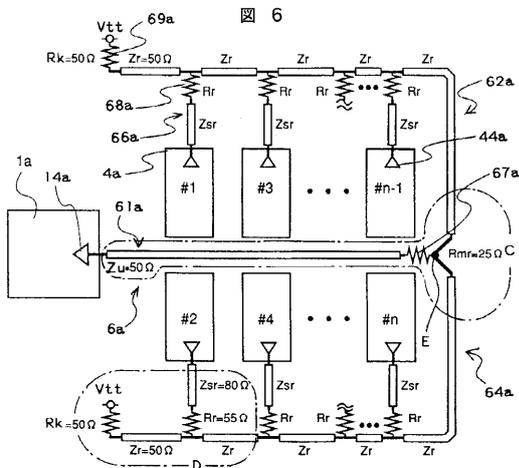
【 図 5 】



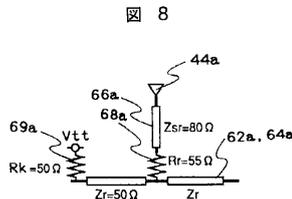
【 図 7 】



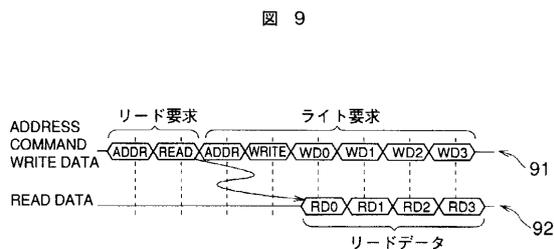
【 図 6 】



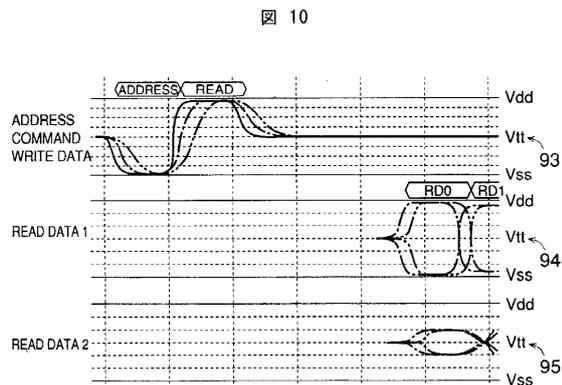
【 図 8 】



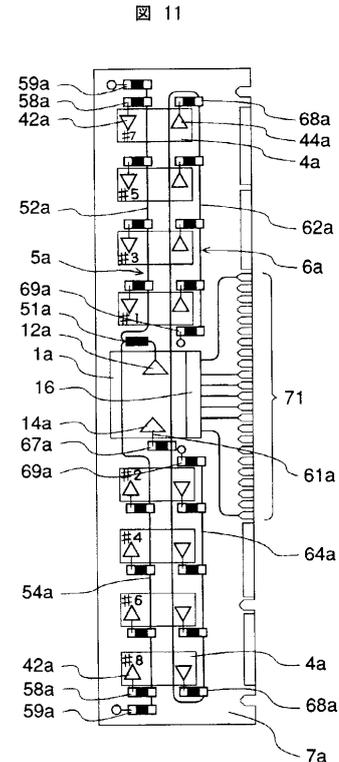
【 図 9 】



【 図 10 】

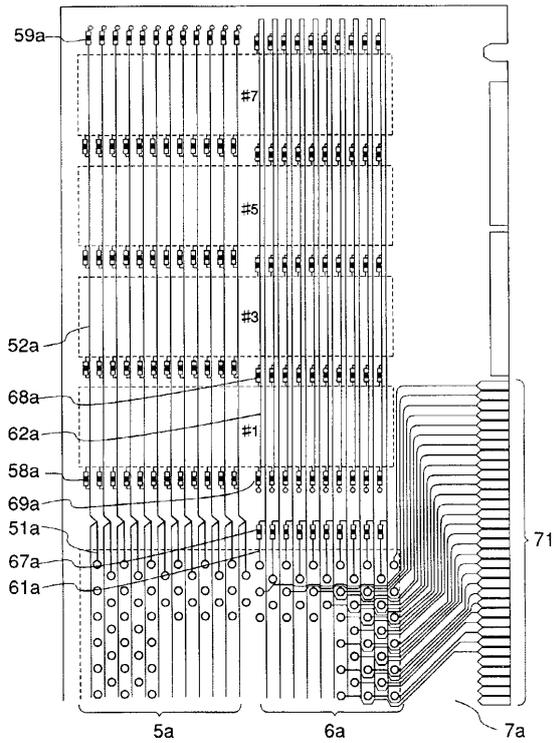


【 図 11 】



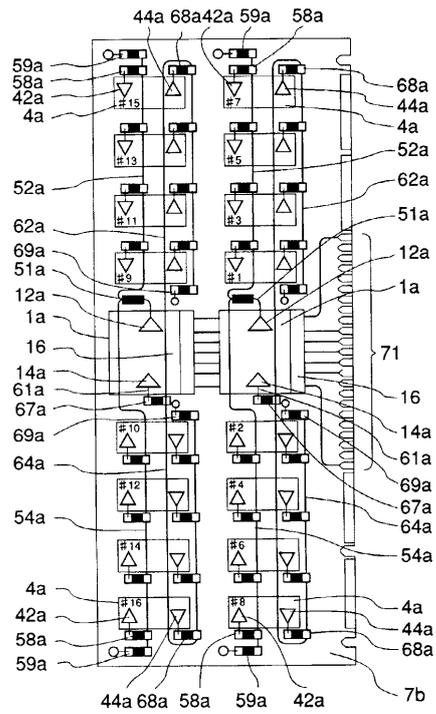
【 図 1 2 】

図 12



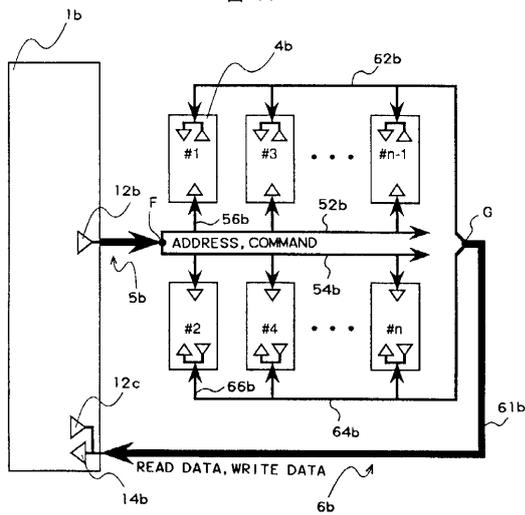
【 図 1 3 】

図 13



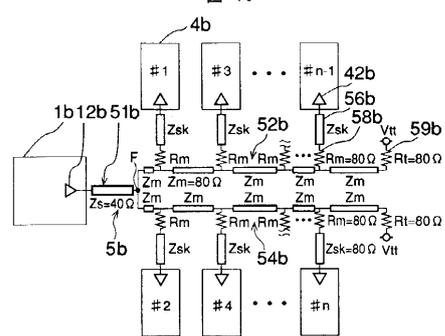
【 図 1 4 】

図 14



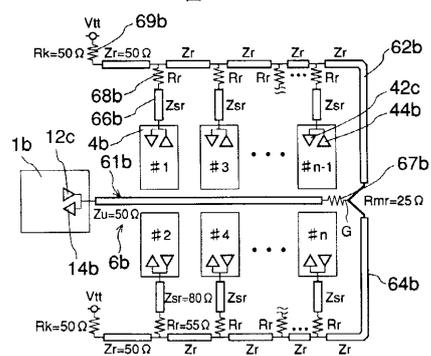
【 図 1 6 】

図 16



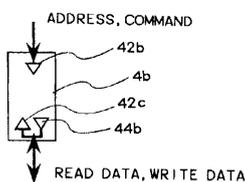
【 図 1 7 】

図 17

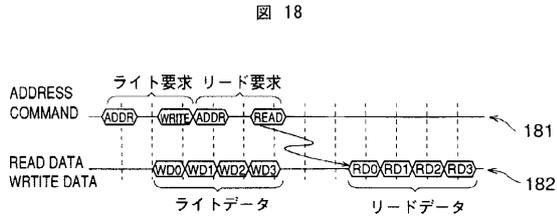


【 図 1 5 】

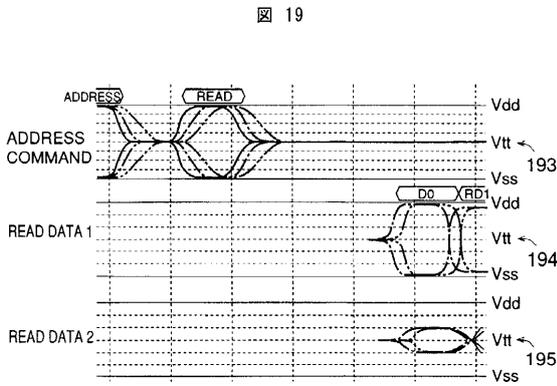
図 15



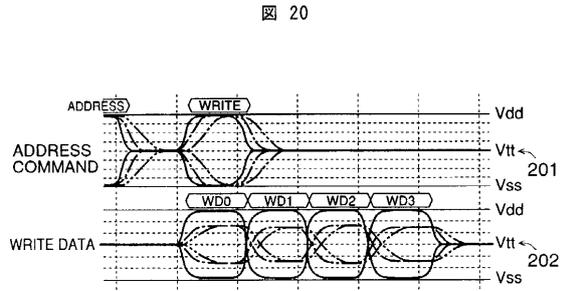
【 図 1 8 】



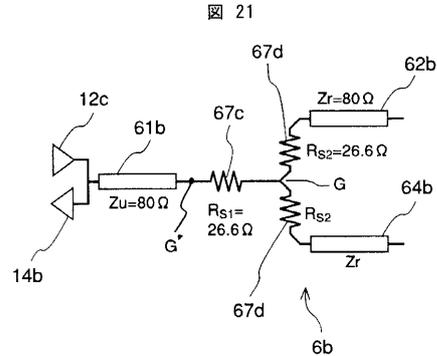
【 図 1 9 】



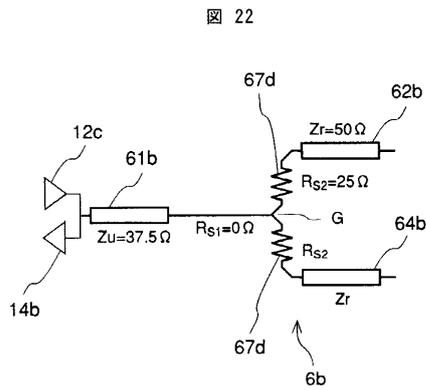
【 図 2 0 】



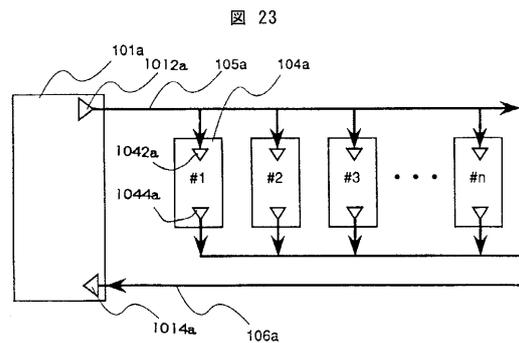
【 図 2 1 】



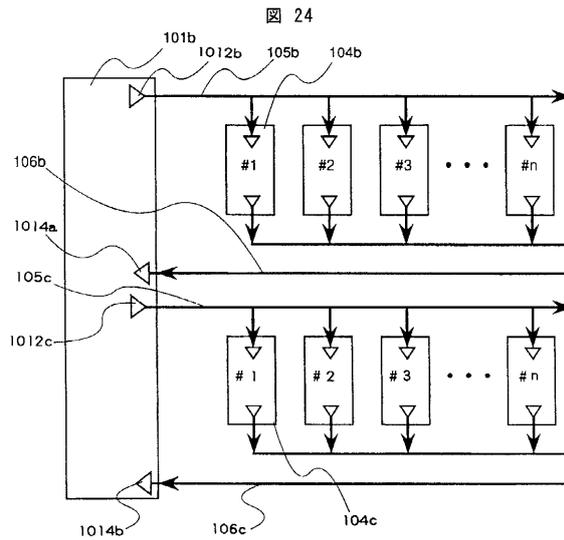
【 図 2 2 】



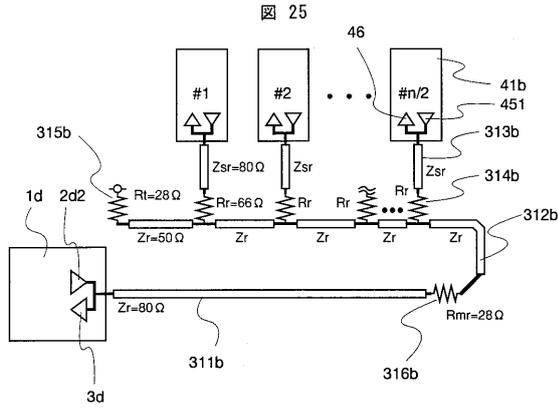
【 図 2 3 】



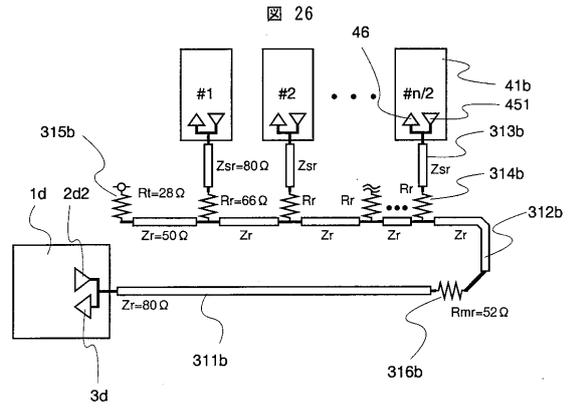
【 図 2 4 】



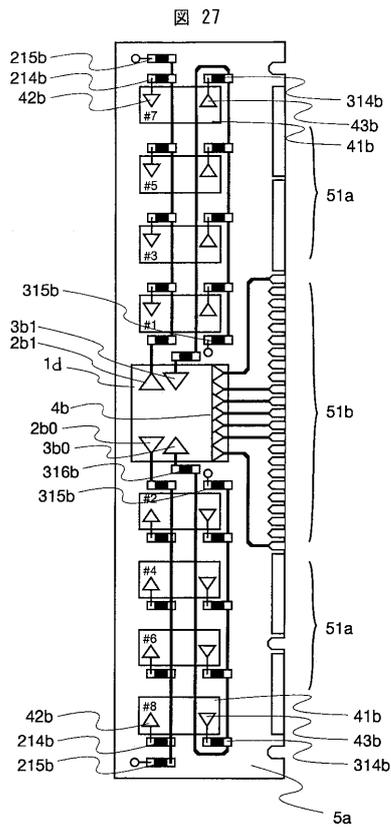
【 図 2 5 】



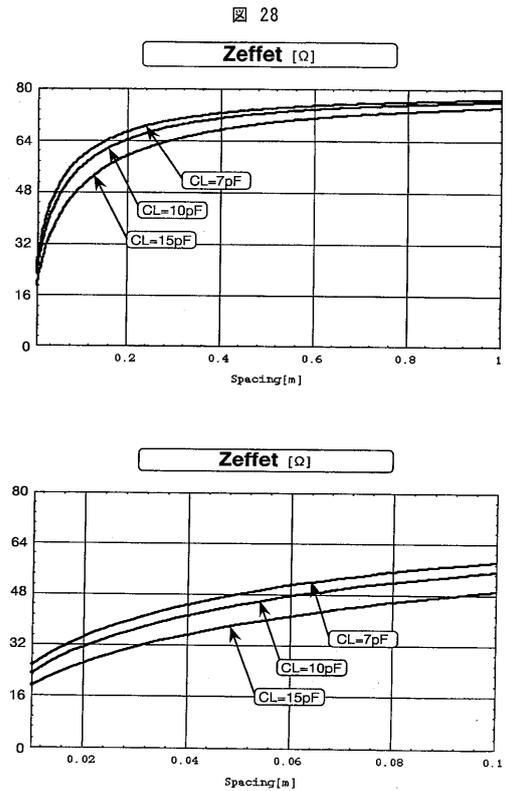
【 図 2 6 】



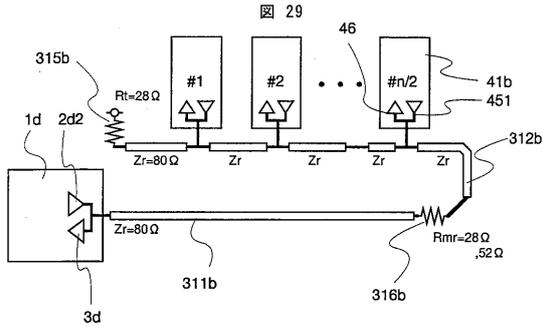
【 図 2 7 】



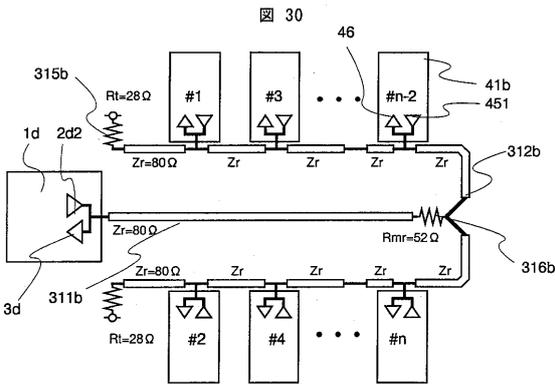
【 図 2 8 】



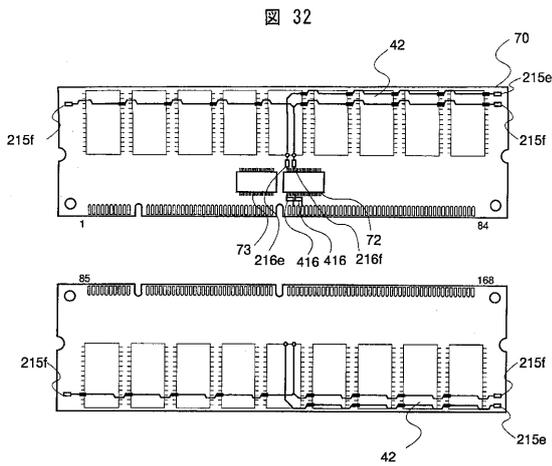
【 図 29 】



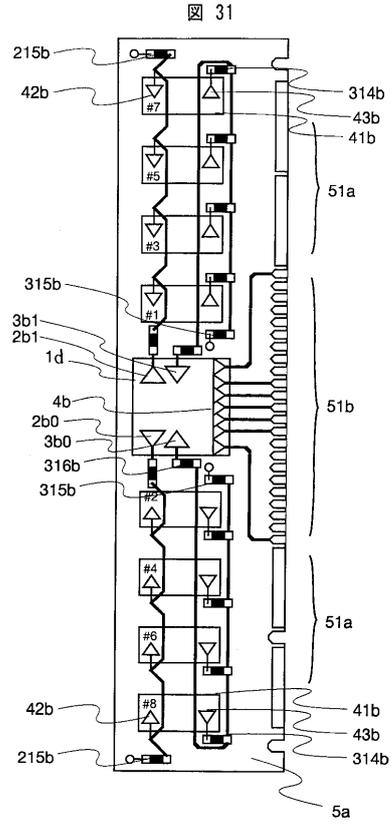
【 図 30 】



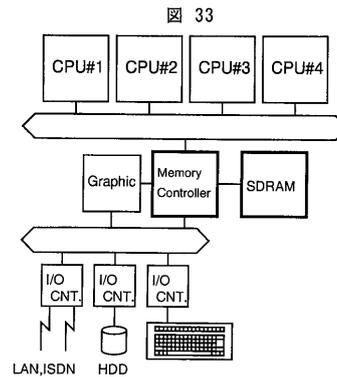
【 図 32 】



【 図 31 】



【 図 33 】



フロントページの続き

審査官 山崎 慎一

(56)参考文献 特開平07-202947(JP,A)  
特開平02-241156(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F 3/00  
G11C 11/401