

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6773615号
(P6773615)

(45) 発行日 令和2年10月21日(2020.10.21)

(24) 登録日 令和2年10月5日(2020.10.5)

(51) Int. Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 C			
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 7 K			
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 1 7 V			
HO 1 L 21/20 (2006.01)	HO 1 L 29/78	6 1 7 J			
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 8 B			
請求項の数 4 (全 9 頁) 最終頁に続く					

(21) 出願番号 特願2017-158411 (P2017-158411)
 (22) 出願日 平成29年8月21日(2017.8.21)
 (65) 公開番号 特開2019-36672 (P2019-36672A)
 (43) 公開日 平成31年3月7日(2019.3.7)
 審査請求日 令和1年8月29日(2019.8.29)

(73) 特許権者 000004226
 日本電信電話株式会社
 東京都千代田区大手町一丁目5番1号
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (74) 代理人 100153006
 弁理士 小池 勇三
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 佐々木 智
 東京都千代田区大手町一丁目5番1号 日
 本電信電話株式会社内
 (72) 発明者 舘野 功太
 東京都千代田区大手町一丁目5番1号 日
 本電信電話株式会社内
 最終頁に続く

(54) 【発明の名称】 ナノワイヤトランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体から構成された筒状のナノワイヤを形成する第1工程と、
 前記ナノワイヤの延在方向に所定の間隔を開けて前記ナノワイヤの外側側面にソース電極およびドレイン電極を形成する第2工程と、
 前記ナノワイヤの外側表面および内側表面に原子層堆積法によりゲート絶縁層を形成する第3工程と、
 前記ゲート絶縁層を介して前記ナノワイヤの外側表面および内側表面にゲート電極となる導電体層を原子層堆積法により形成する第4工程と、
 前記導電体層をパターニングしてゲート電極を形成する第5工程と
 を備えることを特徴とするナノワイヤトランジスタの製造方法。

【請求項2】

請求項1記載のナノワイヤトランジスタの製造方法において、
 前記第1工程では、柱状の犠牲ワイヤを形成し、前記犠牲ワイヤの側部を覆って前記半導体の層を形成し、前記犠牲ワイヤを除去して前記半導体の層からなる前記ナノワイヤを形成する
 ことを特徴とするナノワイヤトランジスタの製造方法。

【請求項3】

請求項1または2記載のナノワイヤトランジスタの製造方法において、
 前記第5工程では、前記ソース電極および前記ドレイン電極の形成領域の前記導電体層

を除去するパターンニングにより前記ゲート電極を形成することを特徴とするナノワイヤトランジスタの製造方法。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載のナノワイヤトランジスタの製造方法において、前記ナノワイヤは、化合物半導体から構成することを特徴とするナノワイヤトランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体からなるナノワイヤをチャンネルとするナノワイヤトランジスタの製造方法に関する。 10

【背景技術】

【0002】

半導体からなるナノワイヤは、結晶成長によってボトムアップ的に得られる高品質な擬 1 次元物質である。このナノワイヤを伝導チャンネルとして用いる電界効果トランジスタ (Field Effect Transistor: FET) が、次世代ナノエレクトロニクスデバイスの構成要素として有望視されている。特に、ナノワイヤの周囲を完全に巻き込んだゲートスタック (絶縁層 + 導電層) 構造を有する GAA (gate-all-around) 型の電界効果トランジスタは、チャンネルの片面のみにゲートスタックを有する電界効果トランジスタに比べ、大きな相互コンダクタンス、短チャンネル効果の抑制、小さな S 値 (大きな ON/OFF 比) を有 20 する。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】S. A. Dayeh et al., "III-V Nanowire Growth Mechanism: V/III Ratio and Temperature Effects", Nano Letters, vol. 7, no. 8, pp. 2486-2490, 2007.

【非特許文献 2】H. M. Fahad et al., "Silicon Nanotube Field Effect Transistor with CoreShell Gate Stacks for Enhanced High-Performance Operation and Area Scaling Benefits", Nano Letters, vol. 11, pp. 4393-4399, 2011.

【非特許文献 3】H. M. Fahad and M. M. Hussain, "Are Nanotube Architectures More Advantageous Than Nanowire Architectures For Field Effect Transistors?", Scientific Reports, 2:475, 2012. 30

【非特許文献 4】P. Mohan et al., "Realization of conductive InAs nanotubes based on lattice-mismatched InP/InAs core-shell nanowires", Applied Physics Letters, vol. 88, 013110, 2006.

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、電界効果トランジスタの駆動電流を増大するには、ゲート長を極力短くして相互コンダクタンスを大きくすることが重要となる。しかしながら、GAA 型の電界効果トランジスタにおいても、チャンネル長がチャンネル幅 (ナノワイヤの直径) と同程度にまで短くなると、短チャンネル効果により S 値が劣化したり OFF 電流が増大したりといった悪影響が現れてしまう。このように、従来では、ナノワイヤをチャンネルとするナノワイヤトランジスタのゲート長を、トランジスタの特性を悪化させることなくより短くすることが容易ではないという問題があった。 40

【0005】

本発明は、以上のような問題点を解消するためになされたものであり、ナノワイヤをチャンネルとするナノワイヤトランジスタのゲート長を、トランジスタの特性を悪化させることなくより短くすることを目的とする。

【課題を解決するための手段】

【0006】

本発明に係るナノワイヤトランジスタの製造方法は、半導体から構成された筒状のナノワイヤを形成する第1工程と、ナノワイヤの延在方向に所定の間隔を開けてナノワイヤの外側側面にソース電極およびドレイン電極を形成する第2工程と、ナノワイヤの外側表面および内側表面に原子層堆積法によりゲート絶縁層を形成する第3工程と、ゲート絶縁層を介してナノワイヤの外側表面および内側表面にゲート電極となる導電体層を原子層堆積法により形成する第4工程と、導電体層をパターニングしてゲート電極を形成する第5工程とを備える。

【0007】

上記ナノワイヤトランジスタの製造方法において、第1工程では、柱状の犠牲ワイヤを形成し、犠牲ワイヤの側部を覆って半導体の層を形成し、犠牲ワイヤを除去して半導体の層からなるナノワイヤを形成する。

10

【0008】

上記ナノワイヤトランジスタの製造方法において、第5工程では、ソース電極およびドレイン電極の形成領域の導電体層を除去するパターニングによりゲート電極を形成する。

【0009】

上記ナノワイヤトランジスタの製造方法において、ナノワイヤは、化合物半導体から構成する。

【発明の効果】

【0010】

20

以上説明したように、本発明によれば、筒状のナノワイヤの外側表面および内側表面に原子層堆積法によりゲート絶縁層およびゲート電極となる導電体層を形成するようにしたので、ナノワイヤをチャンネルとするナノワイヤトランジスタのゲート長を、トランジスタの特性を悪化させることなくより短くできるという優れた効果が得られる。

【図面の簡単な説明】

【0011】

【図1A】図1Aは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1B】図1Bは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

30

【図1C】図1Cは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1D】図1Dは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1E】図1Eは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1F】図1Fは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す写真である。

【図1G】図1Gは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す平面図である。

40

【図1H】図1Hは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1I】図1Iは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す写真である。

【図1J】図1Jは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1K】図1Kは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す断面図である。

【図1L】図1Lは、本発明の実施の形態におけるナノワイヤトランジスタの製造方法を説明するための各工程の状態を示す写真である。

50

【図2】図2は、実際に作製した実施の形態におけるナノワイヤトランジスタにおける、ドレイン電流のゲート電圧依存性（転送特性）を測定した結果を示す特性図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態におけるナノワイヤトランジスタの製造方法について図1A～図1Lを参照して説明する。

【0013】

まず、図1Aに示すように、成長基板101の上に直径が10nm程度の粒子径の金属微粒子102を形成する。成長基板101は、例えば、主表面が(111)面のシリコンから構成されたものである。なお、成長基板101は、InAsやGaPから構成された

10

【0014】

次に、図1Bに示すように、金属微粒子102を触媒とした化学的気相成長法により化合物半導体のナノワイヤである柱状の犠牲ワイヤ103を形成する（非特許文献1参照）。例えば、InソースガスとPソースガスを供給する公知の有機金属気相成長法によりInPからなる犠牲ワイヤ103が形成できる。例えば、Inソースガスとしてトリメチルインジウム（TMIn）を用い、Pソースガスとしてフォスフィン（PH₃）を用いればよい。

【0015】

この金属微粒子102を触媒とした化合物半導体の結晶成長では、気相において供給したソースガスが熱分解して生成するIII族原子、V族原子が金属微粒子102に溶解して合金化する。このように合金化すると、III族原子、V族原子の融点が著しく低下し、金属微粒子102においては、所定の成長温度においてIII族原子、V族原子が液体となる。この状態で、III族原子、V族原子が金属微粒子102において過飽和状態となると、液相エピタキシャル成長と同様に、化合物半導体の犠牲ワイヤ103が形成される。また、成長基板101として、(111)面のシリコン基板を用いれば、基板平面の法線方向に犠牲ワイヤ103が成長できる。このように、上述した化学的気相成長法による犠牲ワイヤ103の形成では、原料が気相 液相 固相の過程を経るので、VLS（気相-液相-固相）法と呼ばれている。

20

【0016】

なお、ナノワイヤの成長方法としては、上述したように金属微粒子を用いず、原料ガス自体から形成されるIII族元素の微粒子を触媒とする方法や、触媒を用いずにパターンニングした酸化膜を用いて選択成長を行うなど、別の手法を用いてもよい。

30

【0017】

次に、図1Cに示すように、成長モードをVPE（Vapor Phase Epitaxy）に切り替えた化学的気相成長法により、化合物半導体からなる半導体層114を、犠牲ワイヤ103を覆って形成する（非特許文献1参照）。例えば、InソースガスとAsソースガスを供給する有機金属気相成長法によりInAsからなる半導体層114が形成できる。例えば、InソースガスとしてTMInを用い、Asソースガスとしてアルシン（AsH₃）を用いればよい。半導体層114は、犠牲ワイヤ103の側面および上面を覆って筒状に成長する。

40

【0018】

次に、金属微粒子102および半導体層114の上部をエッチング除去することで、図1Dに示すように、犠牲ワイヤ103の頭部を露出させる。これにより、犠牲ワイヤ103の周囲には、筒状のナノワイヤ104が形成された状態となる（第1工程）。

【0019】

次に、ナノワイヤ104に対して選択的に犠牲ワイヤ103をエッチング除去することで、図1Eに示すように、ナノワイヤ104の内部を空洞の状態とする。例えば、InAsに対してInPを選択的にエッチングするエッチング液を用いたウェットエッチング処理により、犠牲ワイヤ103を除去すればよい（非特許文献4参照）。図1Fに、実際に

50

作製した InAs からなる筒状のナノワイヤ 104 の走査型電子顕微鏡の写真を示す。

【0020】

次に、図 1G に示すように、他基板 151 の上にナノワイヤ 104 を転写する。例えば、ナノワイヤ 104 を形成した成長基板 101 を、他基板 151 に物理的に擦りあわせ、他基板 151 の上にナノワイヤ 104 を転写する。次いで、図 1G、図 1H に示すように、ナノワイヤ 104 の延在方向に所定の間隔を開けて、ナノワイヤ 104 の外側側面にソース電極 105 およびドレイン電極 106 を形成する（第 2 工程）。ナノワイヤ 104 は、ソース電極 105 およびドレイン電極 106 は、例えば、チタンなどの金属から構成すればよい。

【0021】

ここで、ナノワイヤ 104 の他基板 151 への転写では、他基板 151 の上に、例えば金属からなるスペーサ 152 を設け、ナノワイヤ 104 と他基板 151 との間に空隙 153 が形成される状態とする。

【0022】

この例では、他基板 151 の上に配置されたナノワイヤ 104 の外周面に、ナノワイヤ 104 の延在方向に対して交差するように、短冊状のソース電極 105 およびドレイン電極 106 を掛け渡す。図 1I に、実際に、筒状のナノワイヤ（ナノチューブ）の上に、ソース電極およびドレイン電極を作製した状態を走査型電子顕微鏡で観察した写真を示す。

【0023】

次に、図 1J に示すように、ナノワイヤ 104 の外側表面および内側表面に、原子層堆積法（Atomic Layer Deposition: ALD）によりゲート絶縁層 107 を形成する（第 3 工程）。なお、図 1J では、スペーサを省略して示していない。ALD 法は、形成しようとする膜を構成する各元素の原料を基板に交互に供給することにより、原子層単位で薄膜を形成する技術である。ALD 法では、例えば、各元素の原料を供給している間に 1 層だけが表面に吸着し、成長の自己停止作用により、余分な原料が成長に寄与しないことを利用している。

【0024】

例えば、ALD 法により酸化アルミニウムからなるゲート絶縁層 107 を形成する場合、アルミニウムの原料としてトリメチルアルミニウム（TMA）を用い、酸化物とするための酸素の原料（酸化剤）としては、水（ H_2O ）を用いる。

【0025】

これらの材料を用いた ALD 法による絶縁層の形成では、アルゴンなどの希ガスを用いたキャリアガスにより各原料を他基板 151 が載置されているチャンバーに輸送し、パルス状に交互にチャンバーに供給し、1 原子層ずつ成長させる。例えば、TMA を 0.1 秒でパルス状に供給し、次いで、窒素ガスで 4 秒ほどパージし、引き続き H_2O を 0.1 秒でパルス状に供給し、次いで窒素ガスで 4 秒ほどパージする。これを 1 サイクルとし、60 サイクル行うことで、厚さ 6 nm のゲート絶縁層 107 が形成できる。1 原子層ずつ成長する条件として、典型的には成長温度を 200 とすればよい。ナノワイヤ 104 と他基板 151 との間に空隙 153 を形成しているため、他基板 151 の側のナノワイヤ 104 の表面にもゲート絶縁層 107 が形成される。ソース電極 105 およびドレイン電極 106 を形成した領域において、ナノワイヤ 104 の外周を覆うように、ゲート絶縁層 107 が形成される。

【0026】

引き続き、ゲート絶縁層 107 を介してナノワイヤ 104 の外側表面および内側表面にゲート電極となる導電体層 118 を原子層堆積法により形成する（第 4 工程）。例えば、ALD 法により酸化亜鉛（ZnO）からなる導電体層 118 を形成する場合、亜鉛の原料としてジエチル亜鉛（DEZ）を用い、酸化物とするための酸素の原料（酸化剤）としては、水（ H_2O ）を用いる。

【0027】

例えば、DEZ を 0.1 秒でパルス状に供給し、次いで、窒素ガスで 4 秒ほどパージし

10

20

30

40

50

、引き続き H_2O を0.1秒でパルス状に供給し、次いで窒素ガスで4秒ほどパージする。これを1サイクルとし、140サイクル行うことで、厚さ20nmの導電体層118が形成できる。1原子層ずつ成長する条件として、典型的には成長温度を200とすればよい。ナノワイヤ104と他基板151との間に空隙153を形成しているため、他基板151の側のナノワイヤ104の表面にも導電体層118が形成される。ソース電極105およびドレイン電極106を形成した領域において、ナノワイヤ104の外周を、ゲート絶縁層107を介して覆うように、導電体層118が形成される。

【0028】

次に、導電体層118を、公知のリソグラフィ技術およびエッチング技術によりパターンニングすることで、図1Kに示すように、ゲート電極108を形成する(第5工程)。なお、図1Kでは、スペーサを省略して示していない。例えば、電子線リソグラフィ技術により、電子線ネガレジストHSQ(hydrogen silsesquioxane)をパターンニングしてマスクパターンを形成する。次に、形成したマスクパターンをマスクとし、ソース電極105およびドレイン電極106の形成領域の導電体層118およびゲート絶縁層107をドライエッチングにより除去(パターンニング)する。この処理により、ゲート電極108を形成し、ソース電極105およびドレイン電極106を露出させる。

【0029】

図1Lに、実際にHSQによるマスクパターンで処理をした状態を走査型電子顕微鏡で観察した写真を示す。図1Lに示すように、HSQのパターンニングにより、筒状のナノワイヤ(ナノチューブ)の周辺とゲート引き出し線を覆うマスクが形成され、不要部分のゲート絶縁層がドライエッチングによって除去されている。なお、図1Lの(b)は、図1Lの(a)の一部を拡大して示している。また、図1Lの(a)において、Sがソース電極、Dがドレイン電極、Gがゲート電極である。

【0030】

次に、実際に作製した実施の形態におけるナノワイヤトランジスタにおける、ドレイン電流のゲート電圧依存性(転送特性)を測定した結果について、図2を用いて説明する。図2に示すように、実施の形態によれば、 10^5 を超えるON/OFF比が実現され、従来NのGAA-FETの典型的なON/OFF比である 10^4 程度を、大きく上回っている。

【0031】

以上に説明したように、本発明によれば、筒状のナノワイヤの外側表面および内側表面に原子層堆積法によりゲート絶縁層およびゲート電極となる導電体層を形成するようにしたので、ナノワイヤをチャンネルとするナノワイヤトランジスタのゲート長を、トランジスタの特性を悪化させることなくより短くすることが可能となる。

【0032】

筒状のナノワイヤの外側表面と内側表面とにゲート絶縁層およびゲート電極を形成し、GAA-FETの内側からもゲート電界を作用させることにより、電界効果トランジスタの特性を更に改善することが可能となる。この構成の有用性は、シミュレーションによって示されている(非特許文献2,3参照)。本発明によれば、より短ゲート長のGAA-FETデバイスにおいても、短チャンネル効果を回避しつつ高いON/OFF比を実現することが可能となる。

【0033】

なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

【符号の説明】

【0034】

101...成長基板、102...金属微粒子、103...犠牲ワイヤ、104...ナノワイヤ、105...ソース電極、106...ドレイン電極、107...ゲート絶縁層、108...ゲート電極、114...半導体層、118...導電体層、151...他基板。

10

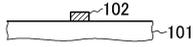
20

30

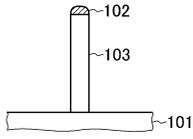
40

50

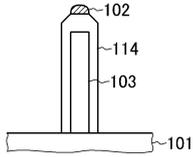
【図 1 A】



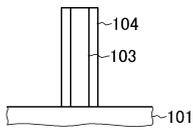
【図 1 B】



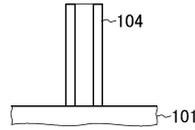
【図 1 C】



【図 1 D】



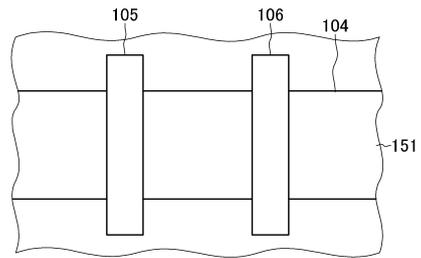
【図 1 E】



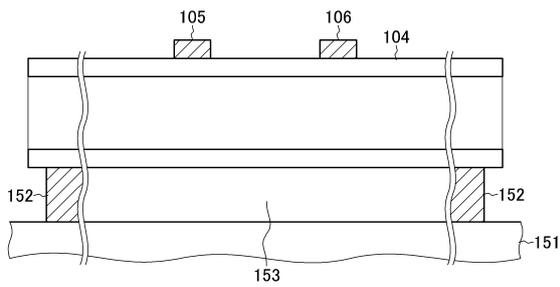
【図 1 F】



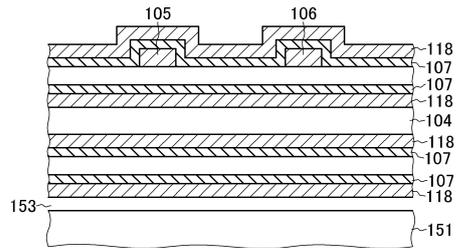
【図 1 G】



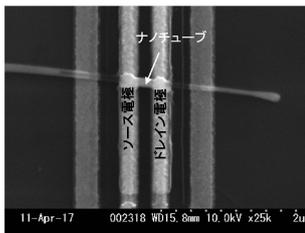
【図 1 H】



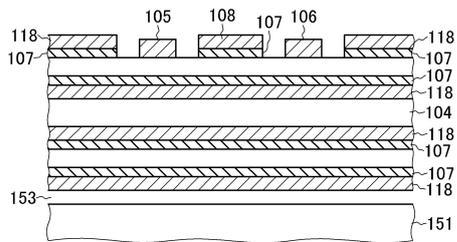
【図 1 J】



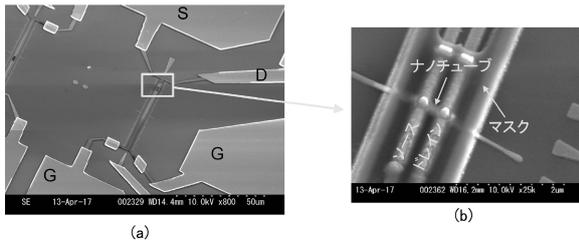
【図 1 I】



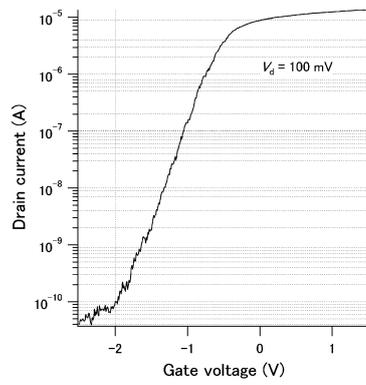
【図 1 K】



【 1 L】



【 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/417 (2006.01) H 0 1 L 29/78 6 1 8 A
H 0 1 L 29/06 6 0 1 N
H 0 1 L 21/20
H 0 1 L 21/28 3 0 1 B
H 0 1 L 29/50 M

(72)発明者 章 国強
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

審査官 棚田 一也

(56)参考文献 特開2004-067413(JP,A)
米国特許出願公開第2015/0287942(US,A1)
特開2008-130761(JP,A)
特表2008-500735(JP,A)
特開平06-021463(JP,A)
国際公開第2008/149548(WO,A1)
中国特許出願公開第101065811(CN,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6