

公告本

| | |
|------|-----------|
| 申請日期 | 89.2.7 |
| 案 號 | 89101947 |
| 類 別 | H01L 2/26 |

A4
C4

432602

(以上各欄由本局填註)

發 明 專 利 說 明 書

| | | |
|-------------|---------------|---|
| 一、發明 名稱 | 中 文 | 淺溝渠隔離結構的製造方法 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | 1 吳兆爵 2 仇聖棻 3 蕭家順 |
| | 國 籍 | 中華民國 |
| | 住、居所 | 1 新竹縣新埔鎮文山里犁頭山 439 號 8 樓-1 2 台中市文心路三段 419 巷 4 號 3 新竹市香山區柑林溝 213 巷 95 弄 50 號 |
| 三、申請人 | 姓 名 (名稱) | 1 茂德科技股份有限公司 2 台灣茂矽電子股份有限公司 3 西門子股份公司 |
| | 國 籍 | 1 ~ 2 中華民國 3 德國 |
| | 住、居所 (事務所) | 1 新竹科學工業園區力行路 19 號 3 樓 2 新竹科學工業園區力行路 19 號 3 德國慕尼黑威田巴黎廣場 2 號 |
| | 代 表 人 姓 名 | 1 ~ 2 胡洪九 3 范思寇 |

裝

訂

線

五、發明說明 (/)

本發明是有關於一種半導體製程淺溝渠隔離結構 (shallow trench isolation, STI) 的製造方法，且特別是有關於一種使淺溝渠隔離結構平整 (STI leveling) 的半導體製程。

氮化矽層在半導體製程中，由於其材料特性較氧化矽為硬，而且與矽材亦不相同，因此常常用來作為蝕刻或是化學機械研磨法 (chemical mechanical polish, CMP) 的終止層 (stop layer)，特別是在淺溝渠隔離結構的製程。

請參照第 1 圖，為一種淺溝渠隔離結構的剖面圖。習知淺溝渠隔離結構的製程，一般係利用氮化矽層作為硬罩幕 (hard mask)，而在基底 100 上形成淺溝渠 102，之後，在淺溝渠 102 中填入絕緣材料，其中絕緣材料一般為氧化物。接著，再以氮化矽層為研磨終點，利用化學機械研磨法磨蝕絕緣材料，而形成如第 1 圖所示之隔離結構 104。

在利用氮化矽層定義基底 100，蝕刻絕緣材料形成溝渠 102 的製程中，蝕刻絕緣材料的步驟雖可去除絕緣材料，但也容易造成氮化矽層表面的損害，造成氮化矽層厚度不甚均勻。另外，在以化學機械研磨法研磨絕緣材料的步驟中，由於氮化矽層材質較氧化物層為硬，再加上化學機械研磨法研磨的特性，使得晶片的中間部分與邊緣部分以化學機械研磨法去除的厚度不一，使得氮化矽層的不均勻度更形嚴重。最後，更在淺溝渠隔離結構 104 與基底 100 交接處形成凹陷 (recess)，造成基底 100 表面與隔離結構 104 表面的高低差 (step height) h ，引起淺溝渠隔離結構

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(二)

表面不平整，而對後續形成的元件的臨限電壓(threshold voltage)有所影響，此即為所謂的頸結效應(kink effect)。

因此，本發明就是在提供一種淺溝渠隔離結構的製造方法，提高淺溝渠隔離結構的平整度，藉以降低不平整的表面對臨限電壓的影響。

本發明提供一種淺溝渠隔離結構的製造方法，在一基底上依序形成一墊氧化物層、一第一硬材料層、一蝕刻終止層與一第二硬材料層，接著，定義第二硬材料層、蝕刻終止層、第一硬材料層與墊氧化物層，而在基底中形成一溝渠。之後，對第一硬材料層進行一後退製程，同時以蝕刻終止層為蝕刻終點，將第二硬材料層去除。續在溝渠中形成一絕緣材料，覆蓋蝕刻終止層，再去除第一硬材料層上的絕緣材料與蝕刻終止層，之後去除第一硬材料層與墊氧化物層。

在定義溝渠製程中，蝕刻製程將破壞第二硬材料層，造成第二硬材料層表面的不平整，因此利用蝕刻終止層為蝕刻終點將第二硬材料層去除，故可使晶片提供一較為平整的表面以供後續製程的進行。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖係顯示一種淺溝渠隔離結構的剖面圖；

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(之)

第 2A-2E 圖係顯示根據本發明較佳實施例淺溝渠隔離結構之製造流程剖面圖；以及

第 3A-3D 圖係顯示根據本發明較佳實施例一種使材料層表面平整化的半導體元件製造流程剖面圖。

其中，各圖標號之簡單說明如下：

100、200、300：基底

102、210：溝渠

104：隔離結構

106：凹陷

202：墊氧化物層

204、204a、302：第一硬材料層

206、206a、304：蝕刻終止層

208、208a、306、306a：第二硬材料層

214、214a：絕緣材料

實施例

本發明係利用製造一種”三明治(sandwich)”結構，例如為第一氮化矽層/氧化物層/第二氮化矽層的結構，而在基底上形成一硬罩幕層，利用此硬罩幕層定義基底形成一溝渠，在溝渠形成時，最上方的第二氮化矽層會受到蝕刻的損害，造成氮化矽層表面的不均勻，因此續以氧化物層為蝕刻終止層，將受損的第二氮化矽層去除。由於控制蝕刻製程停止在氧化物層將不平整的第二氮化矽層去除，可提供一平整的表面，因此在後續化學機械研磨的製程中，可改善淺溝渠隔離結構的均勻度。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

第 2A-2E 圖所示，為根據本發明一較佳實施例淺溝渠隔離結構之製造流程剖面圖。請參照第 2A 圖，在一基底 200 上形成一墊氧化物層(pad oxide)202，基底 200 例如為半導體矽基底，而墊氧化物層 202 例如以熱氧化法形成厚度約為 50-100 埃左右的氧化物層。之後，在墊氧化物層 202 上形成一第一硬材料層 204，例如為以化學氣相沉積法形成氮化矽層，毯覆式地(blanket)覆蓋墊氧化物層 204，其中墊氧化物層 202 用以增進第一硬材料層 204 與基底 200 之間的附著力(adhesion)。

仍請參照第 2A 圖，之後，在第一硬材料層 204 上形成一蝕刻終止層 206，續在蝕刻終止層 204 上形成一第二硬材料層 208，第二硬材料層 208 例如為氮化矽層，其以化學氣相沉積法毯覆式形成在蝕刻終止層 204 上，而蝕刻終止層 204 係作為第二硬材料層 208 的蝕刻終點，因此其材質須與第二硬材料層 208 有所差異，以使蝕刻終止層 24 可以發揮其作為蝕刻終點的功能，其中，當第二硬材料層 208 為氮化矽層時，蝕刻終止層 206 可為氧化矽層。

請參照第 2B 圖，之後，在第二硬材料層 208 上塗附一光阻層(未繪出)，利用微影蝕刻製程以光阻定義第二硬材料層 208、蝕刻終止層 206 與第一硬材料層 204，依序蝕刻第二硬材料層 208、蝕刻終止層 206 與第一硬材料層 204，而形成一預定開口(未繪出)，接著，將光阻剝除。其中蝕刻第二硬材料層 208、蝕刻終止層 206 與第一硬材料層 204 的步驟例如以乾蝕刻法進行，當第一硬材料層 204

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

與第二硬材料層 208 為氮化矽時，可以一合適之混合氣體包括 SF₆、氮氣及氧氣作為蝕刻劑。而蝕刻終止層 206 與墊氧化物層 202 則以一氣體混合物包括 CHF₃、氧氣及氫氣作為蝕刻劑。

隨後，利用第二硬材料層 208 作為一硬罩幕層，且以光阻定義出的預定開口，以非等向性蝕刻法(anisotropic etching)對基底 200 進行蝕刻的步驟，而在基底 200 上形成一溝渠 210，如第 2B 圖所示。其中，基底 200 之蝕刻例如以反應性離子蝕刻(RIE)進行，以氮氣、氫氣、HBr 及氧氣之混合氣體作為蝕刻劑之乾蝕刻法蝕刻基底 200 而形成溝渠 210。

然而，在進行蝕刻基底 200 的製程時，所利用的電漿蝕刻會破壞第二硬材料層 208，而使得其表面不甚均勻，如第 2B 圖所示之第二硬材料層 208a，以致無法提供一平坦的表面以供後續製程順利進行，而造成淺溝渠隔離結構完成時，因表面的不平整而使完成的元件造成臨限電壓的改變，導致元件的可靠度降低。因此，本發明之較佳實施例係在第二硬材料層 208 與第一硬材料層 204 之間形成了一蝕刻終止層 206，利用蝕刻終止層 206 的存在，將受損的第二硬材料層 208a 去除，藉由蝕刻終止層 206 而使晶片可以提供具有較佳均勻的表面，如第 2C 圖所示。其中，去除第二硬材料層 208a 的蝕刻劑需具有較高的蝕刻選擇比，使得蝕刻製程得以停止在蝕刻終止層 206a，暴露出蝕刻終止層 206a，而蝕刻終止層 206 亦需具有足夠的厚度可

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(6)

以抵抗蝕刻劑過度蝕刻。

其中，將第二硬材料層 208a 去除的步驟可與淺溝渠隔離結構製程中的”後退(pull back)”製程一起進行。所謂的”後退”製程係由於半導體設計規則(design rule)的考量，溝渠 210 的尺寸越來越小，而溝渠 210 開口太小使得後續的絕緣材料的沉積難以進行，因此，在溝渠 210 完成後，即去除溝渠 210 側壁部分的第一硬材料層 204a 與蝕刻終止層 206a，而形成如第 2C 圖標號 212 所示之第一硬材料層 204a 與蝕刻終止層 206a，而使溝渠 210 在基底 200 以上的開口變大。而在進行”後退”製程時，例如以 HF-EG(氫氟酸+乙二醇)去除部分的第一硬材料層 204a。而在形成第二硬材料層 208 時控制其厚度，使得在第 2B 圖中去除的第二硬材料層 208a 與”後退”製程中去除的第一材料層 204a 厚度相差不多，使得其可同時以相同的蝕刻劑進行，以節省製程時間與成本。

請參照第 2D 圖，接著，在溝渠 210 中形成一絕緣材料 214，覆蓋蝕刻終止層 206a，例如在以臭氧 TEOS 或 CVD TEOS 沈積一厚氧化層，而傳統的化學氣相沈積法(CVD)技術包括常壓化學氣相沈積法(APCVD)、低壓化學氣相沈積法(LPCVD)及電漿化學氣相沈積法(PECVD)，均可形成絕緣材料 214 之氧化物層。續再回蝕刻絕緣材料 214，例如以第一硬材料層 204a 為研磨終點，利用化學機械研磨法去除第一硬材料層 204a 表面上的絕緣材料，而形成如第 2E 圖所示的絕緣材料 214a。而由於在進行化學機械研磨法製程

五、發明說明(7)

前，已先將厚度不均的第二硬材料層 208a 去除，藉由蝕刻終止層 206a 提供了一均勻的表面，因此可改善後續進行化學機械研磨法時厚度極度不均的現象。接著，再去除第一硬材料層 214a 與墊氧化物層 202 等，第一硬材料層 214a 例如以熱磷酸去除，而墊氧化物層 202 例如以氫氟酸去除。

本發明之較佳實施例係在進行化學機械研磨法前，利用蝕刻終止層為蝕刻終點，將厚度不均的硬材料層去除，而得以提供一均勻度較佳的平面以供後續製程進行，故可提高淺溝渠隔離結構表面的平整度，降低臨限電壓變化對元件的影響。

此外，本發明之較佳實施例雖以淺溝渠隔離結構製程揭露如上，但並不用以限定本發明。本發明較佳實施例所提供“第一硬材料層/蝕刻終止層/第二硬材料層”之結構不僅可應用在因蝕刻造成表面不平整的半導體製程上，同時亦可使用在因化學機械研磨法造成表面均勻度不佳的製程中。如第 3A-3D 圖所示，其係顯示一種使材料層表面平整的半導體元件之製造流程剖面圖。

請參照第 3A 圖，在一基底 300 上依序形成一第一硬材料層 302、一蝕刻終止層 304 與一第二硬材料層 306，蝕刻終止層 304 係形成在第一硬材料層 302 與第二硬材料層 306 之間。之後，為因應製程所需進行蝕刻或化學機械研磨的步驟，例如平坦化或回蝕刻等，而第二硬材料層 306a 表面卻常因長時間的蝕刻遭受破壞，如第 3B 圖所示，或

五、發明說明(8)

因化學機械研磨法造成晶片中央與邊緣部位厚度相差過多的情況。因此，在此係利用蝕刻終止層 304 為蝕刻終點，將表面不均的第二硬材料層 306a 去除，而暴露出蝕刻終止層 304，如第 3C 圖所示。之後，再利用具有較高蝕刻選擇比的蝕刻劑，去除蝕刻終止層 304，暴露出第一硬材料層 302，但不去除第一硬材料層 302，如第 3D 圖所示。接著，再繼續進行後續的製程。其中第一硬材料層 302 與第二硬材料層 306 例如為氮化矽，而蝕刻終止層 304 則為氧化物。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要 (發明之名稱： 淺溝渠隔離結構的製造方法)

一種淺溝渠隔離結構的製造方法，在一基底上依序形成一墊氧化物層、一第一硬材料層、一蝕刻終止層與一第二硬材料層，接著，定義第二硬材料層、蝕刻終止層、第一硬材料層與墊氧化物層，而在基底中形成一溝渠。之後，對第一硬材料層進行一後退製程，同時以蝕刻終止層為蝕刻終點，將第二硬材料層去除。續在溝渠中形成一絕緣材料，覆蓋蝕刻終止層，再去除第一硬材料層上的絕緣材料與蝕刻終止層，之後去除第一硬材料層與墊氧化物層。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

六、申請專利範圍

1. 一種淺溝渠隔離結構的製造方法，適用在一基底上；該製造方法至少包括：

在該基底上依序形成一墊氧化物層、一第一硬材料層、一蝕刻終止層與一第二硬材料層；

定義該第二硬材料層、該蝕刻終止層、該第一硬材料層與該墊氧化物層，在該基底中形成一溝渠；

對該第一硬材料層進行一後退製程，同時將該第二硬材料層去除；

在該溝渠中形成一絕緣材料，延伸至該蝕刻終止層；

去除該第一硬材料層上的該絕緣材料與該蝕刻終止層；以及

去除該第一硬材料層與該墊氧化物層。

2. 如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中該第一硬材料層包括一氮化矽層。

3. 如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中該蝕刻終止層包括一氧化物層。

4. 如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中該第二硬材料層包括一氮化矽層。

5. 如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中該蝕刻終止層的厚度係夠厚，使該後退製程之一蝕刻劑可以去除該第二硬材料層，但不去除該蝕刻終止層。

6. 如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中該後退製程步驟包括以 HF-EG 進行。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

7.如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中去除該第一硬材料層上的該絕緣材料與該蝕刻終止層包括化學機械研磨法。

8.如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中去除該第一硬材料層包括以熱磷酸去除。

9.如申請專利範圍第 1 項所述之溝渠隔離結構的製造方法，其中去除該墊氧化物層包括以氫氟酸去除。

10.一種使材料層表面平整的半導體元件製造方法；該方法包括：

提供一第一硬材料層；

在該第一硬材料層上形成一蝕刻終止層；

在該蝕刻終止層上形成一第二硬材料層；

平坦化該第二硬材料層；

以該蝕刻終止層為蝕刻終點，去除該第二硬材料層；

以及

去除該蝕刻終止層。

11.如申請專利範圍第 10 項所述之使材料層表面平整的半導體元件製造方法，其中平坦化該第二硬材料層包括以化學機械研磨法進行。

12.如申請專利範圍第 9 項所述之使材料層表面平整的半導體元件製造方法，其中平坦化該第二硬材料層包括以蝕刻法進行。

13.如申請專利範圍第 10 項所述之使材料層表面平整的半導體元件製造方法，其中該第一硬材料層包括氮化矽

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

層。

14.如申請專利範圍第 10 項所述之使材料層表面平整的半導體元件製造方法，其中該第二硬材料層包括氮化矽層。

15.如申請專利範圍第 10 項所述之使材料層表面平整的半導體元件製造方法，其中該蝕刻終止層包括氧化物層。

16.如申請專利範圍第 10 項所述之使材料層表面平整的半導體元件製造方法，其中該第二硬材料層包括以 HF-EG 去除。

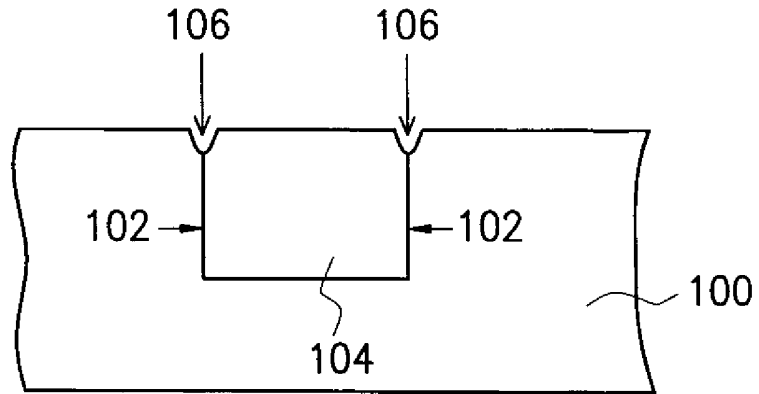
17.如申請專利範圍第 10 項所述之使材料層表面平整的半導體元件製造方法，其中去除該蝕刻終止層之一蝕刻劑之蝕刻選擇比係可完全去除該蝕刻終止層，但不完全去除該第一硬材料層。

(請先閱讀背面之注意事項再填寫本頁)

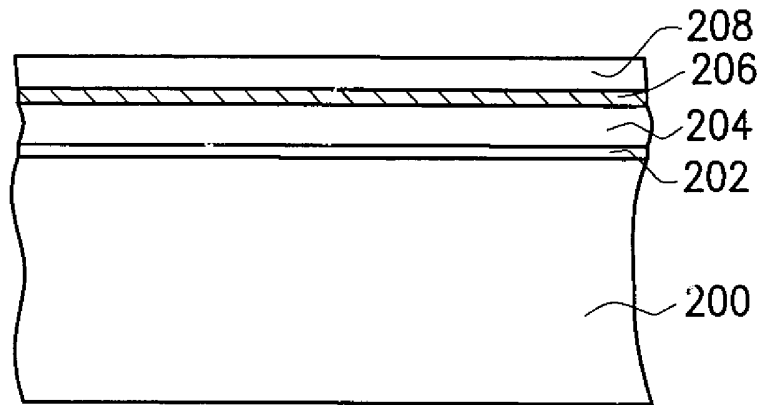
裝
訂
線

8910194

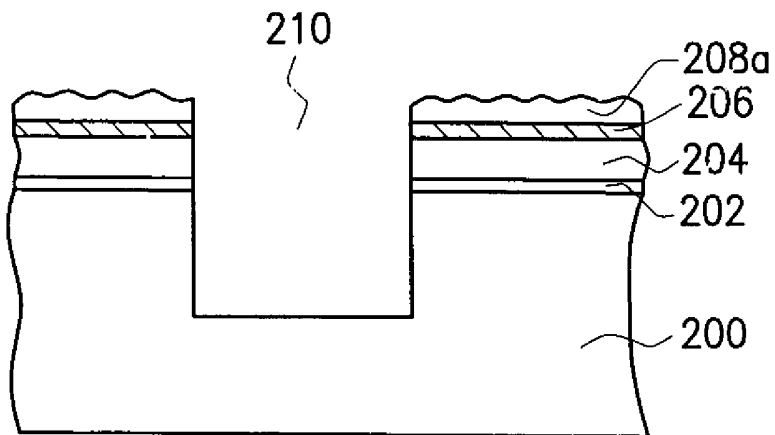
432602
5190TW



第 1 圖

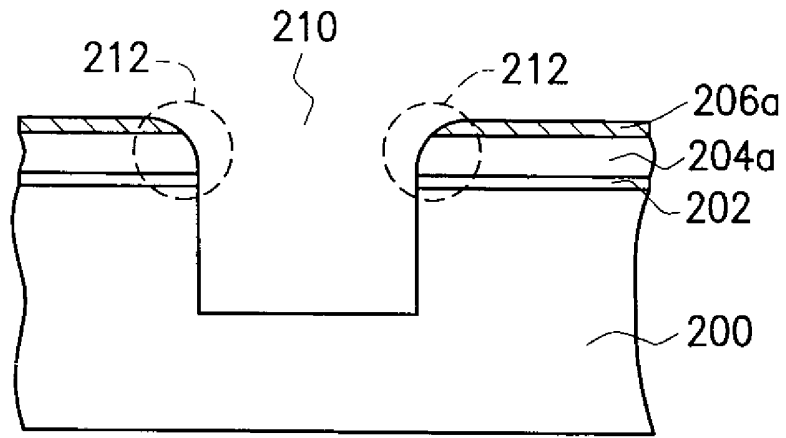


第 2A 圖

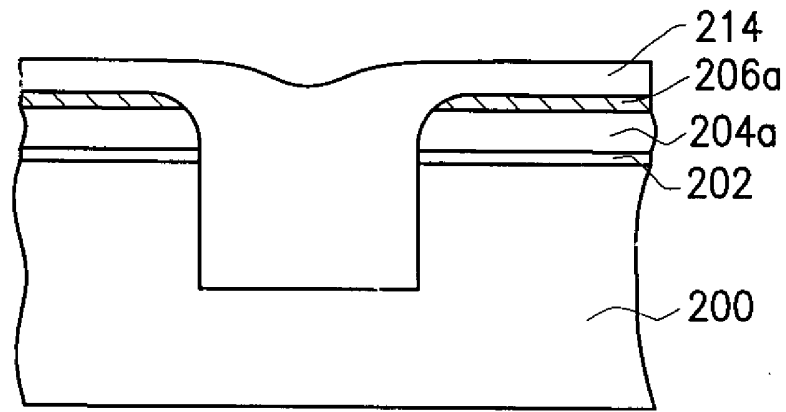


第 2B 圖

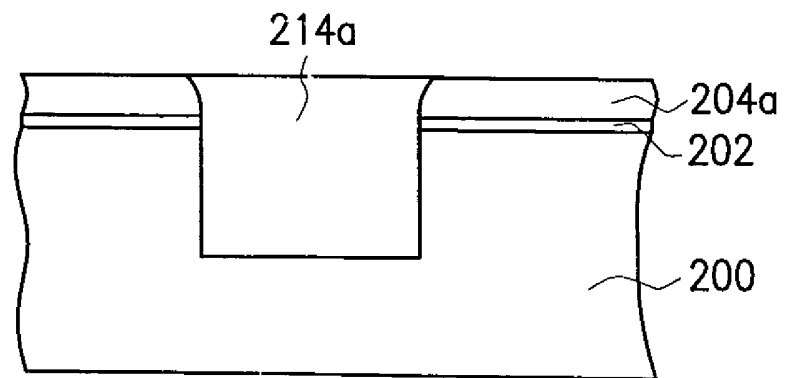
5190TW



第2C圖

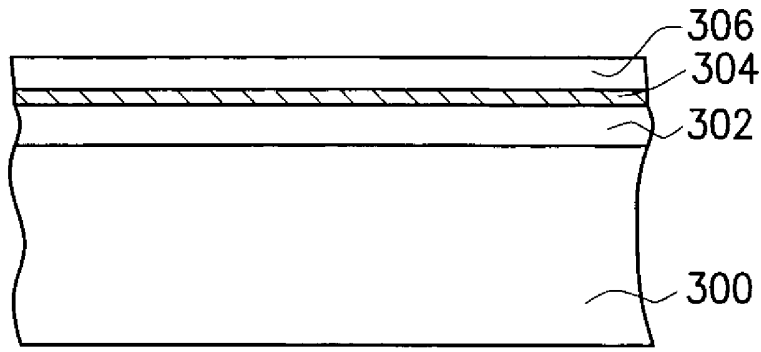


第2D圖

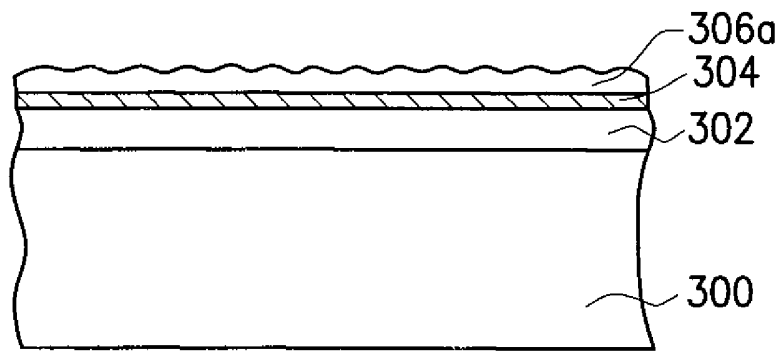


第2E圖

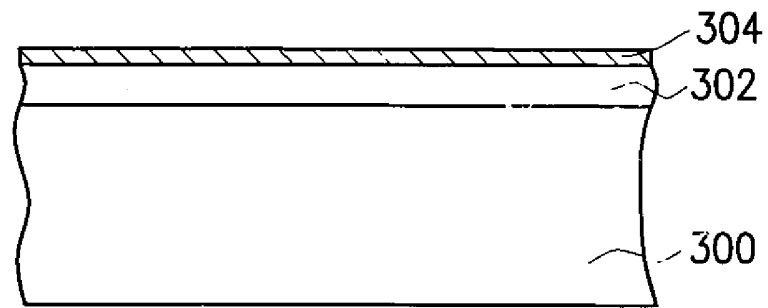
5190TW



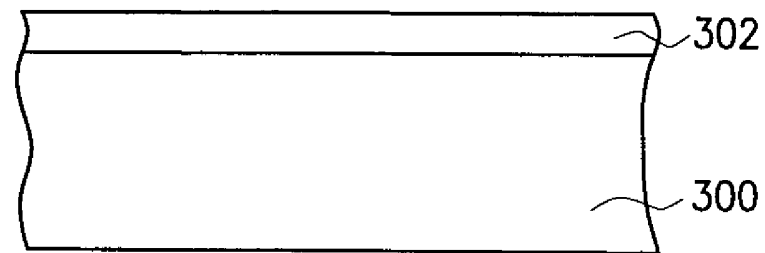
第3A圖



第3B圖



第3C圖



第3D圖