

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03109617.4

H01L 21/48 (2006.01)

H01L 21/60 (2006.01)

H01L 23/12 (2006.01)

H01L 23/48 (2006.01)

H05K 3/00 (2006.01)

[45] 授权公告日 2006年7月19日

[11] 授权公告号 CN 1265447C

[22] 申请日 2003.4.9 [21] 申请号 03109617.4

[71] 专利权人 全懋精密科技股份有限公司

地址 台湾省新竹市

[72] 发明人 朱志亮 周鄂东 翁林莹

审查员 高莺然

[74] 专利代理机构 北京三幸商标专利事务所

代理人 刘激扬

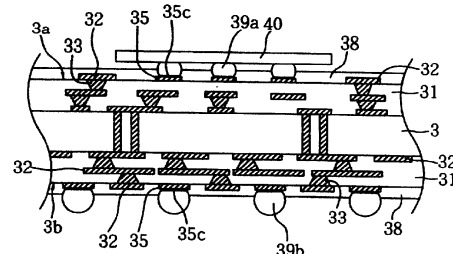
权利要求书 2 页 说明书 8 页 附图 8 页

[54] 发明名称

半导体封装基板的电性连接垫电镀金属层的
制造方法

[57] 摘要

一种半导体封装基板的电性连接垫电镀金属层结构及其制法提供一至少一表面具有多个电性连接垫的封装基板，在该基板表面覆盖一导电膜；在该导电膜上形成一光刻胶层，使该光刻胶层有多个开孔露出连接垫的导电膜；移除未被该光刻胶层覆盖的导电膜，该电性连接垫外露在该光刻胶层的开孔中；对该封装基板进行电镀，使该电性连接垫外露表面电镀有镍/金的金属层；移除该光刻胶层及导电膜；在该基板表面覆盖拒焊层，使该拒焊层具有多个开孔露出完成电镀金属层的电性连接垫；避免现有工序产生的跳镀与黑垫等问题，有效提升封装结构的可靠性，因不需在封装基板另外布设电镀导线，大幅增加基板的布线面积。



- 1.一种半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该制法包括：
- 5 提供一至少一表面具有多个电性连接垫的封装基板，在该基板的表面覆盖一导电膜；
- 在该导电膜上形成一光刻胶层，并使该光刻胶层形成多个开孔，外露电性连接垫表面的导电膜，且该开孔小于该电性连接垫；
- 移除未被该光刻胶层覆盖的导电膜，使该电性连接垫可外露在该
- 10 光刻胶层的开孔；
- 对该封装基板进行电镀，使该电性连接垫外露表面电镀有金属层；
- 移除该光刻胶层及其所覆盖的导电膜。
- 2.如权利要求 1 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该制法包括：在该封装基板表面形成一拒焊层，
- 15 使该拒焊层具有多个开孔以外露出已完成电镀金属层的电性连接垫。
- 3.如权利要求 1 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该电镀金属层是由金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金及镍/钯/金所构成的群组的金属形成的。
- 4.如权利要求 1 所述的半导体封装基板的电性连接垫电镀金属层
- 20 制法，其特征在于，该导电膜是由铜、锡、镍、铬、钛、铜-铬合金及锡-铅合金所构成的群组的金属形成的。
- 5.如权利要求 1 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该导电膜可以由溅镀、无电镀及物理、化学沉积中的任一种方式形成。
- 25 6.一种半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该制法的步骤包括：
- 提供一至少一表面具有多个电性连接垫的封装基板，在该基板的表面覆盖一导电膜；
- 在该导电膜上形成一光刻胶层，使该光刻胶层在电性连接垫处形
- 30 成有开孔，且该光刻胶层在该开孔具有一延伸部分，以部分覆盖电性连接垫上的导电膜；
- 移除未被该光刻胶层覆盖的导电膜，使该电性连接垫可外露在该光刻胶层的开孔；
- 对该封装基板进行电镀，使该电性连接垫外露表面电镀有金属层；

移除该光刻胶层及其覆盖的导电膜。

7.如权利要求 6 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该制法还包括：在该封装基板表面形成一拒焊层，使该拒焊层具有多个开孔以外露出已完成电镀金属层的电性连接垫。

5 8.如权利要求 6 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该电镀金属层是由金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金及镍/钯/金所构成的群组的金属形成的。

9.如权利要求 6 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该导电膜是由铜、锡、镍、铬、钛、铜-铬合金及
10 锡-铅合金所构成的群组的金属形成的。

10.如权利要求 6 所述的半导体封装基板的电性连接垫电镀金属层制法，其特征在于，该导电膜可以由溅镀、无电镀及物理、化学沉积中的任一种方式形成。

半导体封装基板的电性连接垫电镀金属层的制造方法

5 发明领域

本发明是关于一种半导体封装基板的电性连接垫电镀金属层结构及其制法，特别是一种在芯片封装用基板的焊垫外露表面电镀有一镍/金金属层与形成该镍/金金属层的制作方法。

10 现有技术

随着电子技术的快速发展，电子产品的功能越来越多，其产品本身则更加趋向于轻、薄、小，在这一过程中，半导体封装件起到了关键作用。随着要求的提高，半导体封装业也面临着突破。

用于半导体封装的基板表面即形成有多条例如由铜材料组成的导
15 电线路，并由其加以延伸而成的电性连接垫，作为传输电子信号或电源，同时，通常会在该电性连接垫外露表面形成有一如镍/金(Ni/Au)金属层，可有效提供其他导电组件如金线、凸块或焊球，与芯片或电路板的电性耦合，也可避免因外界环境影响而导致该电性连接垫本体的氧化。

20 该电性连接垫可例如是半导体覆晶封装基板(Flip-chip package substrate)与芯片电性耦合的凸块焊垫(Bump pad)或预焊锡焊垫(Presolder pad)；该电性连接垫也可例如是封装基板与电路板作电性耦合的焊球垫(Ball pad)，借由在该电性连接垫本体外露表面形成有一镍/金金属层，提供包覆于该镍/金金属层内的电性连接垫(通常为金属铜)
25 不易因外界环境影响而氧化，提高凸块、预焊锡或焊球等植设在电性连接垫的电性连接品质。

30 现有工艺中有关于电性连接垫表面形成镍/金金属层的方法包括化学镍/金工序与电镀镍/金工序等，只是该化学镍/金工序常发生许多例如跳镀与黑垫(Black pad)等焊锡性欠佳或焊点强度不足等问题。该跳镀问题的产生是在工序中由于化镍槽降温一段时间再生产时，即使是所有作业条件均已备妥，电镀仍会出现不易满镀的现象，使后续的镀金过程无法顺利完成，因此出现露铜现象；该黑垫问题的形成，是由于化镍表面在进行浸金置换时，其镍面受到过度的氧化反应，加上体积较大的金原子不规则沉积与其粗糙晶粒的稀疏多孔，造成底镍持续地经

过化学电池效应的促动，不断产生氧化与老化，金面底下产生未能熔走的镍锈，经过持续的累积，形成了黑垫现象；上述化学镍/金工序的跳镀与黑垫的问题很容易造成日后金线、焊锡凸块、预焊锡或焊球等，与电性连接垫之间脱落剥离无法相互电性耦合，影响产品的可靠性。

5 为避免上述化学镍/金工序出现的问题，另一种在电性连接垫表面形成有镍/金金属层的方法是采用电镀镍/金工序。如图1所示，现有电镀镍/金的工序是在形成有多条电性连接垫10的封装基板1上，另外布设多条电镀导线11，通过该电镀导线11将镍/金金属层12电镀在该电性连接垫10上，该工序必须预先布设众多的电镀导线11以进行电镀，
10 不仅要占据封装基板1的线路布线面积，使可供布设线路的面积减少，而且在高频使用时，因多余的电镀导线11的天线效应产生噪声。

为解决上述电镀镍/金工序的问题，如图2A至图2D所示，出现另一种电镀工序GPP(Gold pattern plating)工序，现已为业界运用。该工序是首先在用以承载半导体芯片的基板2的上、下表面上，各形成有一
15 导电层21(如图2A所示)，该基板2中形成若干的导通孔(PTH)或盲孔(Blind via)(未标)；接着在该基板的导电层21上要形成线路的区域外，覆盖一光刻胶层(Photo resist)22，以导电层21为电流传导路径，在该导电层21未被光刻胶层22覆盖之处，电镀一镍/金金属层23(如图2B所示)；之后，移除该光刻胶层22，仅留下该镍/金金属层23(如图2C所示)；
20 再以该镍/金金属层23作为屏蔽阻层，利用蚀刻等方式将导电层21线路图案化，从而定义出线路层24，使该线路层24外露表面电镀一镍/金金属层23(如图2D所示)。

该技术不需另外布设电镀导线，但要在基板的整个线路层(包括电性连接垫与所有导电路径)表面均覆盖上一镍/金金属层，该镍/金金属
25 层原料相当昂贵，造成制作成本大幅提高；再有，由于该线路层的导电路径整个上表面均覆盖有镍/金金属层，后续在基板上覆盖一拒焊层时，会因这两种材料的差异，不能达到稳定的结合，造成产品可靠性不佳。

因此，如何借由简单工序、花费较少费用，同时避免化学镍/金工
30 序产生的跳镀与黑垫等可靠性问题，是目前亟待解决的课题。

发明内容

为克服上述现有技术的缺点，本发明的主要目的是提供一种半导体封装基板的电性连接垫电镀金属层结构及其制法，使电性连接垫的
35 外露表面电镀有一如镍/金的金属层，有助于金线、焊锡凸块或焊球，

与芯片或电路板的电性耦合，且该金属层使电性连接垫不易因外界环境影响而导致该电性连接垫本体氧化。

5 本发明的另一目的是提供一种半导体封装基板的电性连接垫电镀金属层结构及其制法，可避免现有化学镍/金工序产生的跳镀与黑垫等问题，有效提升封装结构的可靠性。

本发明的又一目的是提供一种半导体封装基板的电性连接垫电镀金属层结构及其制法，它不需在封装基板的表面另外布设电镀导线，能够大幅增加封装基板上有效布线面积，并减少因布设电镀导线所衍生的噪声干扰问题。

10 本发明的再一目的是提供一种半导体封装基板的电性连接垫电镀金属层结构及其制法，它不需在封装基板的整层线路层上均覆盖一镍/金金属层，它仅在该电性连接垫上形成所需的镍/金金属层，借以有效降低电镀镍/金的成本。

为达到上述及其它目的，本发明的半导体封装基板的电性连接垫15 电镀金属层结构主要是在封装基板的至少一表面形成有多个电性连接垫，该多个电性连接垫电镀有金属层，且该封装基板表面覆有一层拒焊层，该拒焊层具有多个开孔以外露出电镀有金属层的电性连接垫。

本发明的半导体封装基板的电性连接垫电镀金属层制法包括下列20 步骤：首先，提供一至少一表面具有多个电性连接垫的半导体封装基板，在该基板的表面覆盖一导电膜(Electrically conductive film)；接着，在该导电膜上形成一光刻胶层，并使该光刻胶层形成多个开孔以外露出电性连接垫表面的导电膜，该光刻胶层可选择性地在该开孔形成有一延伸部分，以覆盖住电性连接垫上部分的导电膜；然后，移除未被该光刻胶层覆盖的导电膜，使该电性连接垫可外露在该光刻胶层的开25 孔；并对该封装基板进行电镀，使该电性连接垫外露表面电镀一金属层，如镍/金的金属层；之后，移除该光刻胶层及其覆盖的导电膜；再在该封装基板表面形成一拒焊层，并使该拒焊层具有多个开孔以外露出已完成电镀金属层的电性连接垫，且该拒焊层的开孔孔径可大于或小于电性连接垫的大小。

30 借由本发明的半导体封装基板的电性连接垫电镀金属层结构及其制法，不仅可提供电性连接垫的外露表面完整包覆有一含镍/金的金属层，有效帮助金线、焊锡凸块、或焊球等，与芯片或电路板的电性耦合，同时也不易因外界环境影响而导致该电性连接垫本体的氧化；且避免现有化学镍/金工序时所产生的跳镀与黑垫等问题，有效提升封装35 结构可靠性。同时在电镀镍/金时，不需在封装基板的表面布设电镀导

线，能够大幅增加封装基板有效的布线面积，减少因布设电镀导线所衍生的噪声干扰问题；再有也可避免现有电镀镍/金工序时，要在封装基板的整层线路层上均覆盖一含镍/金的金属层，有效降低电镀镍/金的成本。本发明电性连接垫电镀金属层可广泛运用于一般封装基板。

5

附图说明

图 1 是现有封装基板的电性连接垫电镀有镍/金金属层的剖面示意图；

10 图 2A 至图 2D 是另一现有封装基板的电性连接垫电镀镍/金工序的剖面示意图；

图 3 是本发明的半导体封装基板的电性连接垫电镀金属层结构的剖面示意图；

图 4A 至图 4H 是本发明的半导体封装基板的电性连接垫电镀金属层制法的实施例 1 剖面示意图；

15 图 5A 至图 5I 是本发明的半导体封装基板的电性连接垫电镀金属层制法的实施例 2 剖面示意图；

图 6A 是本发明的半导体封装基板的电性连接垫电镀金属层制法的实施例 2 中在导电膜上形成一光刻胶层的立体剖视图；

20 图 6B 是本发明的半导体封装基板的电性连接垫电镀金属层制法的实施例 2 中在电性连接垫上完成电镀金属层的立体剖视图；以及

图 6C 及图 6D 是本发明的半导体封装基板的电性连接垫电镀金属层制法的实施例 2 中在基板表面形成一拒焊层的立体剖视图。

具体实施方式

25 图 3 是应用本发明的半导体封装基板的电性连接垫电镀金属层结构的剖面示意图。

该封装基板 3 是一反转芯片球栅阵列(Flip chip ball grid array)封装基板，它包括有多个绝缘层 31、与绝缘层交错叠置的线路层 32、贯穿这些绝缘层以电性连接该线路层的通孔(Via)33 以及用以覆盖保护该基板 3 表面的拒焊层 38。

30 该基板 3 的绝缘层 31 可由有机材料、强化纤维 (Fiber-reinforced) 有机材料或颗粒增强 (Particle-reinforced) 有机材料等构成，例如环氧树脂(Epoxy resin)、聚酰亚胺(Polyimide)、双马来酰来胺/三嗪基(Bismaleimide triazine-based)树脂、氰酸酯 (Cyanate ester)等。该线路层 32 的制作，可以先在该绝缘层 31 上形成一金属导电层，例如是一铜层，

35

还利用蚀刻技术形成一线路图案化的线路层 32, 该线路层 32 也可利用电镀技术配合图案化阻层, 以完成线路图案化。在该封装基板 3 的第一表面 3a 及第二表面 3b 上的线路层 32 形成有多个电性连接垫 35, 例如在该第一表面 3a 上的电性连接垫 35 可以是一凸块焊垫或预焊锡焊垫, 至少一覆晶型(Flip chip)半导体芯片 40, 可借由形成其上的多个焊锡凸块(Solder bump)39a, 电性连接至该基板第一表面 3a 上的电性连接垫, 在该第二表面 3b 上的电性连接垫 35 是一焊球垫(Ball pad), 用以植置多个焊球(Solder ball)39b, 以提供该完成覆晶工序的半导体芯片 40 电性连接至外部装置。

10 由于该线路层 32 及电性连接垫 35 的材料一般是金属铜, 为避免该基板第一表面 3a 与第二表面 3b 上的电性连接垫 35 受外界环境影响发生氧化, 或为有效增加与焊锡凸块 39a 或焊球 39b 的接合能力, 通常会在该电性连接垫 35 外露表面电镀有金属层 35c 作为金属阻障层, 一般的金属阻障层包括镍粘着层以及形成在该电性连接垫 35 上的金保护层。然而, 该阻障层也可借由电镀(electroplating)、无电镀(electroless plating)或物理气相沉积(physical vapor deposition)等方法, 沉积金、镍、钯、银、锡、镍/钯、铬/钛、钯/金或镍/钯/金等材料而形成的。然后可形成一拒焊层 38, 以覆盖住该基板 3 表面, 且拒焊层形成有若干开孔 38a, 使电性连接垫能够外露在该拒焊层的开孔 38a。

20

实施例 1

请参阅图 4A 至图 4H, 为本发明的半导体封装基板的电性连接垫电镀金属层制法实施例 1 的剖面示意图。

25 如图 4A 所示, 首先提供一封装基板 3, 该封装基板 3 可以是如图 3 所示的覆晶式封装基板, 也可以是打线式(Wire bonding)封装基板。该封装基板 3 已完成所需的前期工序, 例如多个导通孔(PTH)或盲孔(Blind Via)等(未标)形成于其中, 该封装基板 3 的表面已形成有已经线路图案化的线路层 32, 该线路层 32 包括有多个电性连接垫 35, 当然它也可包括有若干线路形成在封装基板 3 的表面。有关线路图案化技术繁多, 是业界公知的工艺技术, 而非本案的技术特征, 故不再重复说明。

30 如图 4B 所, 在该封装基板 3 表面覆上一导电膜 36; 该导电膜 36 主要作为后续进行电镀金属层 35c 所需的电流传导路径, 可由金属、合金或堆栈数层金属层构成, 它可选自铜、锡、镍、铬、钛、铜-铬合金或锡-铅合金所构成的组群的金属形成。只是依据实际操作经验, 该

35

导电膜 36 由铜或钯粒子(特别是无电镀)构成较好, 可借由物理气相沉积(PVD)、化学气相沉积(CVD)、无电镀或化学沉淀, 例如溅镀(Sputtering)、蒸镀(Evaporation)、电弧蒸气沉积(Arc vapor deposition)、离子束溅镀(Ion beam sputtering)、激光熔散沉积(Laser ablation deposition)、电浆促进的化学气相沉积或有机金属的化学气相沉积等方法, 形成在该封装基板表面。

如图 4C 所示, 在该覆盖有导电膜 36 的封装基板 3 的表面, 利用印刷、旋涂或贴合等方式形成有一光刻胶层(Photoresist)37, 例如干膜或液态光刻胶等, 并使该光刻胶层 37 形成多个开孔 37a, 借以外露电性连接垫 35 表面的导电膜 36a。

如图 4D 所示, 可借由蚀刻或激光等技术, 移除未被该光刻胶层 37 覆盖的导电膜 36a, 也就是移除该光刻胶层开孔 37a 中覆盖在电性连接垫 35 的导电膜 36a, 外露出该电性连接垫 35。

如图 4E 所示, 接着以电镀方式(Electroplating)对该封装基板 3 电镀一金属层, 该电镀金属可以是金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金或镍/钯/金等。借由该导电膜 36 具有的导电特性, 在进行电镀时可作为电流传导路径, 较好的选择是电镀一镍/金金属层, 其过程是先电镀一层镍后, 再在其上电镀一层金, 镍/金金属经由该导电膜 36, 可电镀在各电性连接垫 35 外露的表面, 使该电性连接垫 35 的外露表面覆盖有一电镀金属层 35c, 当然本发明电镀金属材料的选择, 也可是如上述的镍、金或其它金属之一, 例如直接以金电镀在电性连接垫 35 的外露表面, 这些简单的替换, 均属于本发明的实施范畴。

如图 4F 所示, 在该电性连接垫 35 的外露表面完成电镀镍/金金属层 35c 后, 先移除该光刻胶层 37, 接着, 再将先前被该光刻胶层 37 覆盖的导电膜 36 移除, 如图 4G 所示, 即在该电性连接垫 35 的外露表面完成电镀金属层 35c 的覆盖。

如图 4H 所示, 之后可在该封装基板 3 表面覆盖上一拒焊层(Solder mask)38, 例如绿漆, 借以保护该封装基板 3 免受外在环境的污染破坏, 该拒焊层 38 并形成有多个开孔 38a, 使该完成电镀金属层 35c 的电性连接垫 35 能够外露出拒焊层的开孔 38a, 其中, 该拒焊层开孔 38a 的孔径是可大于或小于电性连接垫的大小, 覆有电镀金属层的电性连接垫 35 即可用于芯片或电路板作为电性连接的界面。

实施例 2

图 5A 至图 5I 是本发明的半导体封装基板的电性连接垫电镀金属

层制法实施例 2 的剖面示意图。

如图 5A 所示, 首先提供一封装基板 3, 该基板 3 是如实施例 1 所述, 可以是如图 3 所示的覆晶式封装基板, 也可是一般的打线式(Wire bonding) 封装基板。该基板 3 已完成所需的前期工序, 例如多个导通孔或盲孔等(未标)形成于其中, 该基板 3 的表面形成有已经线路图案化的线路层 32, 该线路层 32 包括有多个电性连接垫 35, 当然它也可包括若干线路形成在封装基板 3 的表面。

如图 5B 所示, 在该基板 3 表面覆上一层如实施例 1 所述的导电膜 36; 该导电膜 36 主要作为后续进行电镀金属层 35c 所需的电流传导路径。

如图 5C 所示, 在该覆盖有导电膜 36 的基板 3 表面, 利用印刷、旋涂或贴合等方式形成有一光刻胶层 37, 例如干膜或液态光刻胶等, 使该光刻胶层 37 在电性连接垫 35 处形成有开孔 37a, 且该光刻胶层 37 在该开孔 37a 是具有一延伸部分 37b 覆盖电性连接垫 35 上部分的导电膜 36, 该光刻胶层的开孔 37a 可外露大部分的电性连接垫 35 表面的导电膜 36a, 其立体剖视图是如图 6A 所示。

如图 5D 所示, 可借由蚀刻或激光等技术移除未被该光刻胶层 37 覆盖的导电膜 36a, 也就是移除该光刻胶层开孔 37a 中覆盖在该电性连接垫 35 的导电膜 36a, 显露出未为该光刻胶层 37 覆盖的电性连接垫 35。

如图 5E 所示, 接着以电镀方式对该基板 3 进行电镀一金属层的步骤, 该电镀金属可以是金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金或镍/钯/金等。借由该导电膜 36 具有的导电特性, 在进行电镀时可作为电流传导路径, 其电镀一镍/金金属层效果较好, 其过程是先电镀一层镍后, 再在其上电镀一层金, 镍/金金属层经由该导电膜 36 可电镀在各电性连接垫 35 显露的表面, 使该电性连接垫 35 的外露表面覆盖有一电镀金属层 35c。当然本发明电镀金属材料的选择, 可以是如上述的镍、金或其它金属之一, 例如可直接使用金电镀在电性连接垫 35 的外露表面, 这种简单的替换, 均属于本发明的实施范畴。

如图 5F 所示, 在该电性连接垫 35 的外露表面完成电镀如镍/金层的金属层 35c 后, 移除该光刻胶层 37 与被该光刻胶层 37 覆盖的导电膜 36, 如图 5G 所示, 即完成在该电性连接垫 35 的外露表面电镀并覆盖金属层 35c, 其立体剖视图可参阅图 6B。

如图 5H 所示, 之后在该基板 3 表面覆盖上一拒焊层 38, 例如绿漆, 以保护该基板 3 免受外在环境污染及破坏, 该拒焊层 38 形成有多

个开孔 38a, 使该完成电镀金属层 35c 的电性连接垫 35 能够外露在拒焊层的开孔 38a, 其中, 该拒焊层开孔 38a 的孔径是可小于该电性连接垫 35 的大小, 以形成一拒焊层限定(Solder mask defined, SMD)电性连接垫, 覆有电镀金属层 35c 的电性连接垫 35 即可用于芯片或电路板的电性连接的界面, 其立体剖视图可参阅图 6C。

如图 5I 所示, 在该基板 3 表面覆盖上一例如绿漆的拒焊层 38, 该拒焊层 38 形成有多个开孔 38a, 使该完成电镀金属层 35c 的电性连接垫 35 能够外露在拒焊层的开孔 38a, 其中, 该拒焊层开孔 38a 的孔径是可大于该电性连接垫 35 的大小, 以形成一非拒焊层限定(Non-solder mask defined, NSMD)电性连接垫, 覆有电镀金属层 35c 的电性连接垫 35 即可用于芯片或电路板电性连接的界面, 其立体剖视图可参阅图 6D。

通过本发明的半导体封装基板的电性连接垫电镀金属层结构及其制法, 不仅可提供封装基板形成电性连接垫的显露表面覆有一如镍/金的电镀金属层, 有效提供与其余导电组件的电性耦合, 同时也可避免因外界环境影响而导致该电性连接垫本体的氧化; 还可避免现有化学镍/金工序时产生的跳镀与黑垫等问题, 能够有效提升封装结构的可靠性; 再有, 在该电性连接垫表面电镀镍/金金属工序时, 是借由导电膜作为电流传导路径, 以导通封装基板上的各电性连接垫, 不需要在封装基板的表面另外再布设电镀导线, 借以大幅增加封装基板有效布线面积, 并减少因布设电镀导线所衍生的噪声干扰问题; 此外也可避免现有电镀镍/金金属层的电性连接垫, 须在封装基板的整层线路层上均覆盖有一含镍/金金属层, 因此可有效降低成本。

本发明所述的电性连接垫, 是可作为封装基板中的打线垫、凸块焊垫、预焊锡焊垫或焊球垫等, 上述附图仅以一电性连接垫表示, 实际上该电性连接垫的数目、作为电镀时电流传导路径以及屏蔽用的光刻胶层, 是依实际工序所需而加以设计并分布在基板表面, 且该工序可实施在基板的单一侧面或双侧面。

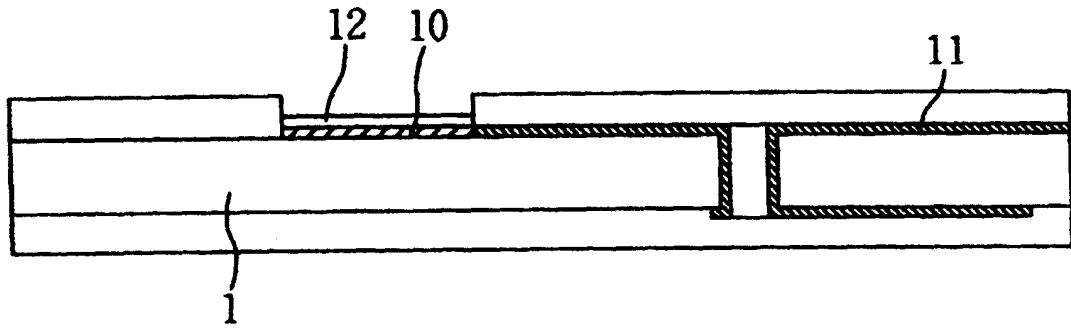


图 1(现有技术)

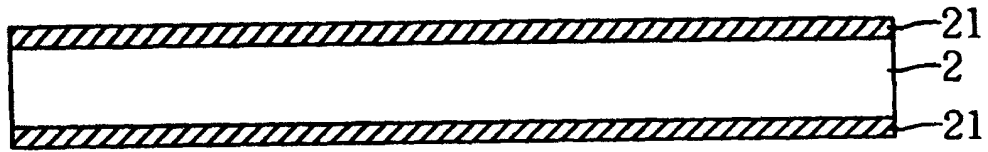


图 2A(现有技术)

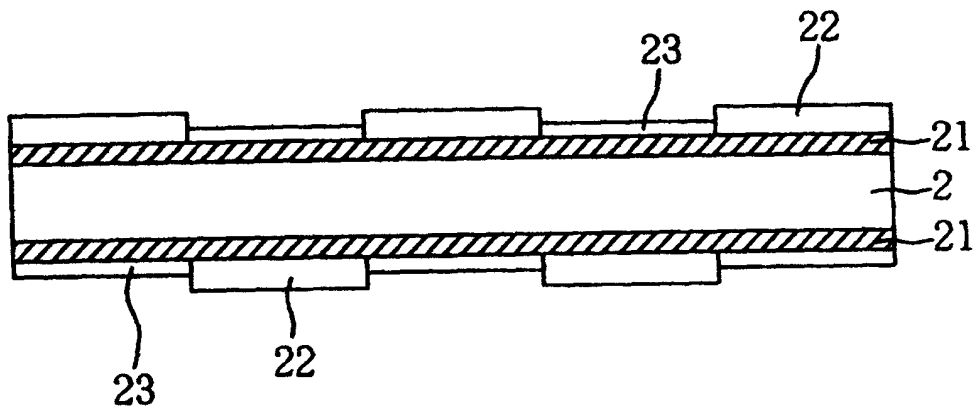


图 2B(现有技术)

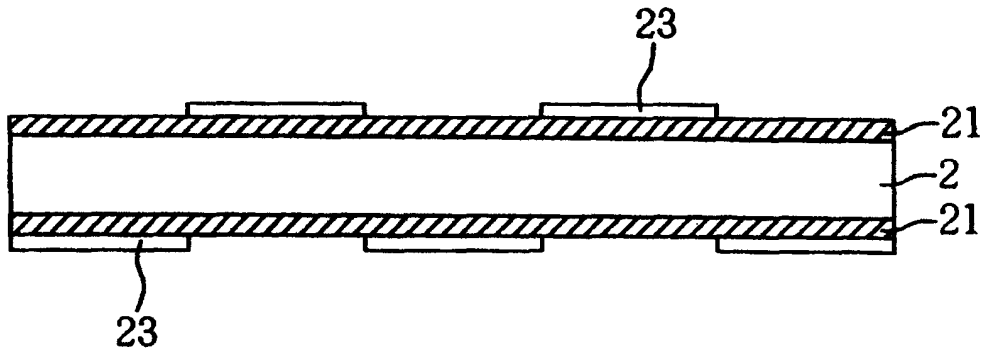


图 2C(现有技术)

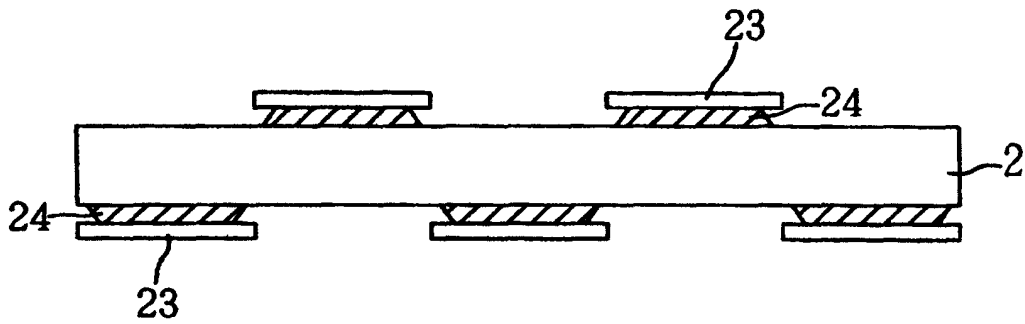


图 2D(现有技术)

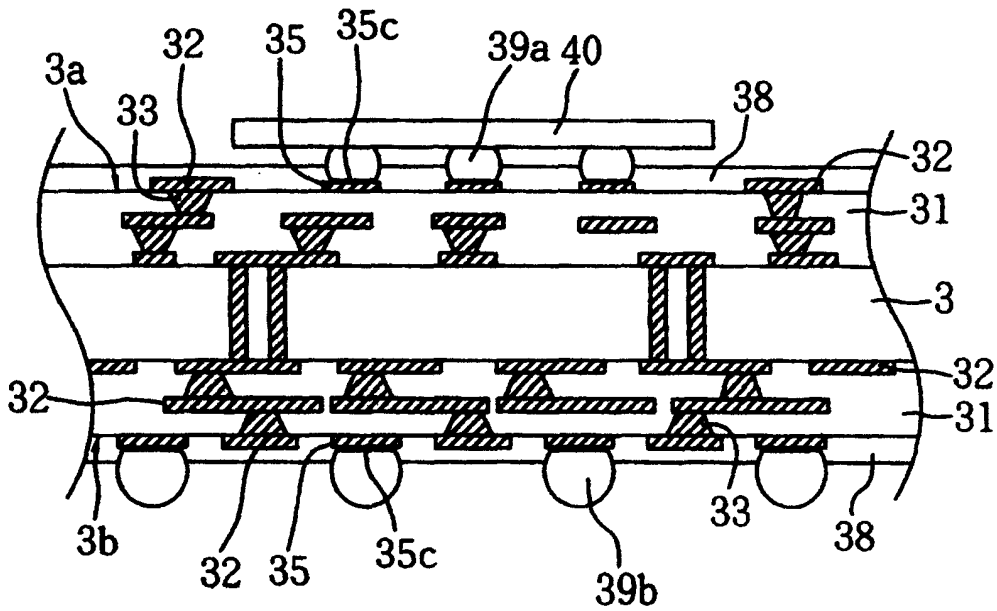


图 3

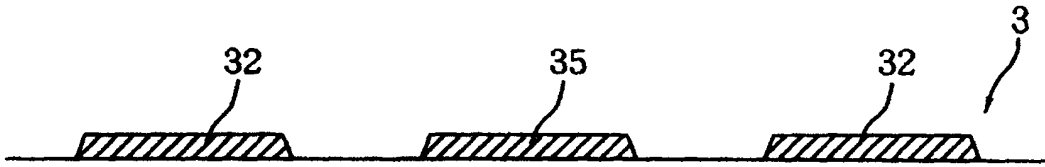


图 4A

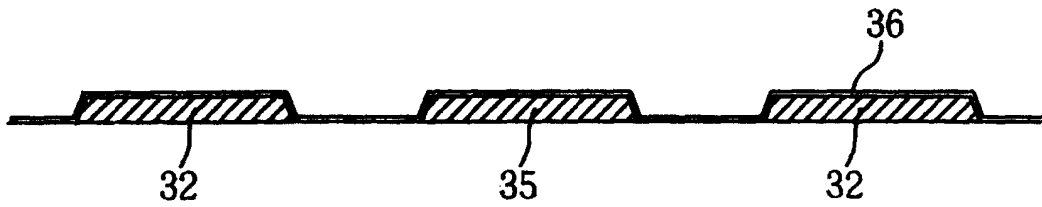


图 4B

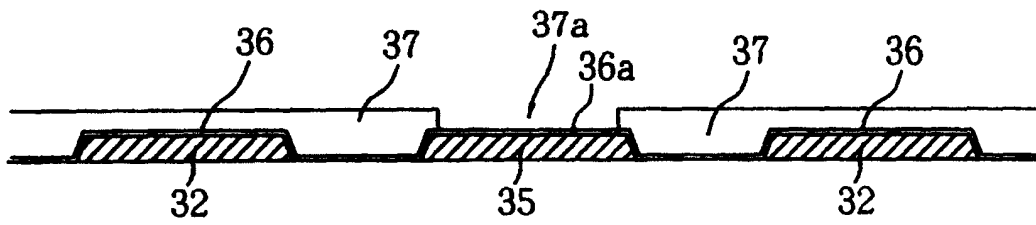


图 4C

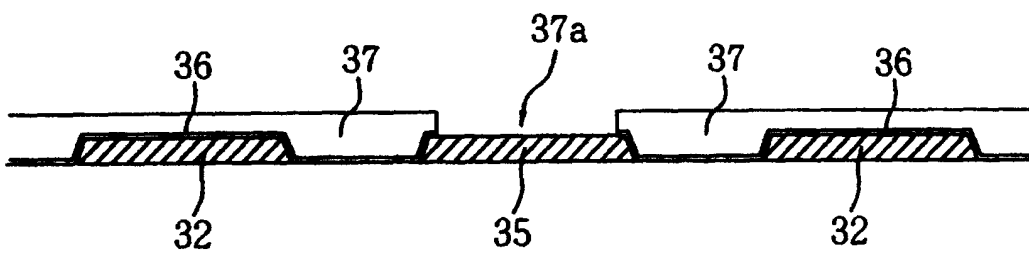


图 4D

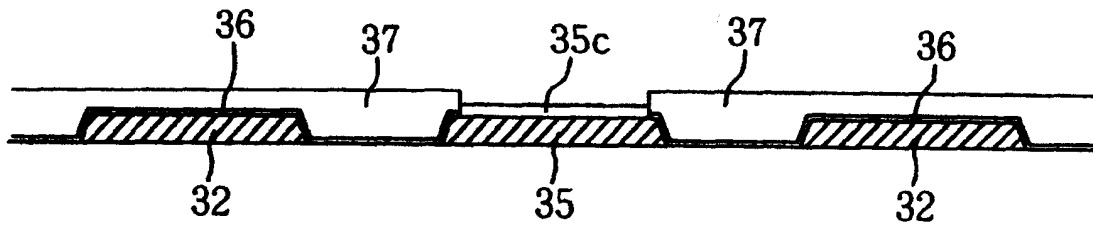


图 4E

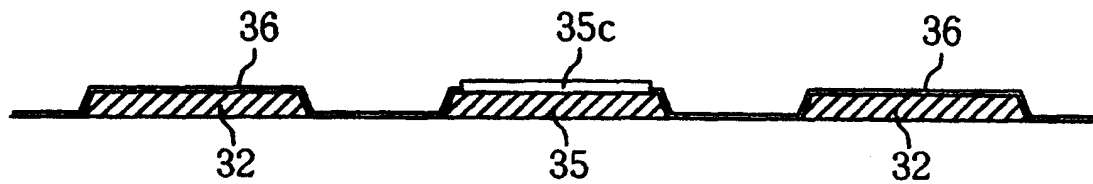


图 4F

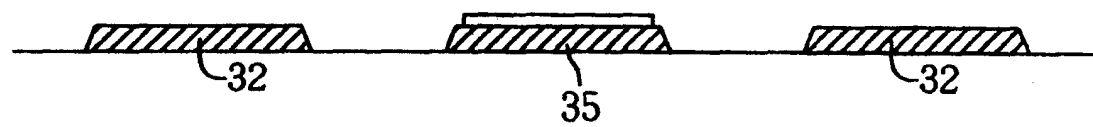


图 4G

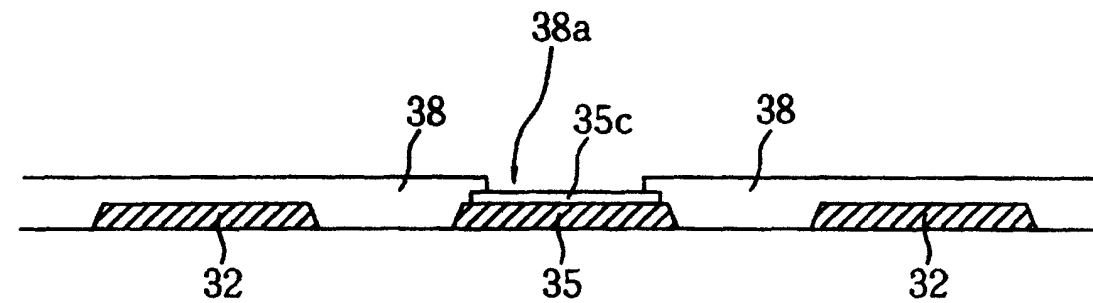


图 4H

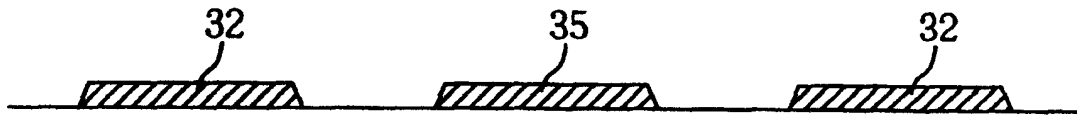


图 5A

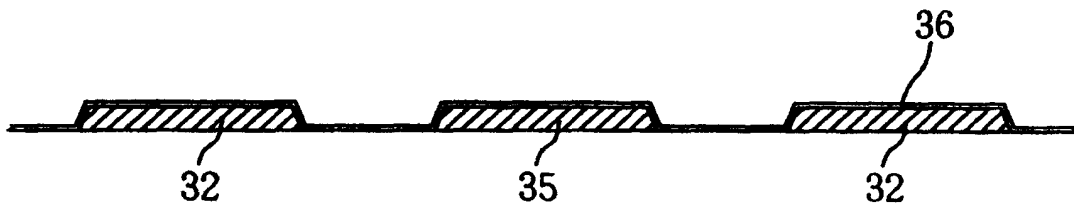


图 5B

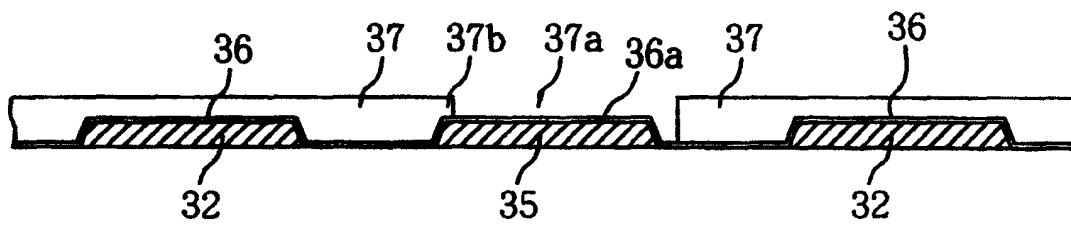


图 5C

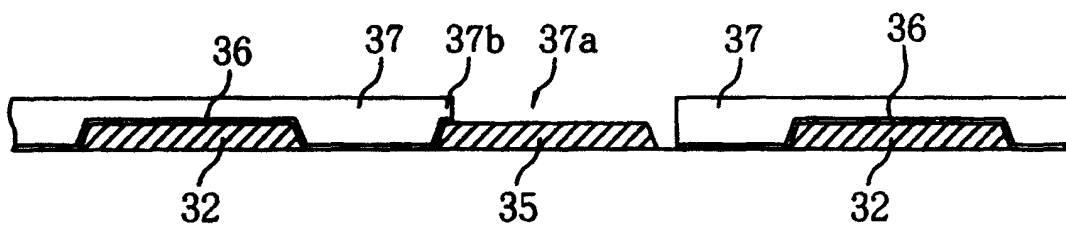


图 5D

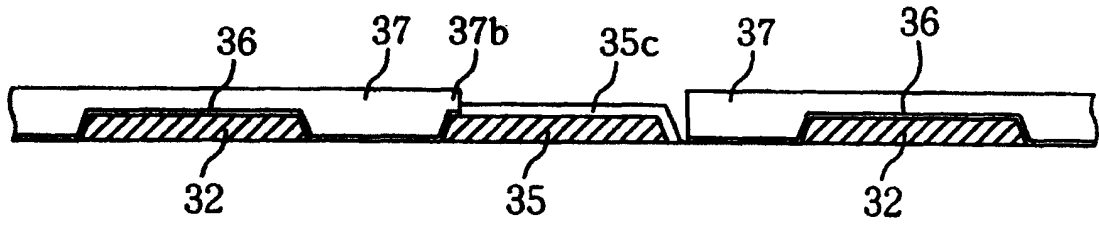


图 5E

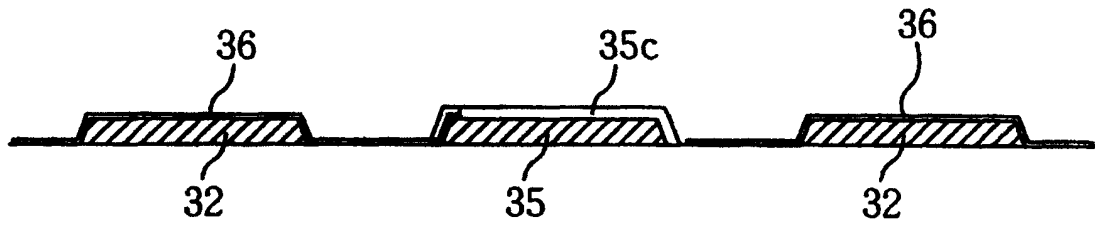


图 5F

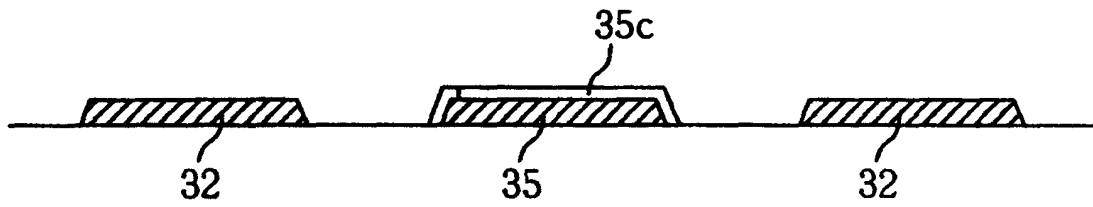


图 5G

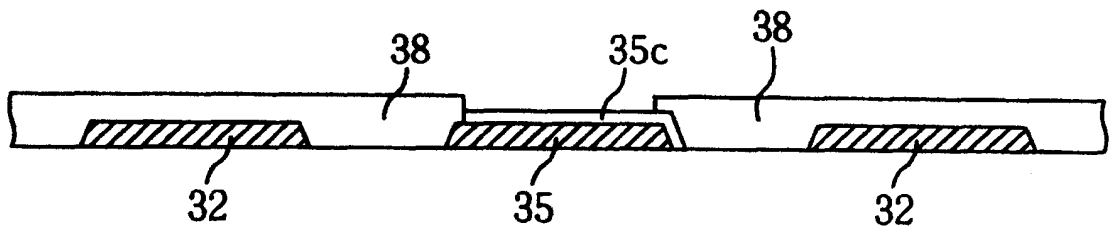


图 5H

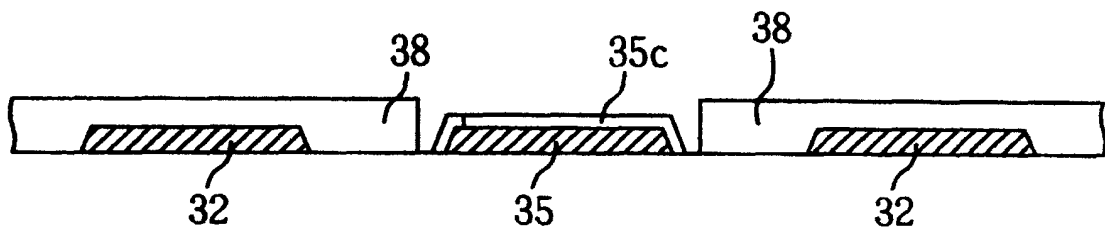


图 5I

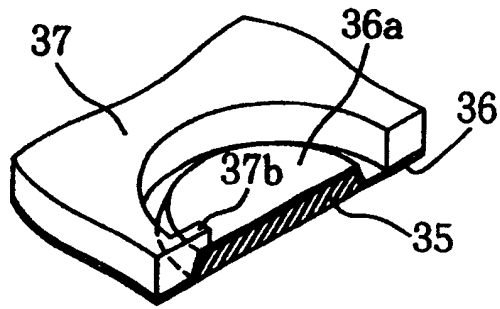


图 6A

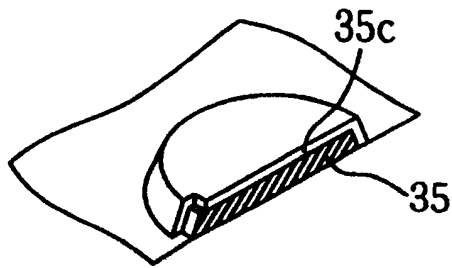


图 6B

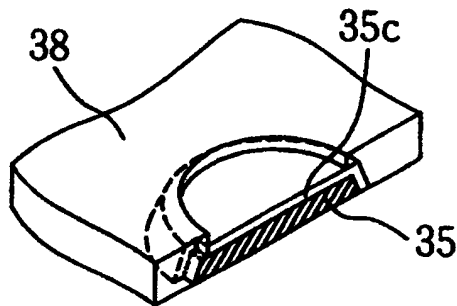


图 6C

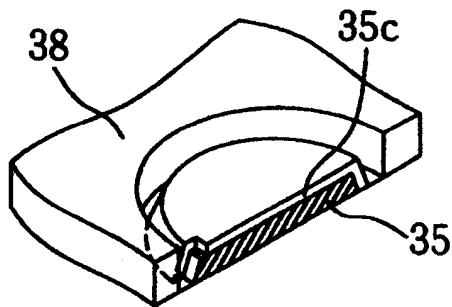


图 6D