

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

2001/05/15 60/291,253

有

有關微生物已寄存於

寄存日期

寄存號碼

無

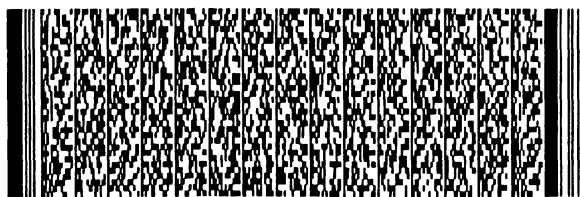


## 五、發明說明 (1)

本發明係有關於一種電路技術，特別是有關於利用差動信號做為邊緣對準觸發信號的資料傳輸系統，及其資料輸入/輸出緩衝器。

傳統高速輸入輸出匯流排(I/O bus)一般係採用擬差動(pseudo-differential)或全差動(fully differential)的方式，將較小振幅的資料信號還原成正常邏輯位準(即邏輯"1"或"0")的信號，再利用傳輸端所送來的同步時脈或閃控信號來門鎖輸出這些資料信號。以下分別說明習知技術之擬差動及全差動的資料比較器。

第1A圖和第1B圖分別表示習知擬差動資料比較器之電路圖和時序圖。如圖所示，擬差動資料比較器10分別接收待還原的資料信號DATA和固定之基準電壓VREF。根據資料信號DATA大於或小於基準電壓VREF，判斷其為邏輯"1"或邏輯"0"，藉以輸出正常位準之資料輸出信號DOUT。另一方面，第2A圖和第2B圖則分別表示習知全差動資料比較器之電路圖和時序圖。與習知擬差動資料比較器不同點在於，全差動資料比較器20係分別接收一正相資料信號DATA和一反相資料信號DATA#，兩者互為差動關係，資料輸出信號DOUT則是根據正相資料信號DATA和反相資料信號DATA#的信號大小來決定。然而，習知之擬差動或全差動方式都有其缺點。以擬差動方式來說，資料信號DATA的變化率(slew rate)以及基準電壓VREF的變動都有可能會改變資料輸出信號DOUT的時序，使得擬差動方式並不適合應用於高速輸入/輸出匯流排上。相對地，全差動方式的資料比較器則對於每一個資料信號，都必須提供另外一個接



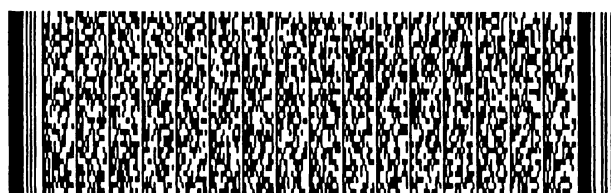
## 五、發明說明 (2)

腳來傳送其互補信號，因此也不利於目前要求降低晶片尺寸和外接線數量的晶片設計應用。

另一方面，當資料信號從傳送端經過傳輸線送到接收端時，可能會送到不同的效應而造成偏斜量(skew)，例如SSO(simultaneous switching output)、信號耦合問題(coupling)、串音問題(crosstalk)、信號線路徑不同以及電源/接地雜訊等等。因此，當資料信號上出現較大的偏斜量時，在接收端上進行資料取樣時便可能發生錯誤。

有鑑於此，本發明之主要目的在於提出一種資料傳輸系統，其可以採用差動信號對來做為資料比較器的參考電壓，藉此解決習知擬差動或全差動方式的缺點，同時在其接收端上利用此差動信號對做為邊緣對準觸發信號來取樣資料並且增加一延遲機制，藉以避免資料信號受到偏斜量影響而造成的取樣錯誤。

根據上述目的，本發明則提出一種資料傳輸系統，其包括複數傳輸線、一資料輸出部和一資料輸入部。資料輸出部則包括複數個傳送電路，分別耦接到傳輸線之一端，用以傳送至少一資料信號以及互為差動關係之正相差動信號和反相差動信號。其中，正相/反相差動信號之上昇/下降邊緣會與資料信號的上昇/下降邊緣對準。資料輸入部則包括了複數個第一比較器、一第二比較器、一第三比較器、一第一延遲元件、一第二延遲元件、一第一資料閘鎖器以及一第二資料閘鎖器。第一比較器為四輸入的資料比較器，分別對應於各資料信號。每個第一比較器係接收對應之資料信號以及正相/反相差動信號。其中在第一比較



## 五、發明說明(3)

器中，正相/反相差動信號做為動態基準電壓，也就是第一比較器會比較兩倍之對應資料信號和正相/反相差動信號之總和，並且根據兩者比較結果，產生對應之資料輸出信號。其中正相差動信號和反相差動信號之中間值為一固定電壓。

第二比較器和第三比較器則分別比較正相/反相差動信號之信號大小，並且產生互補之正相取樣時脈信號和反相取樣時脈信號。第一延遲元件和第二延遲元件則分別接收並且將正相/反相取樣時脈信號各延遲第一延遲時間和第二延遲時間，藉此產生正相/反相門鎖信號。同一組之第一資料門鎖器和第二資料門鎖器則接收同一資料輸出信號，分別由正相/反相門鎖信號控制門鎖動作，依序輸出第一門鎖資料和第二門鎖資料。

以下，就圖式說明本發明之資料傳輸系統以及輸入/輸出緩衝器。

## 圖式簡單說明

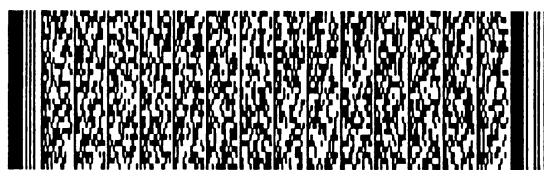
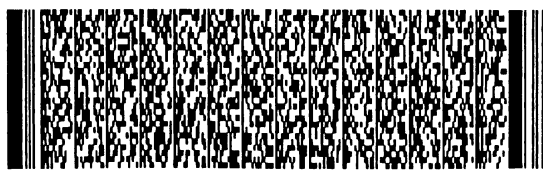
第1A圖和第1B圖分別表示習知擬差動資料比較器之電路圖和時序圖。

第2A圖和第2B圖分別表示習知全差動資料比較器之電路圖和時序圖。

第3圖表示本發明實施例中利用差動信號作為邊緣對準觸發信號的資料傳輸系統之示意圖。

第4圖表示第3圖中資料比較器之示意圖。

第5圖表示本發明實施例中資料比較器細部電路範例之電路圖。



## 五、發明說明 (4)

第6圖表示用以說明本發明實施例資料比較器作用之信號時序圖。

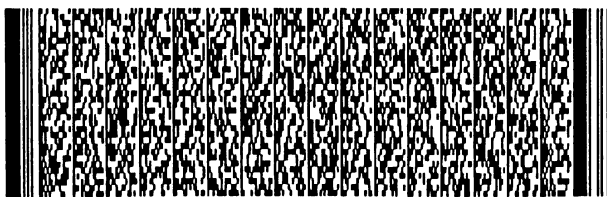
第7圖表示本發明與擬差動資料比較器的資料信號與正相/反相差動信號間偏斜量之比較。

第8圖表示資料信號與正相/反相差動信號間偏斜量之示意圖。

第9圖表示本發明實施例中資料輸出信號 $DOUT_n$ 、取樣時脈信號 $STB/STB\#$ 、門鎖信號 $CLK/CLK\#$ 、門鎖資料 $D_{n1}/D_{n2}$ 的信號時序圖。

## [ 符號說明 ]

- 5~資料傳輸系統；
- 10~擬差動資料比較器；
- 20~全差動資料比較器；
- 30~資料輸出部；
- $32_1-32_n$ 、34a、34b~傳送電路；
- 40~資料輸入部；
- $42_1-42_n$ 、44a、44b~傳送電路；
- $50_1-50_n$ 、 $50_y$ 、 $50_z$ ~傳輸線；
- 60~偏斜量；
- 80~資料輸出信號邊緣範圍；
- 82~取樣時脈信號邊緣範圍；
- 100、 $100_1-100_n$ ~資料比較器；
- 102a、102b~差動比較器；
- 110、112、120、122~PMOS電晶體；



## 五、發明說明 (5)

- 130、140~NMOS 電晶體；
- 150~反相器；
- 160~PMOS 電晶體；
- 200a、200b~延遲元件；
- $300_{11}$ - $300_{n1}$ 、 $300_{12}$ - $300_{n2}$ ~資料閃鎖器。

## 實施例

本發明中利用差動信號做為邊緣對準觸發信號之資料傳輸系統及其輸入/輸出緩衝器，主要是利用資料信號之輸出電路及其包括之輸入/輸出墊區(I/O pad)來傳送與資料信號邊緣對準的一組差動信號對，用來取代傳統的固定式基準電壓，藉以解決習知擬差動和全差動方式的缺點，並且在接收端處則設置一延遲元件來補償資料信號上之偏斜量。以下透過實施例，詳細說明本發明之內容。

首先說明本發明實施例之資料傳輸系統。第3圖表示本發明實施例中資料傳輸系統5之示意圖。如圖所示，資料傳輸系統5係由資料輸出部30、資料輸入部40以及分別連接資料輸出部30和資料輸入部40之間的複數條傳輸線 $50_1$ ~ $50_n$ 、 $50_y$ 、 $50_z$ 所構成。

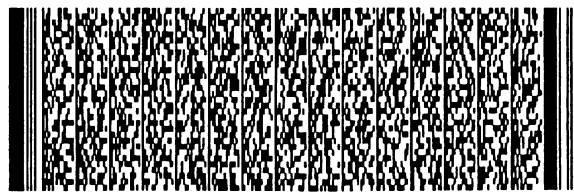
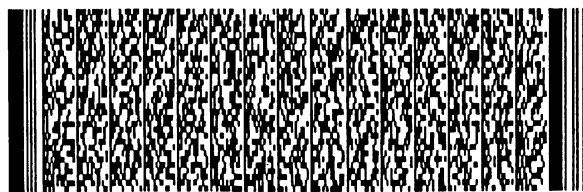
資料輸出部30用以傳送資料信號 $DATA_{1t}$ ~ $DATA_{nt}$ 以及一對正相/反相差動信號 $STROB_t$ / $STROB_t\#$ ，其包括複數個具有相同型式的傳送電路 $32_1$ ~ $32_n$ 、34a、34b，其中傳送電路 $32_1$ ~ $32_n$ 係用以傳送資料信號 $DATA_{1t}$ ~ $DATA_{nt}$ ，傳送電路34a、34b則是用來傳送正相/反相差動信號 $STROB_t$ / $STROB_t\#$ 。特別是正相/反相差動信號



## 五、發明說明 (6)

STROB<sub>t</sub>/STROB<sub>t</sub># 的上昇/下降邊緣(rising/falling edges)會與資料信號DATA<sub>1t</sub>~DATA<sub>nt</sub> 的上昇/下降邊緣對準。使用相同傳送電路以及將資料信號和差動信號對之邊緣對準的目的，是為了讓各資料信號與正相/反相差動信號之間形成一較佳的差動關係，此關係有利於在資料輸入部40的資料比較器中消除兩者間的共模雜訊。

資料輸入部40則包括複數個傳送電路(42<sub>1</sub>~42<sub>n</sub>、44a、44b)、資料比較器(100<sub>1</sub>~100<sub>n</sub>)、差動比較器(102a、102b)、延遲元件(200a、200b)，以及資料門鎖器(300<sub>11</sub>~300<sub>n1</sub>、300<sub>12</sub>~300<sub>n2</sub>)。其中，傳送電路42<sub>1</sub>~42<sub>n</sub>、44a、44b與資料輸出部30中之傳送電路32<sub>1</sub>~32<sub>n</sub>、34a、34b相同，用以使得資料輸入部40能夠雙向的傳送與接收資料。每個資料比較器100<sub>1</sub>~100<sub>n</sub>分別具有四個輸入端，兩者為正相輸入端(以符號"+"表示)而另兩者為反相輸入端(以符號 "-"表示)，正相輸入端均接收對應之資料信號DATA<sub>1</sub>~DATA<sub>n</sub>，反相輸入端則接收正相/反相差動信號STROB/STROB#，其中正相/反相差動信號STROB/STROB#係作為動態基準電壓，詳細內容稍後再說明。差動比較器102a和102b則分別耦接至傳輸線50<sub>y</sub>、50<sub>z</sub>用來比較正相/反相差動信號STROB/STROB#間的信號大小，其中差動比較器102a之正相輸入端和反相輸入端接收正相差動信號STROB及反相差動信號STROB#，產生正相取樣時脈信號STB；差動比較器102b之正相輸入端和反相輸入端接收反相差動信號STROB#及正相差動信號STROB，產生反相取樣時脈信號STB#。延遲元件200a和200b則分別用來將正相/反相取樣



## 五、發明說明 (7)

時脈信號STB/STB#延遲一延遲時間並且產生正相/反相門鎖信號CLK/CLK#。其中延遲時間為可以調整的數值，用來補償資料信號與正相/反相差動信號上所出現之偏斜量。對於每筆資料輸出信號(DOUT<sub>1</sub>~DOUT<sub>n</sub>)而言，則分別配置兩個資料門鎖器(300<sub>11</sub>/300<sub>12</sub>~300<sub>n1</sub>/300<sub>n2</sub>)來產生門鎖資料D<sub>11</sub>/D<sub>12</sub>~D<sub>n1</sub>/D<sub>n2</sub>。以資料輸出信號DOUT<sub>n</sub>為例，對應之資料門鎖器300<sub>n1</sub>和300<sub>n2</sub>分別利用正相/反相門鎖信號CLK/CLK#來控制門鎖動作，藉以分別產生門鎖資料D<sub>n1</sub>和D<sub>n2</sub>。利用互補之正相/反相門鎖信號CLK/CLK#，可以從單一資料信號DOUT<sub>n</sub>中產生兩筆門鎖資料D<sub>n1</sub>和D<sub>n2</sub>，這使得實際資料傳輸速率可以更快。由於正相/反相門鎖信號CLK/CLK#係分配到數個資料門鎖器上，因此可以透過二元樹分支架構進行信號配置，藉此降低信號間的偏斜量。

在本實施例之資料傳輸系統中，資料輸出部30會隨同資料信號，同時傳送一組差動信號對到資料輸入部40。此差動信號對係透過與資料信號相同型式的傳送電路(包含輸出入墊區)進行傳送，並且其上昇/下降邊緣與資料信號的上昇/下降邊緣對準，藉此與資料信號間形成較佳的差動關係。當差動信號對傳送到資料輸入部40，一方面在資料比較器100<sub>1</sub>~100<sub>n</sub>中做為動態基準電壓，另一方面在經過延遲處理來補償偏斜量，並且做為門鎖信號來取樣資料。以下分別詳細說明其動作。

首先說明本實施例中所採用之資料比較器100<sub>1</sub>~100<sub>n</sub>。第4圖表示本發明實施例中資料比較器100的示意圖。每個資料比較器100包括四個輸入端，其中兩個是正相輸入端





## 五、發明說明 (8)

(以符號"+"表示)，另外兩個是反相輸入端(以符號 "-" 表示)。兩個正相輸入端係接收相應之資料信號DATA，另兩個反相輸入端則接收正相/反相差動信號STROB/STROB#，其為差動型式的週期信號。資料比較器100的動作是比較兩倍之對應資料信號DATA與正相/反相差動信號STROB/STROB#的總和，並且根據兩者比較結果，產生對應之資料輸出信號DOUT。

第5圖表示本發明實施例中資料比較器100細部電路範例的電路圖。第5圖所示者為一簡單的實施範例。如圖所示，資料比較器100包括做為電流源元件的PMOS電晶體160，閘極分別接收兩組資料信號DATA和正相/反相差動信號STROB/STROB#的PMOS電晶體110、112、120、122，以及做為電路負載用之NMOS電晶體130、140所組成的電流鏡架構。另外，由於端點A上的電壓與資料信號DATA反相，故增加一反相器150，輸出對應之資料輸出信號DOUT。

根據第4圖和第5圖可知，資料比較器100是利用差動信號型式之正相/反相差動信號STROB/STROB#做為動態基準電壓來比對資料信號DATA。事實上，無論資料信號DATA是在何種邏輯狀態("1"或"0")，在對應之資料信號DATA和正相/反相差動信號STROB/STROB#之間都存在一固定電壓差。

第6圖表示用以說明本發明實施例資料比較器100作用之信號時序圖。假設資料信號DATA和正相/反相差動信號STROB/STROB#之位準均係在+Vf和-Vf之間變化。圖中分為四種情況：



## 五、發明說明 (9)

(I) 資料信號DATA為 $+V_f$ ，正相/反相差動信號STROB/STROB#分別為 $+V_f$ 、 $-V_f$ ；

(II) 資料信號DATA為 $+V_f$ ，正相/反相差動信號STROB/STROB#分別為 $-V_f$ 、 $+V_f$ ；

(III) 資料信號DATA為 $-V_f$ ，正相/反相差動信號STROB/STROB#分別為 $-V_f$ 、 $+V_f$ ；

(IV) 資料信號DATA為 $-V_f$ ，正相/反相差動信號STROB/STROB#分別為 $+V_f$ 、 $-V_f$ 。

在上述四種情況中，正相/反相差動信號STROB/STROB#中之一者會與一筆資料信號DATA抵消(圖中以符號"X"表示)，而另一筆資料信號DATA則會累加到另一個差動信號(圖中以符號"0"表示)，其電壓差為 $+2V_f$ 或 $-2V_f$ 。因此當資料信號DATA在切換時，在資料比較器100的輸入上會看到原來資料信號DATA的兩倍變化率。一旦此電壓差接近到零時，即意味著資料輸出信號DOUT將要改變其輸出值。亦即，在輸入端的零電壓差點是相當接近於資料信號DATA的輸入臨界電壓。

在實際的電路中，由於STROB/STROB#與DATA的訊號源相同，在SSO的效應之下會使得DATA準位改變時，準位改變與DATA相同的STROB或者STROB#會同時產生遞延的現象。如第7圖之繪示，當大部分DATA訊號皆由高準位轉換至低準位時，STROB與DATA會由原先的訊號72遞延至訊號70，而STROB#則不會有太大的改變。

假設此時所使用的資料比較器為擬差動比較器，由第7圖之繪示可知，與理想狀況相較，DATA到達參考電壓(比



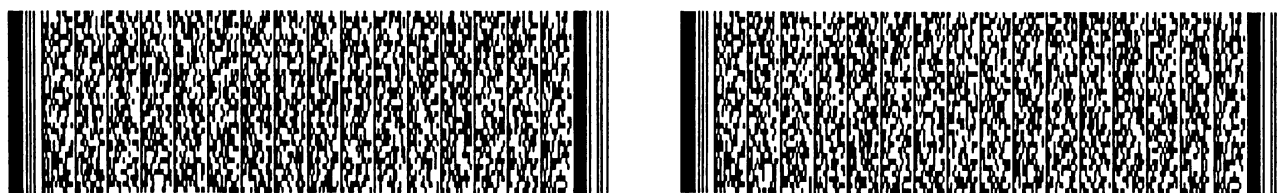
## 五、發明說明 (10)

較電壓)所產生的延遲即為 $\Delta T_s$ ，並且需要 $\Delta T_m$ 的時間到達擬差動比較器的差動電壓 $\Delta V_m$ ，使得擬差動比較器轉換準位。因此偏斜量即為 $(\Delta T_s + \Delta T_m)$ 。

若使用本發明之資料比較器，DATA到達參考電壓的比較電壓即為 $\Delta T_{sc}$ ，並且需要 $\Delta T_{mc}$ 的時間到達本發明資料比較器的差動電壓 $\Delta V_m$ 。因此，偏斜量為 $(\Delta T_{sc} + \Delta T_{mc})$ 。所以相較於擬差動比較器，本發明之資料比較器可減少 $(\Delta T_s - \Delta T_{sc}) + (\Delta T_m - \Delta T_{mc})$ 的偏斜量。

利用正相/反相差動信號STROB/STROB#做為動態基準電壓之資料比較器，可以同時解決習知全差動和擬差動資料比較器的缺點。亦即，減輕習知擬差動方式中資料信號變化率以及基準電壓變動改變資料輸出信號時序之問題，同時也不需要如習知全差動方式般對於每筆資料信號另外增加一接腳傳送其互補信號。另外在本實施例中，由於差動信號對係透過與資料信號相同型式的傳送電路進行傳送並且其上昇/下降邊緣與資料信號的上昇/下降邊緣對準，因此在資料比較器中可以抵消彼此間的共模雜訊，獲致較佳之信號雜訊比(Signal-to-Noise Ratio, SNR)。

另一方面，正相/反相差動信號STROB/STROB#在經過處理及延遲一既定延遲時間後，同時也做為資料門鎖用的門鎖信號CLK/CLK#。第8圖表示資料信號DATA與正相/反相差動信號STROB/STROB#間偏斜量之示意圖。如圖所示，當偏斜量 $\theta$ 較大時，可能會使得資料信號DATA越過正相/反相差動信號STROB/STROB#之交越點，這種情況在實際進行資料取樣時，則有可能導致資料錯誤。如第1圖所示，在



## 五、發明說明 (11)

本實施例中，正相/反相差動信號STROB/STROB#會透過差動比較器102a和102b，產生正相/反相取樣時脈信號STB/STB#，並且透過延遲元件200a和200b延遲一延遲時間，產生正相/反相門鎖信號CLK/CLK#。最後再分別利用正相/反相門鎖信號CLK/CLK#，由對應每一筆資料輸出信號DOUT<sub>n</sub>的兩個資料門鎖器300<sub>n1</sub>和300<sub>n2</sub>來產生兩筆門鎖資料D<sub>n1</sub>和D<sub>n2</sub>。必須注意的是差動信號對以及取樣時間信號對是與資料信號的邊緣對準，並且資料信號本身會受到不同來源所造成之偏斜量而影響。因此，延遲元件200a和200b對於正相/反相取樣時脈信號STB/STB#所提供的延遲時間，即是用來補償此偏斜量，藉以避免資料取樣錯誤。另一方面，本實施例之資料輸入端架構中係利用正相/反相門鎖信號CLK/CLK#分別對一個資料輸出信號進行資料門鎖取樣，因此其門鎖資料之速率可以加倍，達到高速資料傳輸的目的。

第8圖表示本發明實施例中資料輸出信號DOUT<sub>n</sub>、取樣時脈信號STB/STB#、門鎖信號CLK/CLK#、門鎖資料D<sub>n1</sub>/D<sub>n2</sub>的信號時序圖。在第9圖中，斜線區表示對應信號之上昇/下降邊緣之可能範圍。如圖所示，資料輸出信號DOUT<sub>n</sub>的邊緣變化範圍以符號80表示，其主要受到SSO、信號耦合、串音、信號線路徑不同以及電源/接地雜訊等等原因所造成之偏斜量。另外，正相/反相取樣時脈信號STB/STB#的邊緣變化範圍則以符號82表示，主要係受到SSO及電源/接地雜訊等等原因所造成之偏斜量。利用延遲元件200a和200b將正相/反相取樣時脈信號STB/STB#延遲



## 五、發明說明 (12)

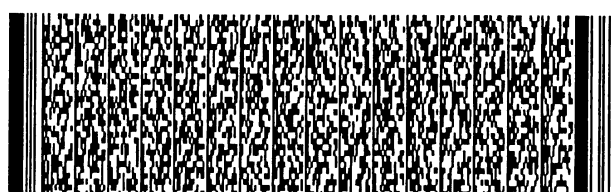
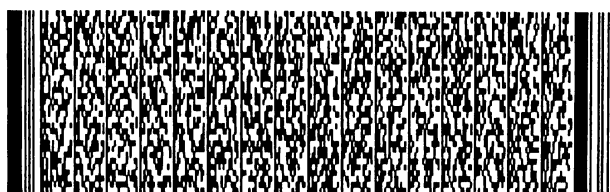
一延遲時間 $T_d$ ，便可以分別利用正相/反相門鎖信號 CLK/CLK# 來取得門鎖資料 $D_{n1}$  以及門鎖資料 $D_{n2}$ 。其中，延遲時間 $T_d$ 可以視應用而調整，並且延遲元件200a和200b所提供之延遲時間也可以不相同，只要能夠達到補償偏斜量之目的，便符合本實施例之要求。

根據以上所述，本發明之資料傳輸系統則具有以下之優點：

1. 在本發明中，由資料輸出部所送出之正相/反相差動信號，可以做為動態基準電壓來比對資料信號，其特性優於習知之全差動或擬差動方式。其中，在四輸入資料比較器的輸入端上所看到之電壓變化，會比傳統擬差動方式更為陡峭。只要差動信號對的波形具有對稱性，便可以獲致較佳之基準電壓穩定性。另外，本發明中的每個資料信號都只需要使用單一接腳進行傳輸，因此對於目前晶片設計的趨勢相當有利。

2. 差動信號對係透過與資料信號相同型式的傳送電路進行傳送，並且其上昇/下降邊緣與資料信號的上昇/下降邊緣對準，因此兩者間可以維持良好的差動關係。所以在本發明之資料比較器中，便可以抵消彼此間的共模雜訊，藉此維持良好的雜訊容許範圍。

3. 由於在本發明中，資料輸出信號的輸出時序不會受到相對於正相/反相差動信號間交越點偏移的情況而有所影響，因此不需要擔心在正相/反相差動信號和資料信號間繞線所引起的額外偏斜。但是必須要讓正相/反相差動信號具有相同的繞線，藉此儘可能維持其波形對稱。特

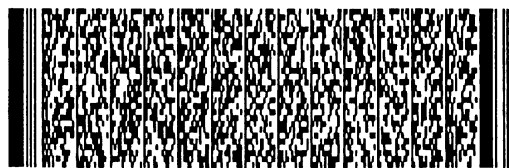
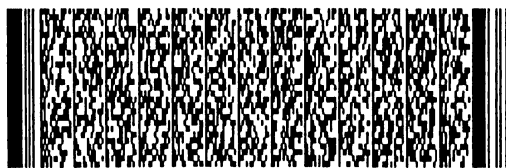


## 五、發明說明 (13)

別是經過延遲處理後的正相/反相門鎖信號，其目的便是補償資料信號上偏斜量，並且從單一資料輸出信號中取樣出兩筆門鎖資料，藉此不僅可以消除偏斜量的影響，同時可以獲致較高的資料速率。在本發明中，最大資料速率是由該延遲元件以及資料門鎖器的設定/維持時間

(setup/hold time)所限制，亦即 $T_{data} \geq T_d + T_s + T_h$ ，其中 $T_{data}$ 表示資料信號的位元時間， $T_d$ 表示延遲元件的延遲時間， $T_s$ 和 $T_h$ 分別表示資料門鎖器的設定時間和維持時間。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

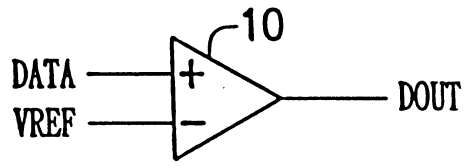


四、中文發明摘要 (發明之名稱：利用差動信號做為邊緣對準觸發信號之資料傳輸系統及其輸入/輸出緩衝器)

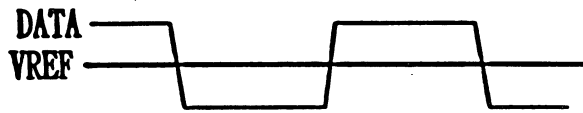
一種利用差動信號做為邊緣對準觸發信號之資料傳輸系統。其資料輸入部和資料輸出部之間，以相同傳送架構傳送資料信號以及一組差動信號對，其中資料信號和差動信號對的邊緣對準。資料輸入部中則包括複數個資料比較器，利用所接收之差動信號對做為動態基準電壓，由資料信號產生資料輸出信號。另外，分別利用比較器和延遲元件，由差動信號對產生一組正相/反相門鎖信號。每筆資料輸出信號則是輸入至兩個資料門鎖器，分別由正相/反相門鎖信號控制其門鎖動作，依序輸出第一門鎖資料和第二門鎖資料。

英文發明摘要 (發明之名稱：)

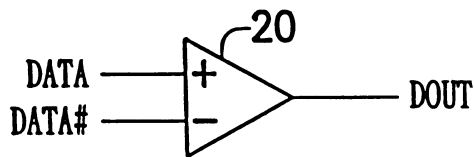




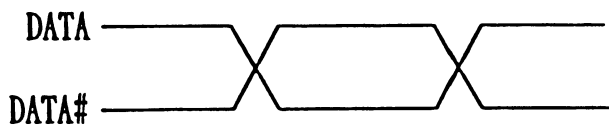
第 1A 圖



第 1B 圖

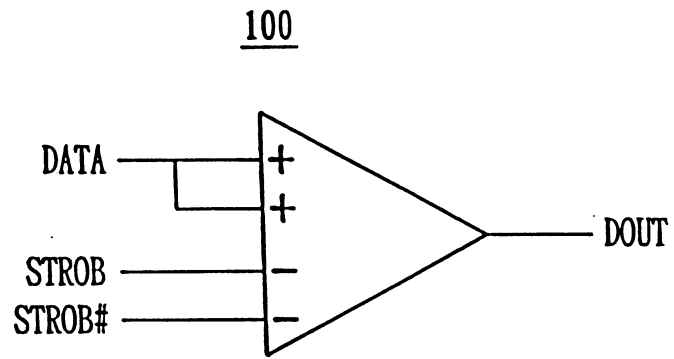


第 2A 圖

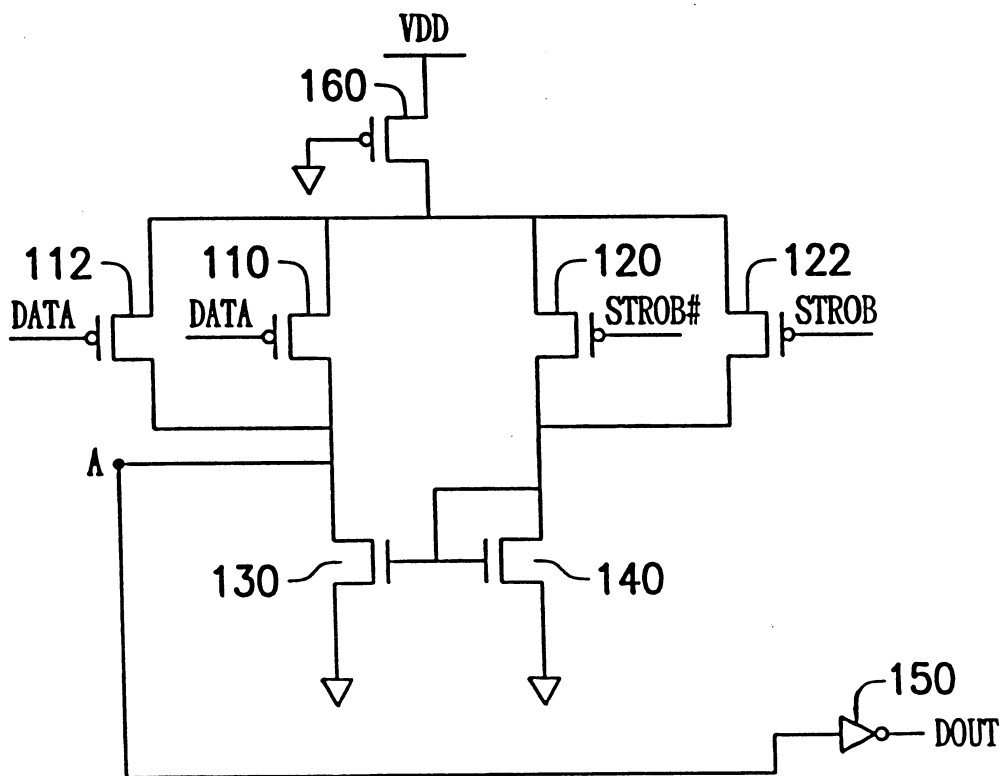


第 2B 圖

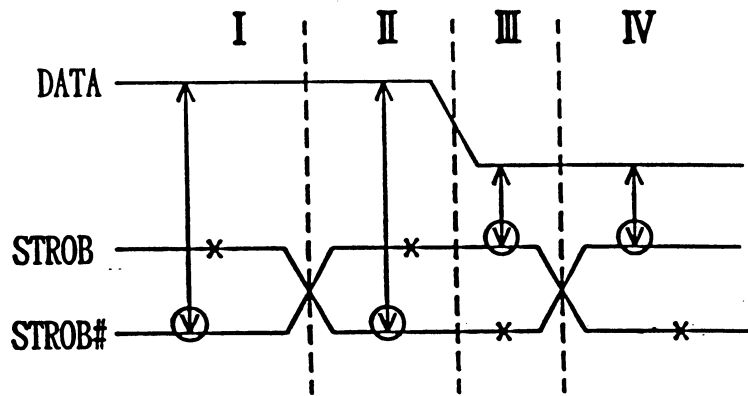




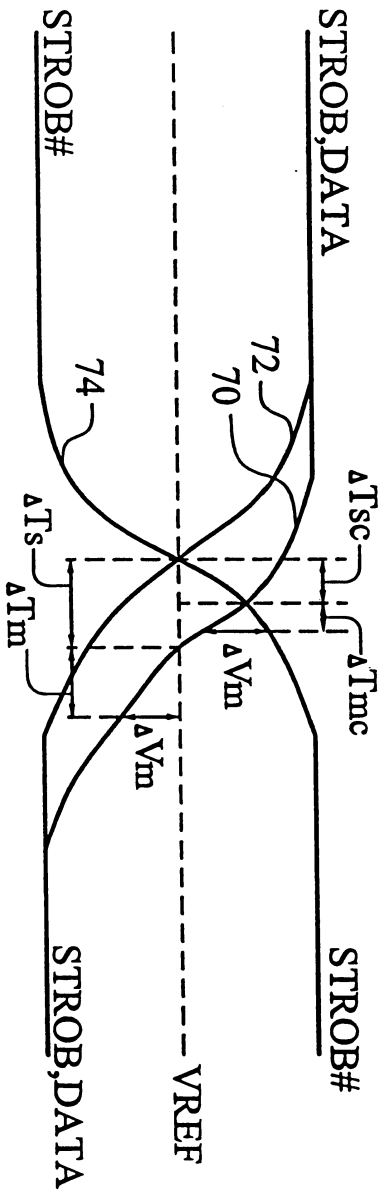
第 4 圖



第 5 圖



第 6 圖



第 7 圖

# 公告

90年12月7日

修正本

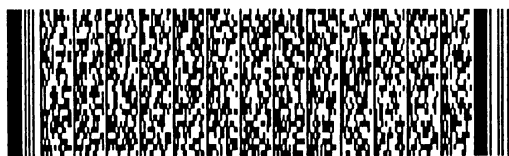
申請日期： P0.12.25	案號： 90132243	90年12月7日	修正
類別： H03K 1P/0175		補充	

(以上各欄由本局填註)

## 發明專利說明書

569534

一、發明名稱	中文	利用差動信號做為邊緣對準觸發信號之資料傳輸系統及其輸入/輸出緩衝器
	英文	
二、發明人	姓名(中文)	1. 張 棋
	姓名(英文)	1.
	國籍	1. 中華民國
	住、居所	1. 台北市光復南路280巷46號4樓
三、申請人	姓名(名稱)(中文)	1. 威盛電子股份有限公司
	姓名(名稱)(英文)	1.
	國籍	1. 中華民國
	住、居所(事務所)	1. 台北縣新店市中正路五三五號八樓
	代表人姓名(中文)	1. 王雪紅
	代表人姓名(英文)	1.



## 六、申請專利範圍

## 1. 一種資料傳輸系統，其包括：

複數傳輸線，分別具有第一端和第二端；

一資料輸出部，其包括複數傳送電路，上述傳送電路分別耦接於上述傳輸線之第一端，用以傳送至少一資料信號以及互為差動關係之正相差動信號和反相差動信號至上述傳輸線，其中上述資料信號係與上述正相差動信號或反相差動信號之邊緣對準；以及

一資料輸入部，其包括：

一第一比較器，用以接收上述資料信號、上述正相差動信號和上述反相差動信號，並且比較兩倍之上述資料信號和上述正相差動信號和上述反相差動信號之和，根據兩者比較結果，產生一資料輸出信號；

一第二比較器，用以比較上述正相差動信號和上述反相差動信號之信號大小並且產生一正相取樣時脈信號；

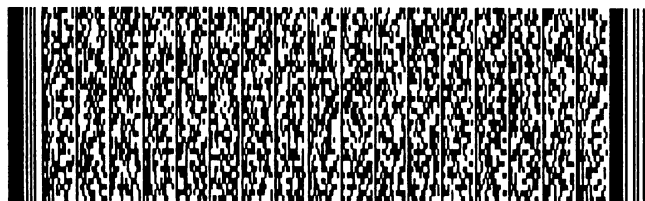
一第三比較器，用以比較上述反相差動信號和上述正相差動信號之信號大小並且產生與上述正相取樣時脈信號互補之反相取樣時脈信號；

一第一延遲元件，其接收並且將上述正相取樣時脈信號延遲一第一延遲時間，用以產生一正相門鎖信號；

一第二延遲元件，其接收並且將上述反相取樣時脈信號延遲一第二延遲時間，用以產生一反相門鎖信號；

一第一資料門鎖器，其接收上述資料輸出信號並且由上述正相門鎖信號控制門鎖動作，用以輸出一第一門鎖資料；以及

一第二資料門鎖器，其接收上述資料輸出信號並且由



## 六、申請專利範圍

上述反相閘鎖信號控制閘鎖動作，用以輸出一第二閘鎖資料。

2．如申請專利範圍第1項所述之資料傳輸系統，其中上述第一延遲時間和上述第二延遲時間係用以補償上述資料信號之偏斜量。

3．如申請專利範圍第1項所述之資料傳輸系統，其中上述正相差動信號和上述反相差動信號之中間值為一固定電壓。

4．如申請專利範圍第1項所述之資料傳輸系統，其中上述第一比較器包括：

一電流源元件，其第一端耦接於一第一高電壓；

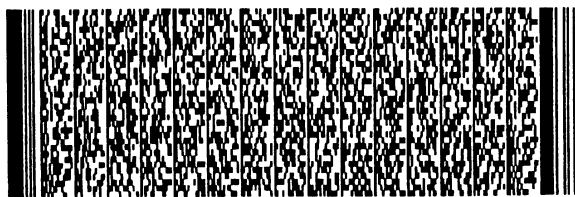
一負載元件，其為具有第一端和第二端之一電流鏡架構；

一第一電晶體，其閘極耦接於上述資料信號，其源汲極分別耦接於上述電流源元件之第二端和上述負載元件之第一端；

一第二電晶體，其閘極耦接於上述資料信號，其源汲極分別耦接於上述電流源元件之第二端和上述負載元件之第一端；

一第三電晶體，其閘極耦接於上述正相差動信號，其源汲極分別耦接於上述電流源元件之第二端和上述負載元件之第二端；以及

一第四電晶體，其閘極耦接於上述反相差動信號，其源汲極分別耦接於上述電流源元件之第二端和上述負載元件之第二端；



## 六、申請專利範圍

其中根據上述第一電晶體和上述負載元件之接點電壓，決定上述資料輸出信號。

5. 如申請專利範圍第1項所述之資料傳輸系統，其中上述信號資料和對應之上述第一資料閘鎖器和第二資料閘鎖器為複數個，上述資料輸入部係利用二元樹狀分支結構，用以將上述正相閘鎖信號配置至上述第一資料閘鎖器並且將上述反相閘鎖信號配置至上述第二資料閘鎖器。

6. 一種資料傳輸系統，其包括：

複數傳輸線，分別具有第一端和第二端；

一資料輸出部，用以傳送至少一資料信號以及互為差動關係之正相差動信號和反相差動信號至上述傳輸線，其中上述資料信號係與上述正相差動信號或反相差動信號之邊緣對準；以及

一資料輸入部，用以接收上述資料信號以及上述正相差動信號和反相差動信號，其包括：

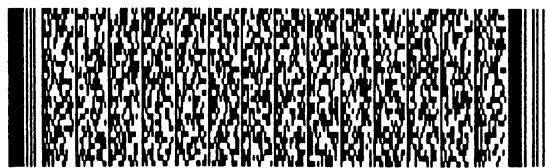
一第一比較器，其以根據所接收之上述資料信號產生一資料輸出信號；

一第二比較器，用以比較上述正相差動信號和上述反相差動信號之信號大小並且產生一正相取樣時脈信號；

一第一延遲元件，其接收並且將上述正相取樣時脈信號延遲一第一延遲時間，用以產生一正相閘鎖信號；以及

一第一資料閘鎖器，其接收上述資料輸出信號並且由上述正相閘鎖信號控制閘鎖動作，用以輸出一第一閘鎖資料。

7. 如申請專利範圍第6項所述之資料傳輸系統，其中



## 六、申請專利範圍

上述第一延遲時間係用以補償上述資料信號之偏斜量。

8. 如申請專利範圍第6項所述之資料傳輸系統，其中更包括：

一 第三比較器，用以比較上述反相差動信號和上述正相差動信號之信號大小並且產生與上述正相取樣時脈信號互補之反相取樣時脈信號；

一 第二延遲元件，其接收並且將上述反相取樣時脈信號延遲一第二延遲時間，用以產生一反相門鎖信號；以及

一 第二資料門鎖器，其接收上述資料輸出信號並且由上述反相門鎖信號控制門鎖動作，用以輸出一第二門鎖資料。

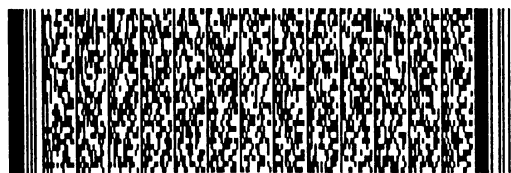
9. 如申請專利範圍第8項所述之資料傳輸系統，其中上述第一延遲時間和上述第二延遲時間係用以補償上述資料信號之偏斜量。

10. 如申請專利範圍第6項所述之資料傳輸系統，其中上述信號資料和對應之上述第一資料門鎖器和第二資料門鎖器為複數個，上述資料輸入部係利用二元樹狀分支結構，用以將上述正相門鎖信號配置至上述第一資料門鎖器並且將上述反相門鎖信號配置至上述第二資料門鎖器。

11. 一種資料輸入緩衝器，其耦接複數傳輸線並且接收至少一資料信號以及互為差動關係之正相差動信號和反相差動信號，其包括：

一 第一比較器，其以根據所接收之上述資料信號產生一資料輸出信號；

一 第二比較器，用以比較上述正相差動信號和上述反





## 六、申請專利範圍

相差動信號之信號大小並且產生一正相取樣時脈信號；

一第一延遲元件，其接收並且將上述正相取樣時脈信號延遲一第一延遲時間，用以產生一正相閘鎖信號；以及

一第一資料閘鎖器，其接收上述資料輸出信號並且由上述正相閘鎖信號控制閘鎖動作，用以輸出一第一閘鎖資料。

12. 如申請專利範圍第11項所述之資料輸入緩衝器，其中上述第一比較器更接收上述正相差動信號和上述反相差動信號，用以比較兩倍之上述資料信號和上述正相差動信號和上述反相差動信號之和，根據兩者比較結果，產生上述資料輸出信號。

13. 如申請專利範圍第12項所述之資料輸入緩衝器，其中上述正相差動信號和上述反相差動信號之中間值為一固定電壓。

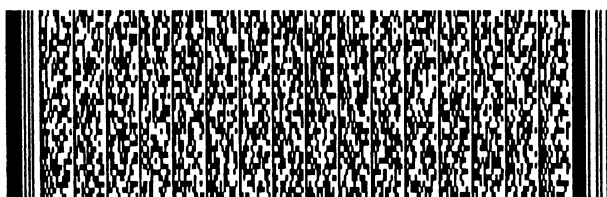
14. 如申請專利範圍第11項所述之資料輸入緩衝器，其中上述第一延遲時間係用以補償上述資料信號之偏斜量。

15. 如申請專利範圍第11項所述之資料輸入緩衝器，其中更包括：

一第三比較器，用以比較上述反相差動信號和上述正相差動信號之信號大小並且產生與上述正相取樣時脈信號互補之反相取樣時脈信號；

一第二延遲元件，其接收並且將上述反相取樣時脈信號延遲一第二延遲時間，用以產生一反相閘鎖信號；以及

一第二資料閘鎖器，其接收上述資料輸出信號並且由



## 六、申請專利範圍

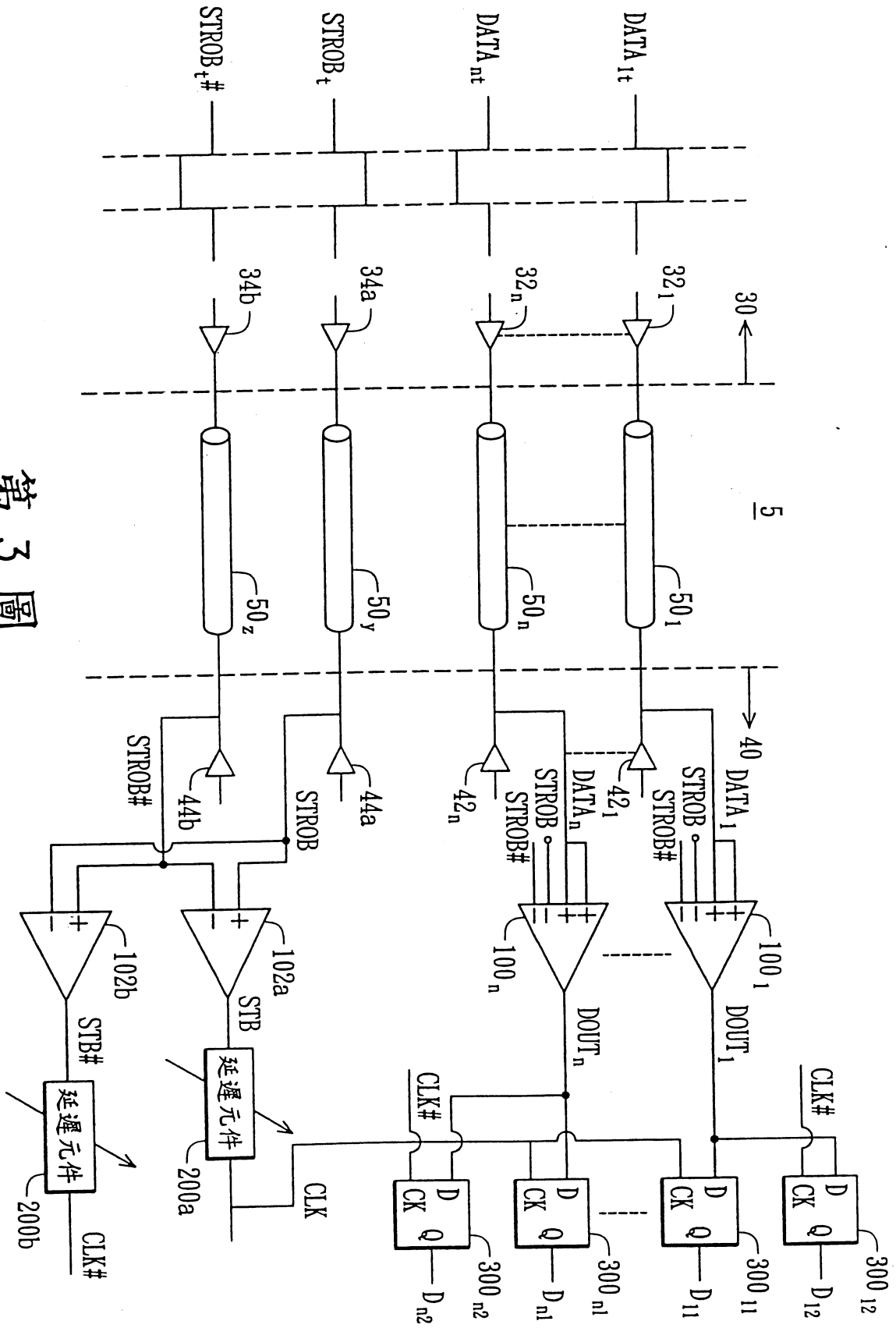
上述反相閘鎖信號控制閘鎖動作，用以輸出一第二閘鎖資料。

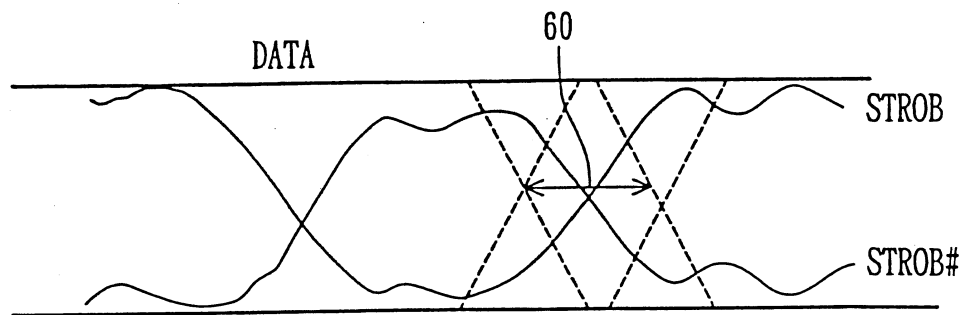
16．如申請專利範圍第15項所述之資料輸入緩衝器，其中上述第一延遲時間和上述第二延遲時間係用以補償上述資料信號之偏斜量。

17．如申請專利範圍第11項所述之資料輸入緩衝器，其中上述信號資料和對應之上述第一資料閘鎖器和第二資料閘鎖器為複數個，上述資料輸入部係利用二元樹狀分支結構，用以將上述正相閘鎖信號配置至上述第一資料閘鎖器並且將上述反相閘鎖信號配置至上述第二資料閘鎖器。

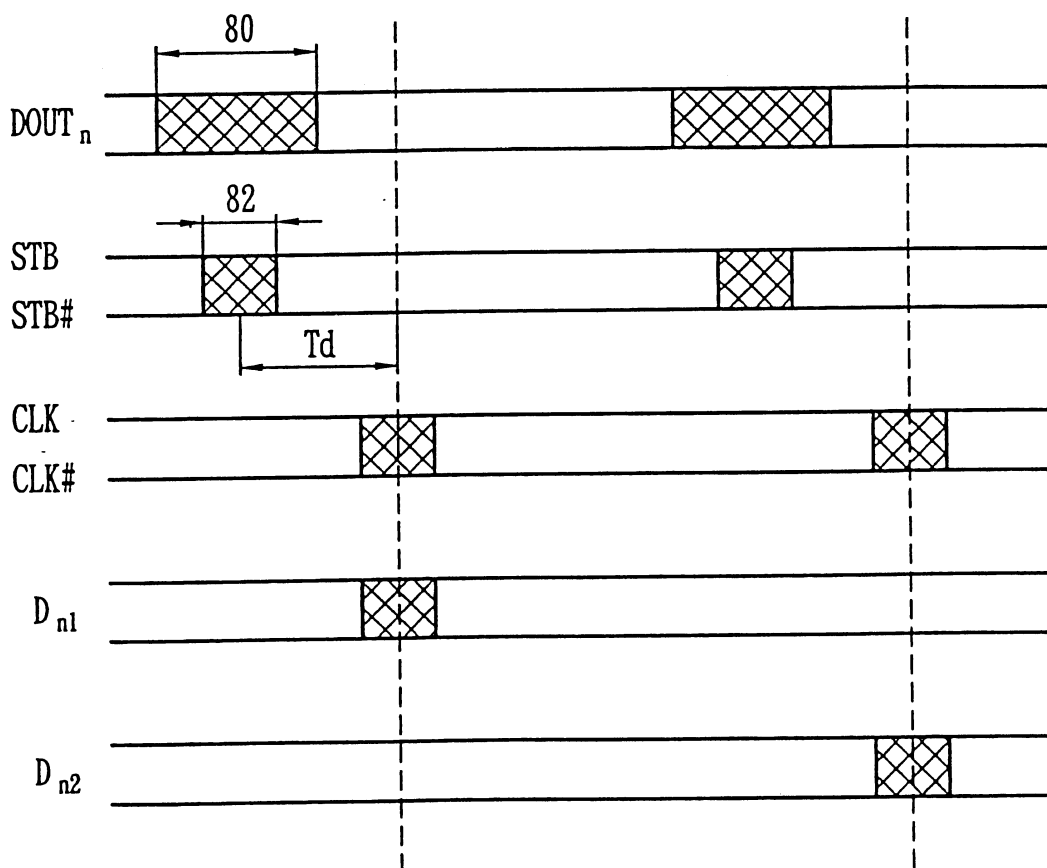


第3圖





第 8 圖



第 9 圖