

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-79678

(P2006-79678A)

(43) 公開日 平成18年3月23日(2006.3.23)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 29/40 (2006.01)	G 1 1 C 29/00 6 5 5 C	2 G 1 3 2
G O 1 R 31/28 (2006.01)	G O 1 R 31/28 B	5 L 1 0 6
	G O 1 R 31/28 V	

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号	特願2004-260158 (P2004-260158)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年9月7日(2004.9.7)	(71) 出願人	598010562 東芝エルエスアイシステムサポート株式会社 神奈川県川崎市幸区堀川町580番地
		(74) 代理人	100109900 弁理士 堀口 浩
		(72) 発明者	山口 靖雄 神奈川県川崎市幸区堀川町580番地 東芝エルエスアイシステムサポート株式会社内
		Fターム(参考)	2G132 AA08 AC04 AK07 AK09 AK29 AL00 5L106 DD24 DD25

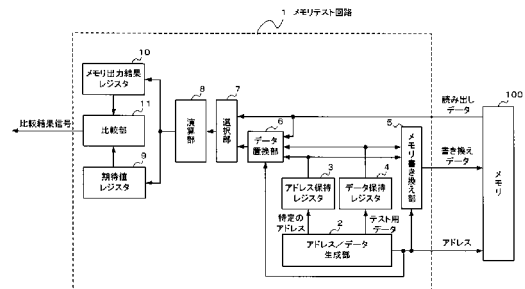
(54) 【発明の名称】 メモリテスト回路およびメモリテスト方法

(57) 【要約】

【課題】 メモリテストを容易に行うことのできるメモリテスト回路およびメモリテスト方法を提供する。

【解決手段】 アドレス/データ生成部2でテスト対象アドレスとテスト用データを生成して、アドレス保持レジスタ3とデータ保持レジスタ4に保持した後、メモリ100から読み出した初期値のデータのテスト対象アドレスのデータをテスト用データに置換して演算部8で演算を行い、その結果を期待値レジスタ9に保持する。その後、アドレス保持レジスタ3とデータ保持レジスタ4に保持していたデータを用いてメモリ書き換え部5でメモリ100を書き換えた後、メモリ100からデータを読み出して演算部8で演算を行い、その結果をメモリ出力結果レジスタ10に保持する。比較部11は、メモリ出力結果レジスタ10と期待値レジスタ9の値を比較して比較結果信号を出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

メモリへ与えるアドレスおよびデータを生成するアドレス/データ生成手段と、
前記アドレス/データ生成回路で生成されたテスト対象の特定のアドレスを保持するアドレス保持レジスタと、
前記アドレス/データ生成回路で生成されたテスト用データを保持するデータ保持レジスタと、
前記メモリから読み出したデータを、前記アドレス保持レジスタに保持された前記特定のアドレスに該当するアドレスのデータは前記データ保持レジスタに保持された前記テスト用データに置換し、それ以外のアドレスのデータはそのまま出力するデータ置換手段と、
前記メモリの前記アドレス保持レジスタに保持された前記特定のアドレスを前記データ保持レジスタに保持された前記テスト用データに書き換えるメモリ書き換え手段と、
前記データ置換手段の出力データと前記メモリから読み出されたデータのいずれかを選択する選択手段と、
前記選択手段の出力に対して所定の演算を行う演算手段と、
前記選択手段が前記データ置換手段の出力データを選択したときの前記演算手段の出力を期待値として保持する期待値レジスタと、
前記選択手段が前記メモリから読み出されたデータを選択したときの前記演算手段の出力をメモリ出力結果として保持するメモリ出力結果レジスタと、
前記期待値レジスタの出力と前記メモリ出力結果レジスタの出力を比較して比較結果信号を出力する比較手段と
を具備することを特徴とするメモリテスト回路。

10

20

【請求項 2】

前記比較結果信号が、前記特定アドレスに対するメモリ動作の良否を判定する信号として使用される請求項 1 に記載のメモリテスト回路。

【請求項 3】

予め初期値が書き込まれたメモリのテスト対象の特定のアドレスを書き換えるためのテスト用データを生成するステップと、
前記テスト用データを保持するステップと、
前記メモリの全アドレスのデータを順次読み出し、そのうちの前記特定のアドレスのデータのみは前記保持されている前記テスト用データに置換して置換データを生成するステップと、
前記置換データに対して所定の演算を行うステップと、
前記置換データに対する演算結果を期待値として保持するステップと、
前記メモリの前記特定のアドレスのデータを前記保持されている前記テスト用データで書き換えるステップと、
前記書き換え後の前記メモリの全アドレスのデータを順次読み出す 2 回目の読み出しステップと、
前記 2 回目の読み出しステップで前記メモリから読み出されたデータに対して前記所定の演算を行う 2 回目の演算ステップと、
前記 2 回目の演算ステップの演算結果をメモリ出力結果として保持するステップと、
前記期待値と前記メモリ出力結果を比較して比較結果信号を出力するステップと、
前記比較結果信号に基づき前記メモリの前記アドレスに対する動作の良否を判定するステップと
を具備することを特徴とするメモリテスト方法。

30

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路に内蔵されたメモリをテストするためのメモリテスト回路およびメモリテスト方法に関する。

50

【背景技術】

【0002】

論理回路とメモリが組み合わされて構成された半導体集積回路をテストする場合、メモリを効率よくテストする手法として、テスト回路などを用いてメモリを論理回路から切り離し、メモリ単体でのテストを行う手法が一般的に用いられている。

【0003】

このような手法をとってメモリの出力を半導体集積回路の外部で観測しようとする場合、メモリの出力が直接外部出力端子となっていないときには、メモリの出力を外部端子で観測できるようにするモニタ回路をメモリの出力に付加することなどが行われる。そのような場合、メモリの出力ビット数が多いと、付加するモニタ回路の規模が大きくなって半導体集積回路のチップサイズが増大する可能性があった。

10

【0004】

そこで、従来、メモリの出力データを演算回路で圧縮し、メモリの出力ビット数より少ないビット数の圧縮データを外部端子で観測できるようにすることが行われていた（例えば、特許文献1参照。）。

【0005】

しかし、このような圧縮データを観測してメモリ回路の良否を判定する場合、期待値として用いる圧縮データが必要であり、この期待値データをシミュレーションなどを用いて予め作成しておかなければならないという問題があった。特に、メモリがDRAMなどの場合、メモリセル間の干渉やビット線間の干渉などの検証のため多種多様のテストパターンを作成しなければならず、それぞれのテストパターンに対して期待値データを作成しなければならなかった。そのため、期待値データの作成に手間と時間がかかって煩わしいという問題があった。

20

【特許文献1】特開平10-300824号公報（第2ページ、図1）

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明の目的は、予め期待値データを作成しておかなくても、メモリの出力データの演算出力結果を用いてメモリの良否を判定することのできるメモリテスト回路およびメモリテスト方法を提供することにある。

30

【課題を解決するための手段】

【0007】

本発明の一態様によれば、メモリへ与えるアドレスおよびデータを生成するアドレス/データ生成手段と、前記アドレス/データ生成回路で生成されたテスト対象の特定のアドレスを保持するアドレス保持レジスタと、前記アドレス/データ生成回路で生成されたテスト用データを保持するデータ保持レジスタと、前記メモリから読み出したデータを、前記アドレス保持レジスタに保持された前記特定のアドレスに該当するアドレスのデータは前記データ保持レジスタに保持された前記テスト用データに置換した上で、それ以外のアドレスのデータはそのまま出力するデータ置換手段と、前記メモリの前記アドレス保持レジスタに保持された前記特定のアドレスを前記データ保持レジスタに保持された前記テスト用データに書き換えるメモリ書き換え手段と、前記データ置換手段の出力データと前記メモリから読み出されたデータのいずれかを選択する選択手段と、前記選択手段の出力に対して所定の演算を行う演算手段と、前記選択手段が前記データ置換手段の出力データを選択したときの前記演算手段の出力を期待値として保持する期待値レジスタと、前記選択手段が前記メモリから読み出されたデータを選択したときの前記演算手段の出力をメモリ出力結果として保持するメモリ出力結果レジスタと、前記期待値レジスタの出力と前記メモリ出力結果レジスタの出力を比較して比較結果信号を出力する比較手段とを具備することを特徴とするメモリテスト回路が提供される。

40

【0008】

また、本発明の一態様によれば、予め初期値が書き込まれたメモリのテスト対象の特定

50

のアドレスを書き換えるためのテスト用データを生成するステップと、前記テスト用データを保持するステップと、前記メモリの全アドレスのデータを順次読み出し、そのうちの前記特定のアドレスのデータのみは前記保持されている前記テスト用データに置換して置換データを生成するステップと、前記置換データに対して所定の演算を行うステップと、前記置換データに対する演算結果を期待値として保持するステップと、前記メモリの前記特定のアドレスのデータを前記保持されている前記テスト用データで書き換えるステップと、前記書き換え後の前記メモリの全アドレスのデータを順次読み出す2回目の読み出しステップと、前記2回目の読み出しステップで前記メモリから読み出されたデータに対して前記所定の演算を行う2回目の演算ステップと、前記2回目の演算ステップの演算結果をメモリ出力結果として保持するステップと、前記期待値と前記メモリ出力結果を比較して比較結果信号を出力するステップと、前記比較結果信号に基づき前記メモリの前記アドレスに対する動作の良否を判定するステップとを具備することを特徴とするメモリテスト方法が提供される。

10

【発明の効果】

【0009】

本発明によれば、メモリの出力データに対する演算を行う演算回路を用いて期待値データを作成するので、予め期待値データを作成する必要がなく、メモリのテストを容易に行うことができる。

【発明を実施するための最良の形態】

【0010】

20

以下、本発明の実施例を図面を参照して説明する。

【実施例】

【0011】

図1は、本発明の実施例に係るメモリテスト回路の構成の例を示すブロック図である。本実施例のメモリ回路1は、テスト対象のメモリ100が正しくメモリ動作をするかどうかをテストする回路であり、特にアドレス単位でメモリ動作の良否を判定することのできる回路である。

【0012】

メモリテスト回路1は、メモリ100へ与えるアドレスおよびテスト用データを生成するアドレス/データ生成部2と、アドレス/データ生成部2で生成されたアドレスのうちテスト対象の特定のアドレスを保持するアドレス保持レジスタ3と、アドレス/データ生成部2で生成されたテスト用データを保持するデータ保持レジスタ4と、メモリ100に記憶されているデータのうちアドレス保持レジスタ3に保持されているアドレスのデータをデータ保持レジスタ4に保持されているデータに書き換えるメモリ書き換え部5とを有している。

【0013】

さらに、メモリテスト回路1は、データ置換部6と、選択部7と、演算部8と、期待値レジスタ9と、メモリ結果出力レジスタ10と、比較部11とを有している。

【0014】

データ置換部6は、メモリ100から読み出されたデータが入力され、入力されたデータのうちアドレス保持レジスタ3に保持されたアドレスに該当するアドレスのデータはデータ保持レジスタ4に保持されたデータに置換し、その他のアドレスのデータはそのまま出力する。

40

【0015】

選択部7は、データ置換部6から出力されたデータか、メモリ100から読み出されたデータかのいずれかを選択して出力する。

【0016】

演算部8は、選択部7から入力されたデータに対して出力データ量が少なくなるように、例えばパターン圧縮演算などを行う。

【0017】

50

期待値レジスタ9は、選択部7がデータ置換部6から出力されたデータを選択したときの演算部8の出力を期待値として保持する。

【0018】

メモリ結果出力レジスタ10は、選択部7がデータメモリ100から読み出されたデータを選択したときの演算部8の出力をメモリ出力結果として保持する。

【0019】

比較部11は、メモリ結果出力レジスタ10に保持されたメモリ出力結果と期待値レジスタ9に保持された期待値とを比較し、両者の一致/不一致を示す比較結果信号を出力する。

【0020】

次に、図2のフローチャートを用いて、本実施例のメモリテスト回路1によりメモリ100のテストを行う方法について説明する。なお、図2に示すフローに先立って、メモリ100には初期値データが書き込まれているものとする。

【0021】

最初に、アドレス/データ生成部2でテストを行いたいアドレスの値とテスト用データを生成し(ステップS1)、生成したアドレスはアドレス保持レジスタ3に保持し、テスト用データはデータ保持レジスタ4に保持する(ステップS2)。ここで、テスト用データは、この後メモリ100に書き込んでメモリ動作をテストするために用いるデータであり、メモリ100に書き込まれている初期値とは異なる任意のデータである。

【0022】

続いて、アドレス/データ生成部2でアドレスを順次発生させて、メモリ100から全データを順次読み出す(ステップS3)。このときメモリ100から読み出されるデータは、初期値のデータである。

【0023】

この読み出しのとき、選択部7がデータ置換部6からの出力を選択するようにしておくと、メモリ100から読み出されたデータは、データ置換部6で処理された上で演算部8へ入力される。

【0024】

データ置換部6は、メモリ100へ与えられるアドレスをチェックし、アドレス保持レジスタ3に保持されたアドレスに該当するアドレスについては、メモリ100から読み出されたデータに換えてデータ保持レジスタ4に保持されているテスト用データを出力する(ステップS4)。これにより、メモリ100のこれからテストしようとしているアドレスのみが、これから書き込もうとしているテスト用データになっているデータが演算部8へ入力される。

【0025】

すなわち、このとき演算部8へ入力されるデータは、テスト用データがメモリ100へ書き込まれたときにメモリ100から出力されることが期待されるデータである。

【0026】

そこで、演算部8で演算を実行し(ステップS5)、演算の結果を期待値として期待値レジスタ9に保持する(ステップS6)。

【0027】

続いて、メモリ書き換え部5によりアドレス保持レジスタ3に保持されているアドレス、すなわちメモリ100のテストしたいアドレスのデータをデータ保持レジスタ4に保持されているテスト用データに書き換える(ステップS7)。

【0028】

メモリ100の書き換え後、アドレス/データ生成部2でアドレスを順次発生させて、メモリ100から全データを順次読み出す(ステップS8)。

【0029】

この読み出しのとき、選択部7がデータメモリ100からの出力を選択するようにしておくと、メモリ100から読み出されたデータは、そのまま演算部8へ入力される。

10

20

30

40

50

【0030】

そこで、演算部 8 で演算を実行し（ステップ S 9）、演算の結果をメモリ出力結果としてメモリ出力結果レジスタ 10 に保持する（ステップ S 10）。

【0031】

ここで、先に期待値レジスタ 9 に保持された期待値とメモリ出力結果レジスタ 10 に保持されたメモリ出力結果を比較部 11 で比較し、その一致 / 不一致を示す比較結果信号を出力する（ステップ S 11）。

【0032】

メモリ 100 が正常に動作していれば、メモリ出力結果は期待値と一致し、メモリ 100 が正常に動作していなければ、メモリ出力結果と期待値は不一致となる。

10

【0033】

この比較部 11 から出力される比較結果信号を観測することにより、メモリ 100 のテスト対象のアドレスへのデータの書き込み / 読み出しが正常に行われたかどうかの判定、すなわちメモリ動作の良否の判定を行うことができる（ステップ S 12）。

【0034】

次に、上述の方法でメモリテストを行っているときのメモリテスト回路 1 の動作の様子を図 3 および図 4 を用いて説明する。

【0035】

図 3 は、アドレス / データ生成部 2 でテスト対象の特定のアドレスとテスト用データを生成してから期待値レジスタ 8 に期待値が保持されるまでの動作の様子を示す波形図である。なお、ここではメモリ 100 に初期値として 16 進数の AAH（H は 16 進数を示す記号、以下も同様。）が与えられているものとする。

20

【0036】

いま、テスト対象のアドレスを 0H、テスト用データを 55H とすると、まず、アドレス / データ生成部 1 から、0H、55H の順にデータが出力される。

【0037】

そこで、アドレス保持レジスタ 3 にはアドレス 0H が保持され、データ保持レジスタ 4 にはテスト用データ 55H が保持される。

【0038】

次に、アドレス / データ生成部 2 からアドレスを 0H から最終アドレス nH（n は任意の数）まで順次発生させ、メモリ 100 のデータを読み出す。このときメモリ 100 から読み出されたデータは、総てのアドレスにおいて初期値の AAH である。

30

【0039】

このメモリ 100 から読み出されたデータに対して、データ置換部 6 は、アドレス保持レジスタ 3 に保持されているアドレス 0H のデータをデータ保持レジスタ 4 に保持されているテスト用データ 55H に置換して出力する。

【0040】

このデータ置換部 6 の出力に対して演算部 8 は順次演算を行う。そして、最終アドレス nH のデータの出力が終了した時点の演算部 8 の出力を期待値レジスタ 9 に保持する。

【0041】

続いて、図 4 は、メモリ 100 をテスト用データに書き換えてからメモリ出力結果レジスタ 9 にメモリ出力結果が保持されるまでの動作の様子を示す波形図である。

40

【0042】

アドレス保持部 3 に保持されているアドレスおよびデータ保持レジスタ 4 に保持されているテスト用データを用いてメモリ書き換え部 5 からテスト対象のアドレス 0H に与えるデータ 55H が出力され、メモリ 100 のデータが書き換えられる。

【0043】

その後、アドレス / データ生成部 1 でアドレスを 0H から最終アドレス nH までのアドレスを順次生成し、メモリ 100 からデータを順次読み出す。このときメモリ 100 から読み出されたデータは、データの書き換えが正常に行われて読み出しも正常に行われてい

50

れば、アドレス 0 H のデータが 5 5 H となり、その他のアドレスのデータが A A H となるデータが読み出されるはずである。

【 0 0 4 4 】

このメモリ 1 0 0 から読み出されたデータに対して演算部 8 は順次演算を行う。そして、最終アドレス n H のデータの出力が終了した時点の演算部 8 の出力をメモリ出力結果レジスタ 1 0 に保持する。

【 0 0 4 5 】

最後に、比較部 1 1 が、メモリ出力結果レジスタ 1 0 に保持されたメモリ出力結果と、期待値レジスタ 9 に保持されている期待値とを比較して、一致 / 不一致を示す比較結果信号を出力する。

10

【 0 0 4 6 】

このような本実施例のメモリテスト回路およびメモリテスト方法によれば、回路内の演算で期待値を作成するので予め期待値を準備しておく必要がない。また、テストに用いるテスト用データの作成もテスト対象のアドレスの分だけ作成すればよいので簡単である。そのため、メモリテストの準備にかかる手間と時間が少なくて済み、メモリのテストを容易に行うことができる。

【 図面の簡単な説明 】

【 0 0 4 7 】

【 図 1 】 本発明の実施例に係るメモリテスト回路の構成の例を示すブロック図。

【 図 2 】 本発明の実施例に係るメモリテスト回路を用いたメモリテスト方法の例を示すフローチャート。

20

【 図 3 】 本発明の実施例に係るメモリテスト回路の動作の例を示す波形図。

【 図 4 】 本発明の実施例に係るメモリテスト回路の動作の例を示す波形図。

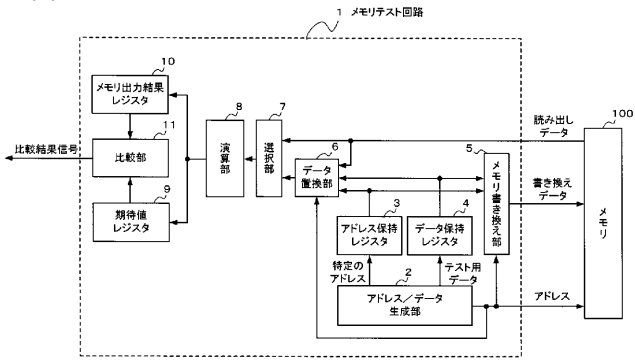
【 符号の説明 】

【 0 0 4 8 】

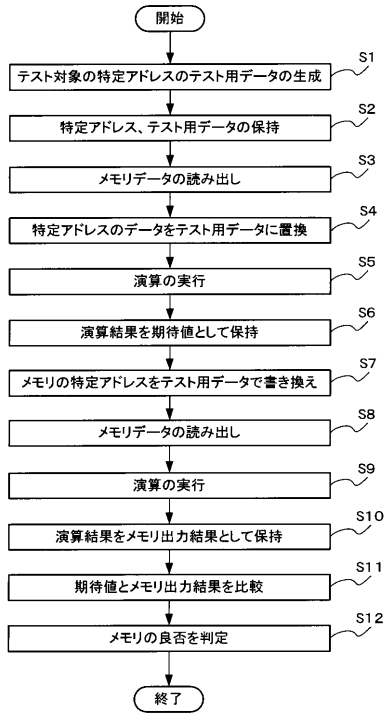
- 1 メモリテスト回路
- 2 アドレス / データ生成部
- 3 アドレス保持レジスタ
- 4 データ保持レジスタ
- 5 メモリ書き換え部
- 6 データ置換部
- 7 選択部
- 8 演算部
- 9 期待値レジスタ
- 10 メモリ出力結果レジスタ
- 11 比較部

30

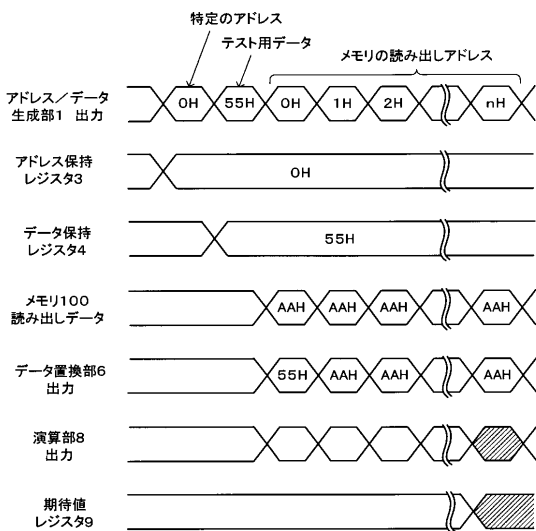
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

