

**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95127731

※ 申請日期： 95-7-28

※IPC 分類： H01L 23/053 (2006.01)

**一、發明名稱：(中文/英文)**

在佈線焊墊和球墊之間具有不同厚度的半導體封裝基材及其製造方法

SEMICONDUCTOR PACKAGE SUBSTRATE HAVING DIFFERENT THICKNESSES BETWEEN WIRE

BONDING PAD AND BALL PAD AND METHOD FOR FABRICATING THE SAME

**二、申請人：(共 1 人)**

姓名或名稱：(中文/英文)

三星電機股份有限公司 / SAMSUNG ELECTRO-MECHANICS CO., LTD.

代表人：(中文/英文)

姜皓文 / KANG, HO MOON

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘3洞314番地

314, Maetan 3-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 443-743,

Republic of Korea

國籍：(中文/英文)

韓國 / KOREA

**三、發明人：(共 4 人)**

姓名：(中文/英文)

1. 尹慶老 / YOON, KYOUNG RO

2. 申榮煥 / SHIN, YOUNG HWAN

3. 金潤秀 / KIM, YOON SU

4. 李胎坤 / LEE, TAE GON

國籍：(中文/英文)

1.-4. 韓國 / KOREA

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國、 2005/09/27、 10-2005-0090019

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明關於一種半導體封裝基材及其製造方法。更特別地，本發明關於一種半導體封裝，其中形成於導電焊墊側面上之線路層在厚度上與形成於球墊側面上之半蝕刻線路層不同，該半導體封裝具有連接通孔，佈線焊墊側面之鍍覆引線和球墊側面之鍍覆引線透過此連接通孔而電氣連接，使得當佈線焊墊之鍍覆引線被切斷時，可防止電氣中斷，以及關於製造該半導體封裝之方法。

### 【先前技術】

#### 發明背景

隨著電子裝置朝短小、輕型化及高性能方向發展，最近在BGA封裝基材方面取得精細線路圖案技術之重大進展。

特別地，精細線路圖案在將半導體晶片安裝于BGA封裝基材上之CSP(晶片尺寸封裝)產品中存在大量需求。

為更好理解本發明之背景技術，參看第1A圖至第1H圖將描述一種製造半導體封裝基材之傳統方法。

如第1A圖所示，包含用銅箔101覆蓋之絕緣層102且被設為基材之覆銅層壓板(CCL)100，其內被鑽孔以形成用於線路層之間電氣連通之通孔。存在各種CCL，包括玻璃/樹脂CCL、熱阻式CCL、紙/酚CCL、射頻用CCL、可撓性CCL(聚醯亞胺薄膜)和複合CCL，其等依據目的而使用。舉例而言，玻璃/樹脂CCL適用於製造雙面PCB和多層PCB。

其次，CCL 100之相對側面和通孔之內壁經受化學鍍、然後經受電鍍，如第1B圖所示。由於需要電力，因而，電鍍不能在絕緣層102上實施。通常，在對絕緣體電鍍之前，先對其進行化學鍍。因此，銅先被化學鍍、然後被電鍍到絕緣層102上。

接下來，將填料填充進通孔103內，隨後就形成防蝕圖案105，如第1C圖所示。關於防蝕圖案105，其利用形成於電鍍銅基材上之乾膜(D/F)和印刷過線路圖案的薄膜(佈線圖薄膜)而形成。

10 存在各種用於形成防護圖案105之可靠技術，其中以乾膜技術應用最廣。

用於形成防護圖案之乾膜，簡寫成“D/F”，通常由覆蓋膜、光阻材料及Mylar薄膜組成。光阻薄膜實際充當防護層用。

15 當剝離覆蓋膜時，將乾膜施加至裸PCB。將印刷過線路圖案的佈線圖薄膜快速粘貼到乾膜上，隨後進行UV照射。UV光不能在佈線圖薄膜圖案的黑暗部分穿透乾膜，但能穿透其他部分以固化乾膜的暴露部分。然後，將基材浸入顯影溶液內，以移除乾膜的未固化部分，同時固化的部分  
20 保留以形成防護圖案。1%的碳酸鈉( $\text{Na}_2\text{CO}_3$ )或碳酸鉀( $\text{K}_2\text{CO}_3$ )溶液係合適的顯影溶液。

然後，如第1D圖所示，CCL 100用蝕刻劑處理，同時防蝕圖案105作為光罩，以形成線路圖案。

隨後，防蝕層105用脫皮溶液移除，例如NaOH或KOH

溶液，如第1E圖所示。

所生成的CCL之所有部分，除佈線焊墊107、焊接球墊108和連接外基材或晶片之其他部分外，均用防焊光阻106塗覆，以保護線路，如第1F圖所示。

- 5 其後，利用鍍覆引線，將防焊光阻作為鍍覆防護層，用Ni/Au鍍覆CCL，以在未塗覆部分上形成Ni/Au層109，109'，未塗覆部分亦即佈線焊墊107、焊接球墊108和其他連接部分，如第1G圖所示。鍍覆先鍍Ni，再鍍Au。

- 10 最後，第1H圖顯示在線路圖案110用作鍍覆引線之後，利用起槽或切割製程對所獲得的封裝產品進行切割。

在CSP產品中，球間距繼續減小，從0.8經過0.65和0.5，然後減小到0.4mm。另外，該等球要求進行OSP(有機可焊性保護層)處理，以具有和移動電話所用基材相同等級之壓降阻抗。但是，該要求造成在基材上要執行對比技術，

- 15 如下文所述之。

參看第2圖，以透視圖顯示一傳統半導體封裝基材210。如示，將傳統半導體封裝基材210劃分成包含半導體裝置安裝部分211a和外部線路圖案211b之單元區，和無用區212。

- 20 此傳統半導體封裝基材要求對比技術，該技術用於將線路層保持在較小厚度，以在佈線焊接側面實現精細圖案，而在球側面保持較大厚度，使得能夠對該等球實施OSP應用和深度蝕刻製程。

## 【發明內容】

發明概要

因此，本發明之一目的係提供一種半導體封裝裝置，其中形成於佈線焊墊側面上之線路層在厚度上不同于形成於球墊側面上之線路層，以及一種製造該半導體封裝裝置之方法。

- 5 本發明另一目的係提供一種半導體封裝基材，當佈線焊墊側面的鍍覆引線被切斷時，肇因於線路層在佈線焊墊側面上形成較小厚度，該半導體封裝基材防止電氣中斷。

依據本發明之一方面，提供一種半導體封裝基材，其包含：一絕緣層；形成於該絕緣層一側面上、用於提供一  
10 球墊之一第一線路層；以及形成於該絕緣層另一側面上、用於提供一佈線焊墊之一第二線路層，該第二線路層比該第一線路層薄。

依據本發明另一方面，提供一種用於製造半導體封裝  
15 基材之方法，其包含：步驟1，準備一覆銅層壓板，並半蝕刻該覆銅層壓板的一佈線焊墊側面上之一銅箔；步驟2，在該覆銅層壓板的該等相對側面上沉積一第一防蝕層；步驟3，在該第一防蝕層上形成線路圖案，在該等線路圖案之該成模後構建包括一佈線焊墊和一球墊之線路，及移除該第一防蝕層；步驟4，以一方法將一防焊層施加至該覆銅層壓  
20 板，以暴露該佈線焊墊和該球墊；以及步驟5，用金鍍覆該佈線焊墊，並使該球墊經受表面處理。

#### 圖式簡單說明

參看附圖，可最好理解本發明較佳實施例之應用，圖中用相似參考編號標識相似和對應部件，其中：

第1A圖至第1H圖係顯示製造一傳統半導體封裝基材之示意性圖式；

第2圖係顯示該傳統半導體封裝基材之透視圖；

第3圖係顯示依據本發明一實施例之一半導體封裝基  
5 材之剖面圖，其中形成於佈線焊墊側面上之線路層在厚度上不同于形成於球墊側面上之線路層；

第4A圖至第4G圖係顯示依據本發明一實施例，製造半導體封裝基材之製程之剖面圖，其中形成於佈線焊墊側面上之線路層在厚度上不同于形成於球墊側面上之線路層；

10 第5A圖至第5H圖係顯示依據本發明另一實施例，製造半導體封裝基材之製程之剖面圖，其中形成於佈線焊墊側面上之線路層在厚度上不同于形成於球墊側面上之線路層；以及

第6圖係顯示依據本發明之一半導體封裝基材之透視  
15 圖。

### 【實施方式】

較佳實施例之詳細說明

下面，結合附圖詳述本發明實施例。

第3圖係顯示依據本發明一實施例之一半導體封裝基  
20 材之剖面圖，其中在一單元區內，形成於佈線焊墊側面上之線路層304a在厚度上不同于形成於球墊側面上之線路層304b。佈線焊墊側面的線路層304a比球墊側面的線路層304b薄。

但是在無用區內，焊墊側面上之線路層304ab和球墊側

面上之線路層304bb之間之厚度完全相同。

因此，當單元區內的佈線焊墊上之線路層304a比無用區內佈線焊墊側面上之線路層304ab薄、且比該單元區內球墊側面上之線路層304b薄時，可設計出精細線路圖案，惟  
5 因線路層304a之厚度對線路圖案之精細度有很大影響。

在佈線焊墊側面上，比單元區內的線路層304a的厚度大之無用區內的佈線焊墊側面上之線路層304ab之厚度，防止基材扭曲。

另外，比佈線焊墊側面上的線路層304a之厚度大之該  
10 單元區內的球墊側面上線路層304b之厚度，容許將OSP和深度蝕刻製程施加於球墊側面。在第3圖，參考標號302標識絕緣層，306a和306b標識防焊光阻，304aa特別標識來自線路層304a的佈線焊墊，304ac標識金層，304ba標識球墊，而304bc標識OSP-處理表面。

15 通孔307作用係將佈線焊墊側面的鍍覆引線(未示)電氣連接球墊側面的鍍覆引線。如果焊墊側面上的線路層304a變薄，則薄鍍覆引線可被切斷，肇因於其包含在線路層304a內。當切斷發生時，通孔307容許透過球墊側面上之鍍覆引線(未示)而電氣連接外部。

20 另一可行方式是，無用區內的佈線焊墊側面上之線路層304ab可和單元區內的佈線焊墊側面上之線路層304a一樣厚，但和單元區內的球墊側面上之線路層304b厚度不同。

參看第4A圖至第4G圖，逐步顯示依據本發明一實施例之一種用於製造半導體封裝基材之方法，其中佈線焊墊側



面上之線路層在厚度上不同於球墊側面上之線路層。

第4A圖係CCL 400之剖面圖，其包含由例如環氧樹脂製成之絕緣層402、且該絕緣層具有透過粘合劑分別粘接到該絕緣層各側面之銅箔401a和401b。

5 接著，如第4B圖所示，在對應基本的基材CCL單元區之部分處敞開之乾膜403a，被沉積在佈線焊墊側面的銅箔401a上。當乾膜403a作用為光罩時，透過乾膜403a敞開部分而暴露之單元區被半蝕刻，使得銅箔401a在單元區和無用區具有不同厚度。

10 因為不需要半蝕刻焊接球墊側面上之銅箔401b，所以將一毯覆層乾膜403b沉積於球墊側面上之銅箔401b上。作為選擇，在單元區內的銅箔401a和無用區內的銅箔401b具有相同厚度之情況下，不需利用在對應CCL單元區之部分處敞開之乾膜403a，就可實施半蝕刻製程。

15 第4C圖係，在乾膜403b保護球墊側面上之銅箔401b時，實施半蝕刻製程以將銅箔401a從焊墊側面移除到單元區內之預定深度處，之後之剖面圖。

藉半蝕刻將單元區內的焊墊側面上之銅箔401a移除到預定厚度後，將分別沉積到佈線焊墊側面的銅箔401a上和  
20 球墊側面的銅箔401b上之乾膜403a和403b移除，如第4D圖所示。

既然單元區內的佈線焊墊側面上之銅箔401a變薄，因此存在，形成於其上之線路圖案可被切斷之可能性。特別地，當鍍覆引線被切斷時，佈線焊墊側面之鍍覆製程可不

實施。

為此原因，如第4E圖所示，通孔405被鑽出並被鍍覆，以形成用於連接佈線焊墊側面上之銅箔401a和球墊側面上之銅箔401b之連接通孔406。連接通孔406作用為下部的箔401b和上部的箔401a之間之電氣架橋，使得形成於下部銅箔401b內之鍍覆引線(未示)電氣連接形成於上部銅箔401a內之鍍覆引線(未示)。即使切斷上部銅箔401a之鍍覆引線，如稍後將述之，也可利用下部銅箔401b的鍍覆引線而實施鍍金製程以在佈線焊墊408a上形成金層408b(第4G圖)，下部銅箔401b透過連接通孔406連接焊墊408。

較佳地，連接通孔406在單元區611的四個角613處形成，如第6圖所示。原因是主鍍覆引線(未示)通常穿過四個角613。亦即，當切斷主鍍覆引線時，鍍金不能確保鍍金塗層408b的厚度。因此，即使切斷上部銅箔401a之主鍍覆引線，位於四個角613的連接通孔406之存在也容許透過下部銅箔401b的主鍍覆引線提供電流，因此確保金塗層厚度。第6圖顯示依據本發明一實施例之一半導體封裝基材610，其被劃分成包含半導體裝置安裝部分611a和外部線路圖案611b之單元區611，以及環繞單元區611之無用區612。

參看第4E圖，用於形成佈線焊墊側面上和球墊側面上之線路圖案之圖案化乾膜404a和404b，分別沉澱於銅箔401a和401b上。

第4F圖係利用蝕刻劑、在圖案化乾膜404a和404b作用為防蝕層情況下，對銅箔401a和401b進行選擇性蝕刻，隨

後用脫皮溶液移除乾膜404a和404b之後之剖面圖。當蝕刻圖案時，用於鍍金之鍍覆引線以相同方式同時形成。

之後，所生成的CCL結構塗覆防焊層407a和407b，其等然後被曝光、顯影和烘乾，如第4G圖所示。

5 為用金僅鍍覆佈線焊墊408a，將乾膜(未示)施加於基材焊接墊側面上，然後將其曝光和顯影。利用鍍覆引線，在乾膜作為防鍍層情況下，焊墊406鍍覆金408b。詳細而言，實施電鍍Au通常是為了金屬表面處理其上即將安裝半導體裝置之封裝基材。原因是電鍍Au在可靠性方面優於化學鍍Au。如上所述，可發生形成於上部銅箔內之鍍覆引線被切斷之情況。此時，在來自下部銅箔401b鍍覆引線、透過連接通孔406所供應之電力幫助下，金塗層408可形成較佳厚度。

15 在電鍍Au之後，利用脫皮溶液移除用作防鍍層之乾膜，以及利用起槽或切割製程切斷鍍覆引線。

然後，焊接球墊409a塗覆OSP以形成OSP-處理表面409b。

參看第5A圖至第5H圖，逐步顯示依據本發明另一實施例之一種製造半導體封裝基材之方法，其中佈線焊墊側面上之線路層在厚度上不同於球墊側面上之線路層。

20 第5A圖係CCL 500之剖面圖，其包含由例如環氧樹脂製成之絕緣層502、且該絕緣層具有利用粘合劑分別粘接到該絕緣層相對側面之銅箔501a和501b。

接著，如第5B圖所示，乾膜503被沉積於球墊側面的銅

箔501b上，以在半蝕刻佈線焊墊側面的銅箔501a時用作光罩。

第5C圖係，在乾膜503保護焊接球墊側面上之銅箔501b情況下，將佈線焊墊側面的整個銅箔501a半蝕刻至預定厚度處，隨後將乾膜503從焊接球墊側面的銅箔501b移除，之後之剖面圖。

需要加強位於佈線焊墊側面無用區內之銅箔501a，以保護CCL不被固化。為此，如第5D圖所示，佈線焊墊側面之銅箔501a塗覆，在對應佈線焊墊側面的無用區之部分處敞開之乾膜504a，同時一毯覆層乾膜504b作為光罩被沉積於球墊側面上。

之後，暴露的銅箔501a鍍覆銅，以增加位於佈線焊墊側面無用區內之銅箔厚度，因此防止CCL不被固化，如第5E圖所示。在銅塗層505形成之後，將分別沉積於佈線焊墊側面的銅箔501a上和球墊側面的銅箔501b上之乾膜504a和504b移除。

既然單元區內的佈線焊墊側面上之銅箔501a變薄，因此存在，形成於其上之線路圖案可被切斷之可能性。特別地，當鍍覆引線被切斷時，用於佈線焊墊之鍍覆製程可不實施。

為此原因，如第5F圖所示，通孔506被鑽出並被鍍覆，以形成用於連接佈線焊墊側面上之銅箔501a和球墊側面上之銅箔501b之連接通孔507。連接通孔507作用為下部箔501b和上部箔501a之間之電氣架橋，使得形成於下部銅箔

501b內之鍍覆引線(未示)電氣連接形成於上部銅箔501a內之鍍覆引線(未示)。即使切斷上部銅箔501a之鍍覆引線，如稍後將述之，也可利用下部銅箔501b的鍍覆引線而實施鍍金製程以在佈線焊墊509a(第5H圖)上形成金塗層509b(第5H圖)，下部銅箔501b透過連接通孔507連接佈線焊墊509a。

較佳地，連接通孔507在單元區611的四個角613處形成，如第6圖所示。原因是主鍍覆引線(未示)通常穿過四個角613。亦即，當切斷主鍍覆引線時，鍍金不能確保鍍金塗層509b的厚度。因此，即使切斷上部銅箔501a之主鍍覆引線，位於四個角613的連接通孔507之存在也容許透過下部銅箔501b的主鍍覆引線提供電流，因此確保金塗層厚度。第6圖顯示依據本發明一實施例之一半導體封裝基材610，其被劃分成包含半導體裝置安裝部分611a和外部線路圖案611b之單元區611，以及環繞單元區611之無用區612。

15 參看第5F圖，用於形成佈線焊墊側面上和球墊側面上之線路圖案之圖案化乾膜508a和508b，分別沉澱於銅箔501a和501b上。

第5G圖係利用蝕刻劑、在圖案化乾膜508a和508b作用為防蝕層情況下，對銅箔501a和501b進行選擇性蝕刻，隨後用脫皮溶液移除乾膜508a和508b之後之剖面圖。當蝕刻此圖案時，用於鍍金之鍍覆引線以相同方式同時形成。

之後，所生成的CCL結構塗覆防焊層511a和511b，其等然後被曝光、顯影和烘乾，如第5H圖所示。

為用金僅鍍覆佈線焊墊509a，將乾膜(未示)施加於基材

焊接墊側面上，然後將其曝光和顯影。利用鍍覆引線，在乾膜作為防鍍層情況下，佈線焊墊509a鍍覆金509b。如上所述，可發生形成於上部銅箔內之鍍覆引線被切斷之情況。此時，在來自下部銅箔501b鍍覆引線、透過連接通孔507所供應之電力幫助下，金塗層509b可形成較佳厚度。

在電鍍Au之後，用脫皮溶液移除作為防鍍層之乾膜，以及利用起槽或切割製程切斷鍍覆引線。

然後，焊接球墊510a塗覆OSP以形成OSP—處理表面510b。

10 在上文所述中，佈線焊墊側面之單元區可依據本發明而形成較小厚度，因此依據本發明在半導體封裝基材上實現精細圖案。

另外，藉將佈線焊墊側面的無用區維持在預定厚度，而防止本發明之CCL固化。

15 根據本發明之較佳實施例而描述示例。但是，應當理解，此揭示內容並不局限於本發明之明確描述。本發明之揭示內容和申請專利範圍應理解成，涵蓋落入本發明真實範圍內之所有變型和修正。

### 【圖式簡單說明】

20 第1A圖至第1H圖係顯示製造一傳統半導體封裝基材之示意性圖式；

第2圖係顯示該傳統半導體封裝基材之透視圖；

第3圖係顯示依據本發明一實施例之一半導體封裝基材之剖面圖，其中形成於佈線焊墊側面上之線路層在厚度

上不同于形成於球墊側面上之線路層；

第4A圖至第4G圖係顯示依據本發明一實施例，製造半導體封裝基材之製程之剖面圖，其中形成於佈線焊墊側面上之線路層在厚度上不同于形成於球墊側面上之線路層；

- 5 第5A圖至第5H圖係顯示依據本發明另一實施例，製造半導體封裝基材之製程之剖面圖，其中形成於佈線焊墊側面上之線路層在厚度上不同于形成於球墊側面上之線路層；以及

10 第6圖係顯示依據本發明之一半導體封裝基材之透視圖。

### 【主要元件符號說明】

100，400，500...覆銅層壓板(CCL)

101，401a，401b，501a，501b...銅箔

102，302，402，502...絕緣層

103，307，405，506...通孔

105...防蝕圖案

106，306a，306b...防焊光阻

107，108，304aa，304b，408a，509a...佈線焊墊

109，109'...Ni/Au層

110...線路圖案

210...傳統半導體封裝基材

211a，611a...半導體裝置安裝部分

211b，611b...外部線路圖案

212，612...無用區

304a , 304ab , 304bb...線路層

304ac , 408b...金層

408...焊墊

304ba...球墊

304bc , 409b , 510b...OSP(有機可焊性保護)-處理表面

403a , 403b , 503 , 504a , 504b...乾膜

404a , 404b...圖案化乾膜

406...連接通孔/焊墊

407a , 407b , 511a , 511b...防焊層

409a , 510a...焊接球墊

505...銅/銅塗層

507...連接通孔

508a , 508b...圖案化薄膜

509b...金塗層

610...半導體封裝基材

611...單元區

613...角



## 五、中文發明摘要：

本說明書揭示一種半導體封裝基材及其製造方法。在該半導體封裝基材內，佈線焊墊側面之線路層在厚度上不同於，對其施加半蝕刻製程之球墊側面之線路層。另外，構建一連接通孔，以提供佈線焊墊側面上之鍍覆引線和球墊側面上之鍍覆引線之間之電氣連接，因此防止在佈線焊墊側面的鍍覆引線被切斷時發生電氣中斷。

## 六、英文發明摘要：

Disclosed herein are a semiconductor package substrate and a method for fabricating the same. In the semiconductor package substrate, the circuit layer of the wire bonding pad side differs in thickness from that of the ball pad side to which a half etching process is applied. In addition, a connection through hole is constructed to provide an electrical connection between the plating lead lines on the wire bonding pad side and the ball pad side, thereby preventing electrical disconnection when the plating lead line of the wire bonding pad side is cut.

## 十、申請專利範圍：

1. 一種半導體封裝基材，其包含：

一絕緣層；

5 形成於該絕緣層一側面上、用於提供一球墊之一第一線路層；以及

形成於該絕緣層另一側面上、用於提供一佈線焊墊之一第二線路層，該第二線路層比該第一線路層薄。

2. 如申請專利範圍第1項之半導體封裝基材，其中該第一線路層和該第二線路層分別具有，透過一連接通孔電氣  
10 連接之鍍覆引線。

3. 如申請專利範圍第1項之半導體封裝基材，其中該第二線路層被劃分成一單元區和一無用區，該單元區比該無用區薄。

4. 一種製造半導體封裝基材之方法，其包含：

15 步驟1，準備一覆銅層壓板，並半蝕刻該覆銅層壓板的一佈線焊墊側面上之一銅箔，；

步驟2，在該覆銅層壓板的該等相對側面上沉積一第一防蝕層；

20 步驟3，在該第一防蝕層上形成線路圖案，在該等線路圖案之該成模後構建包括一佈線焊墊和一球墊之線路，及移除該第一防蝕層；

步驟4，以一方法將一防焊層施加至該覆銅層壓板，以暴露該佈線焊墊和該球墊；以及

步驟5，用金鍍覆該佈線焊墊，並使該球墊經受表

面處理。

5. 如申請專利範圍第4項之方法，其中步驟1包含：

步驟1-1，準備一覆銅層壓板，其中該絕緣層夾於兩片銅箔之間；

5 步驟1-2，在該覆銅層壓板的一第一側面上沉積一第二防蝕層，並半蝕刻該覆銅層壓板的一第二側面上之該銅箔；以及

步驟1-3，將沉積於該覆銅層壓板的該第一側面上之該第二防蝕層移除。

10 6. 如申請專利範圍第4項之方法，其進一步包含：

在準備該覆銅層壓板之該步驟1之後，在該覆銅層壓板的該第二側面上沉積一第三防蝕層，該第三防蝕層在對應該覆銅層壓板的一單元區之一部分處敞開；以及

15 在該步驟1之後，將沉積於該覆銅層壓板的該第二側面上之該第三防蝕層移除。

7. 如申請專利範圍第4項之方法，其進一步包含：

在該覆銅層壓板的該第二側面上沉積一第一防鍍層，其在對應該覆銅層壓板的該無用區之一部分處敞開；以及

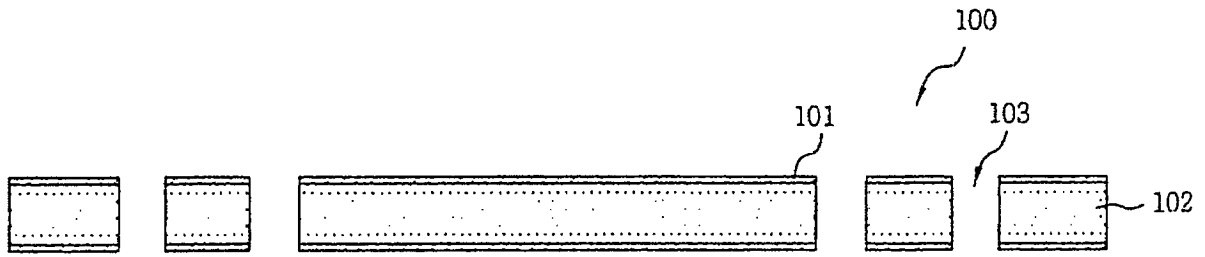
20 在該步驟1之後，沉積該覆銅層壓板的該第二側面，並將該第一防鍍層移除。

8. 如申請專利範圍第4項之方法，其進一步包含，在該步驟1之後，形成一連接通孔，透過該連接通孔，形成於該覆銅層壓板的該第一線路層內之一鍍覆引線電氣連

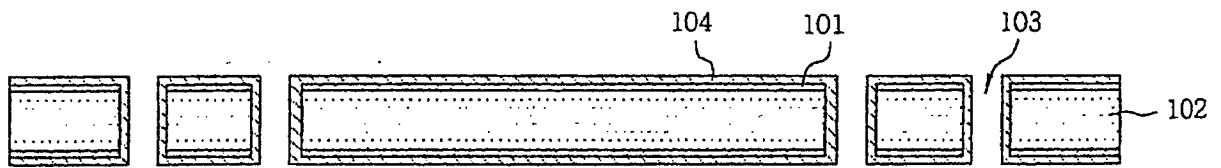
接形成於該覆銅層壓板的該第二線路層內之一鍍覆引線。

9. 如申請專利範圍第8項之方法，其中該連接通孔形成於該覆銅層壓板的該單元區內和該單元區的角處。

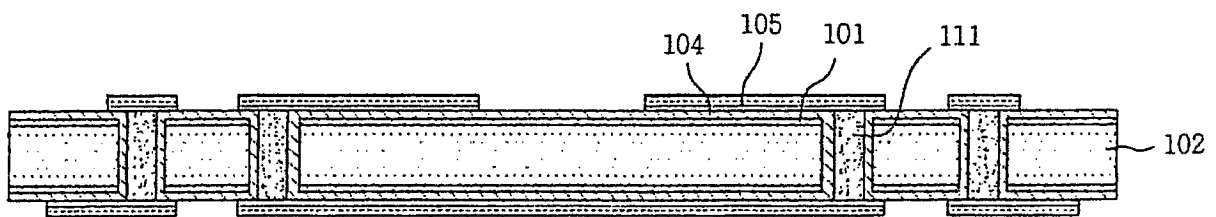
第 1A 圖



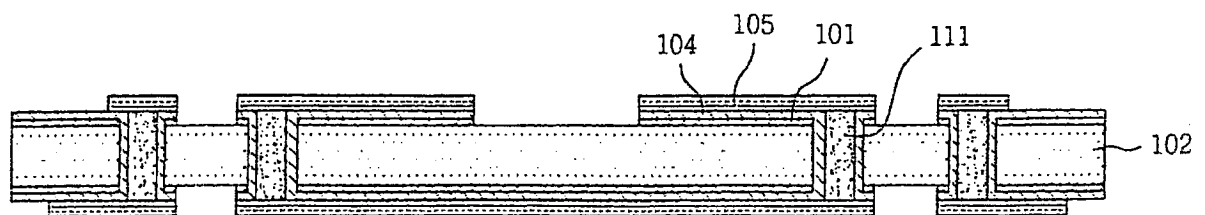
第 1B 圖



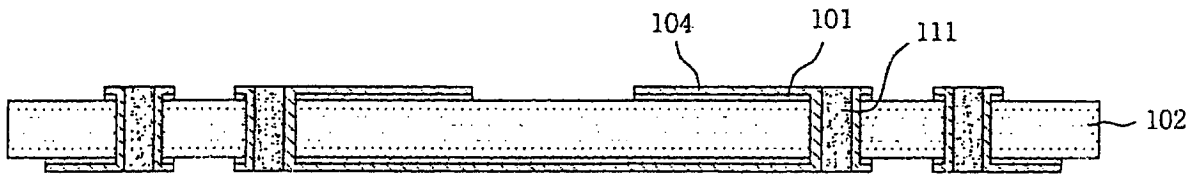
第 1C 圖



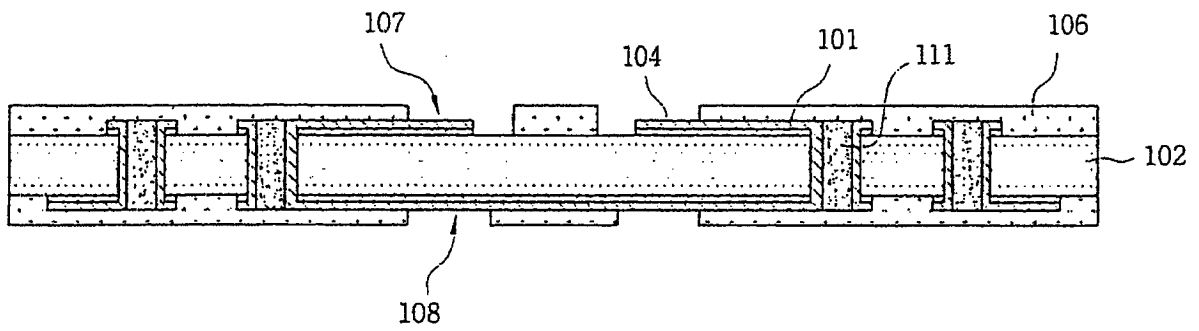
第 1D 圖



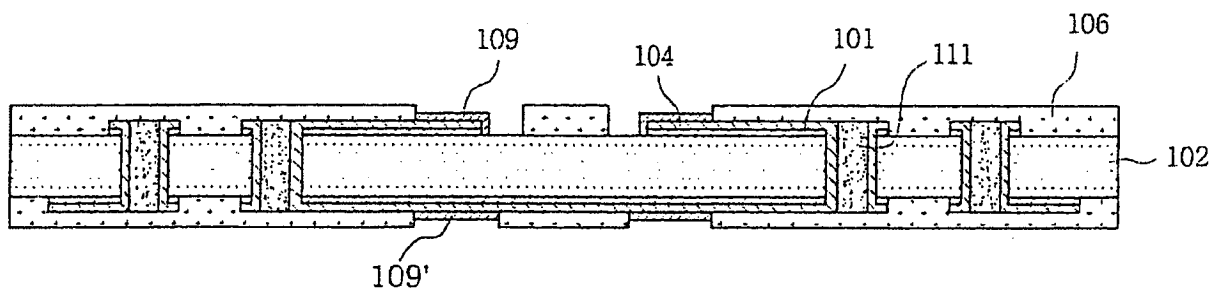
第 1E 圖



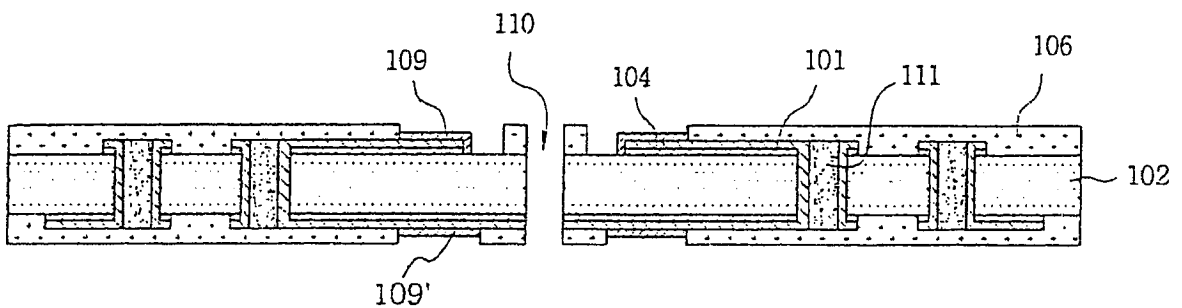
第 1F 圖



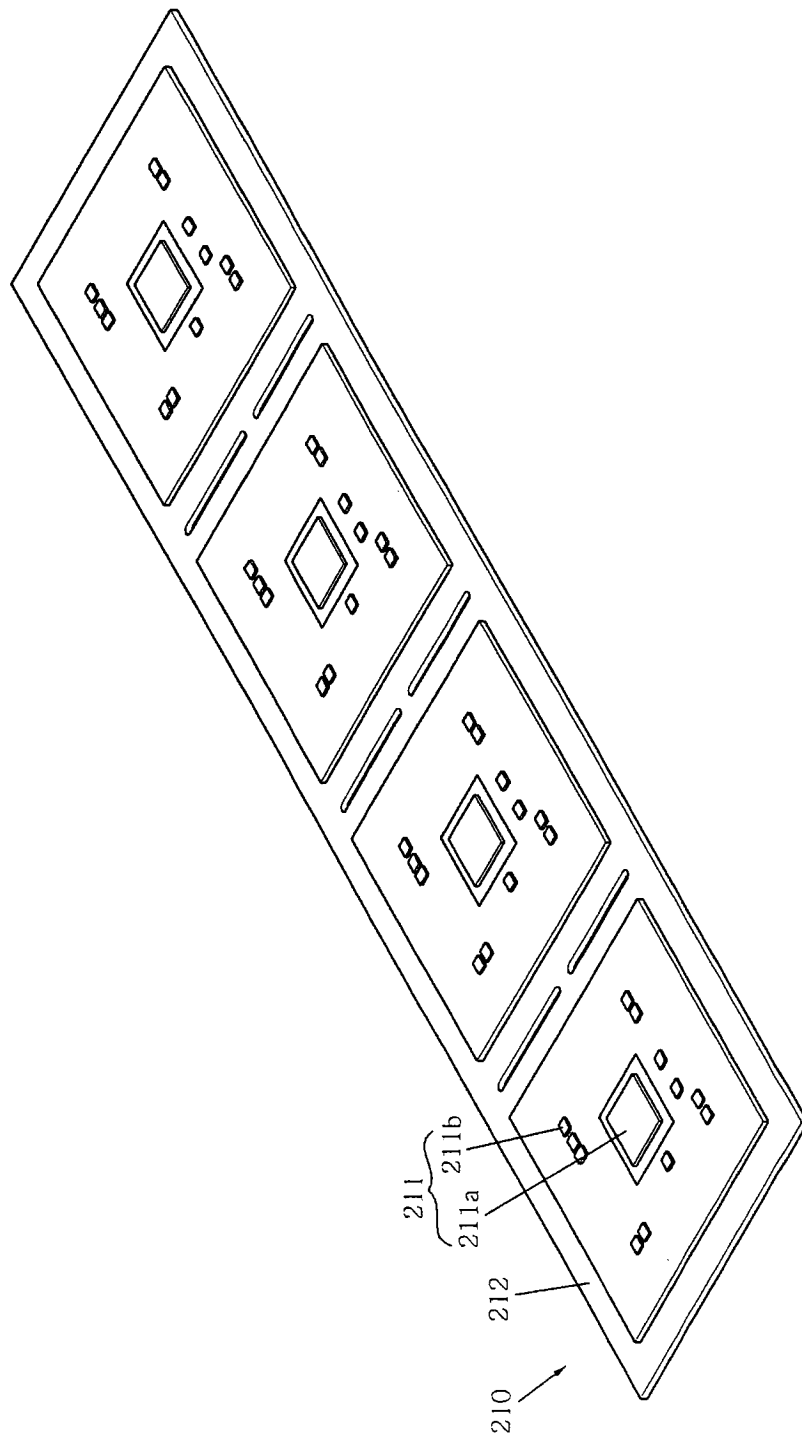
第 1G 圖



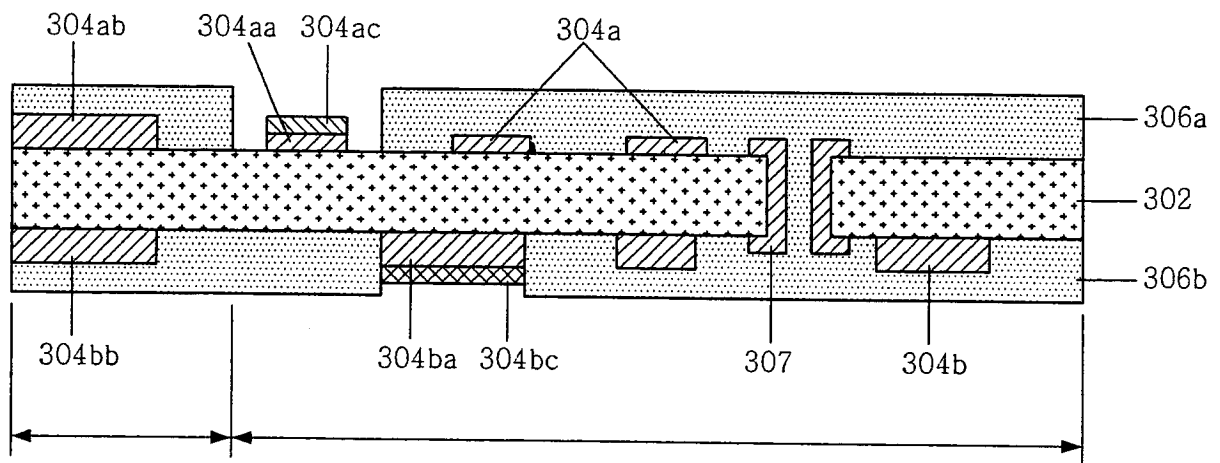
第 1H 圖



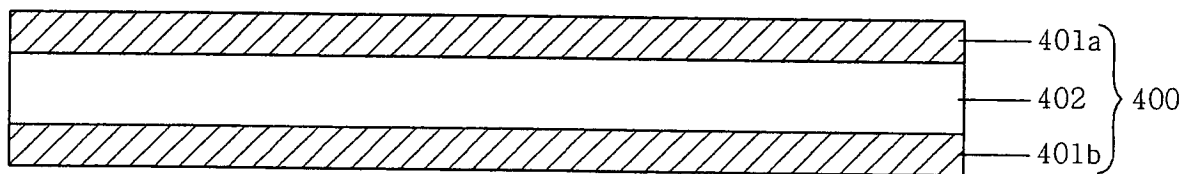
第 2 圖



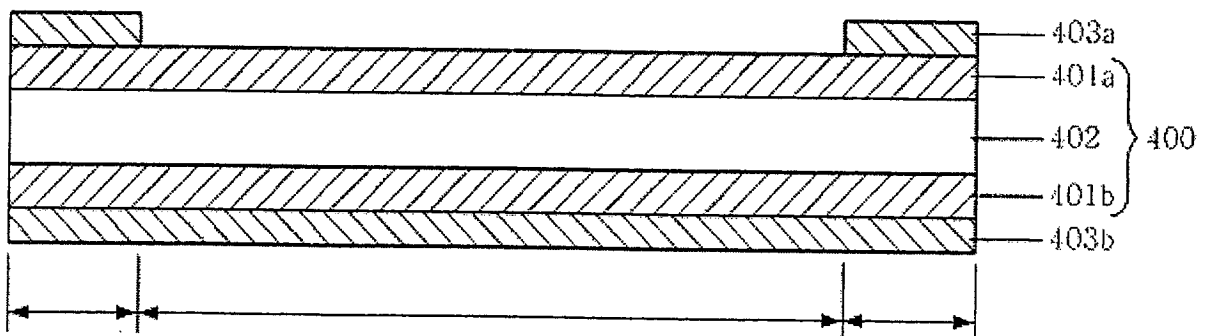
第 3 圖



第 4A 圖

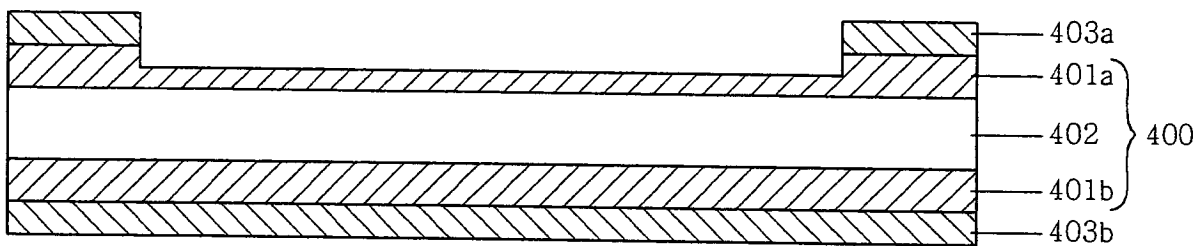


第 4B 圖

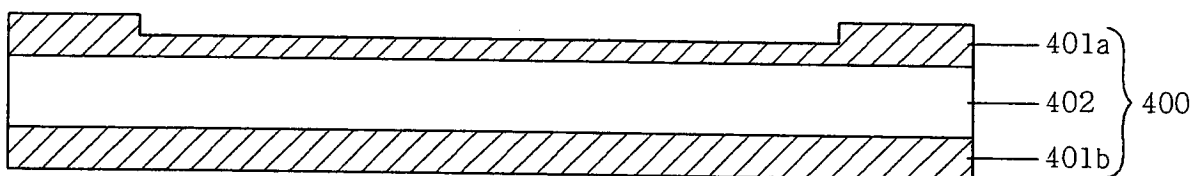




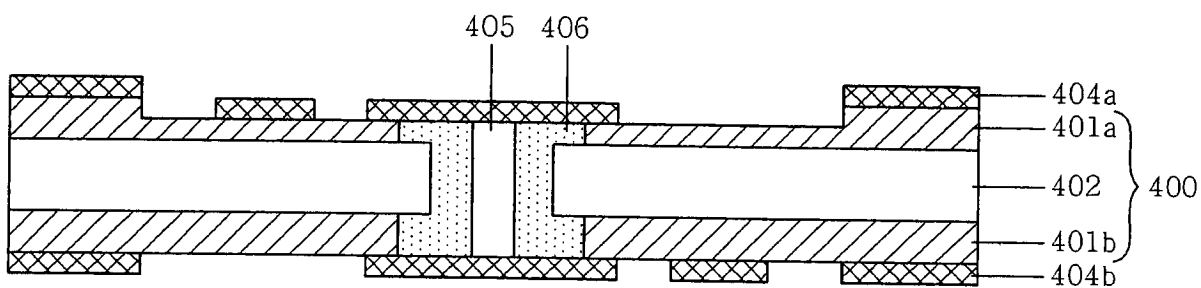
第 4C 圖



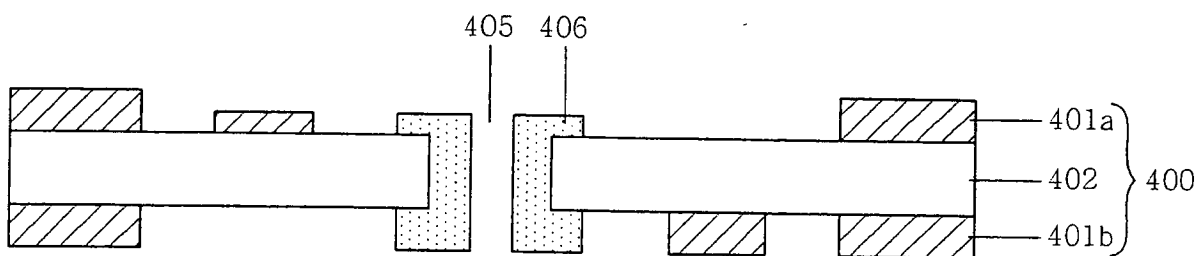
第 4D 圖



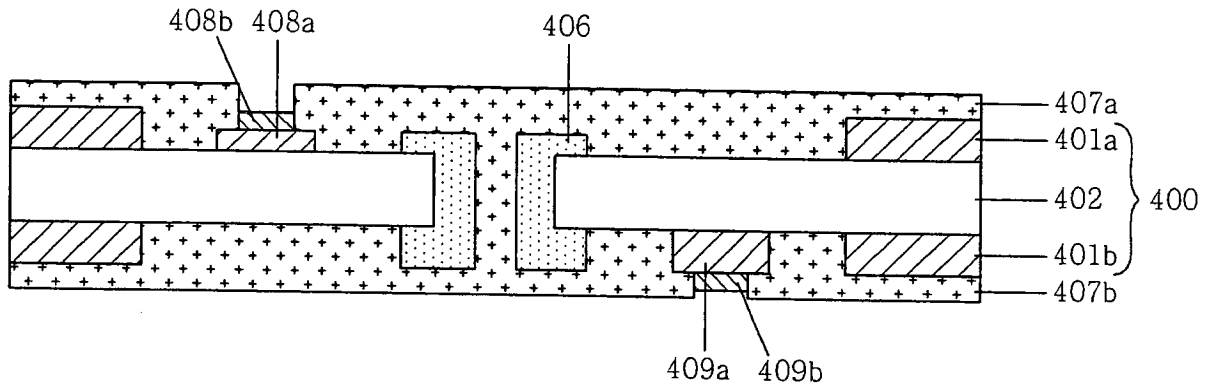
第 4E 圖



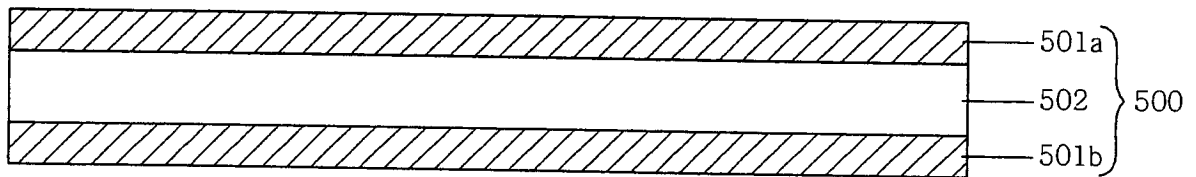
第 4F 圖



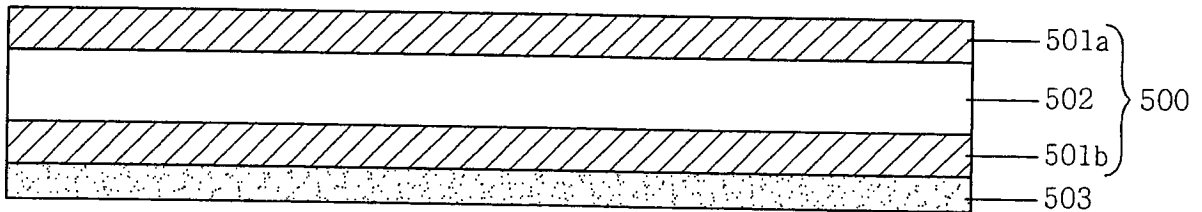
第 4G 圖



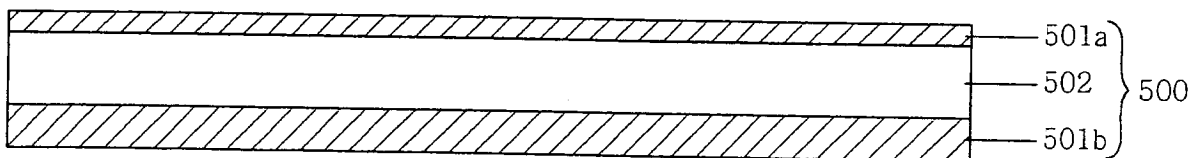
第 5A 圖



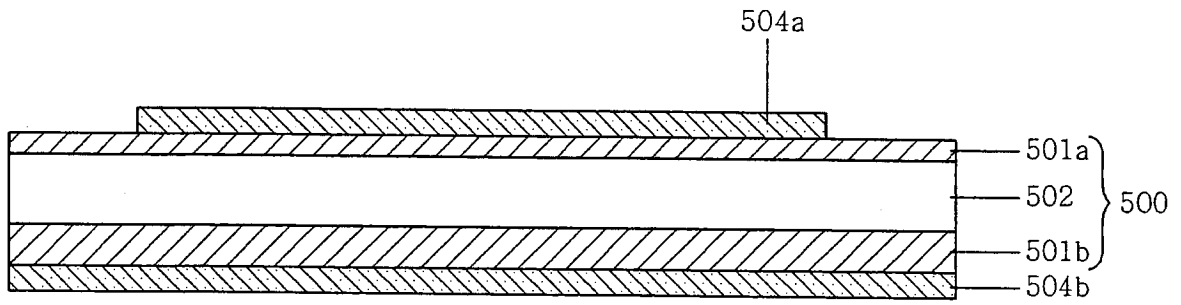
第 5B 圖



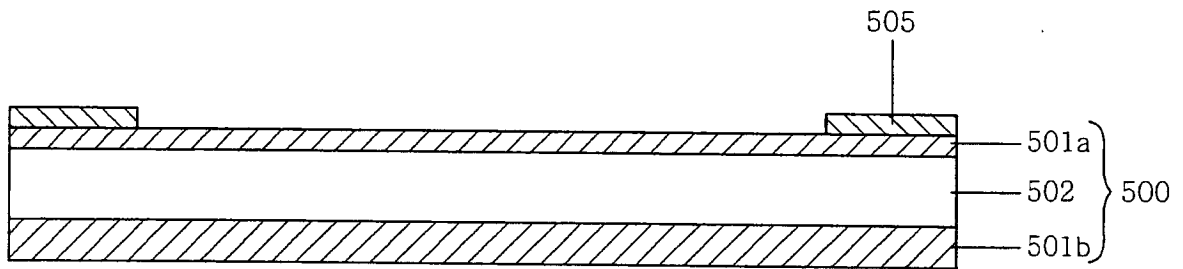
第 5C 圖



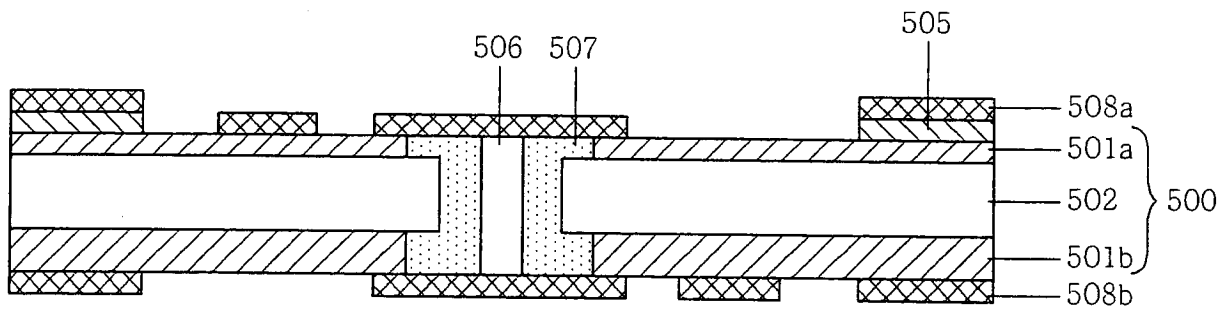
第 5D 圖



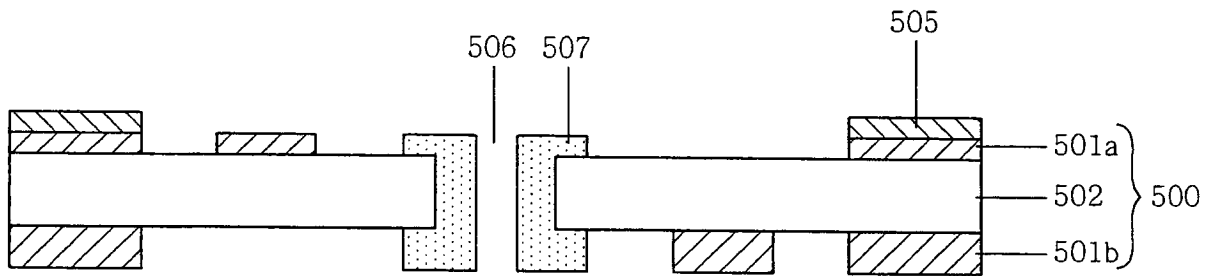
第 5E 圖



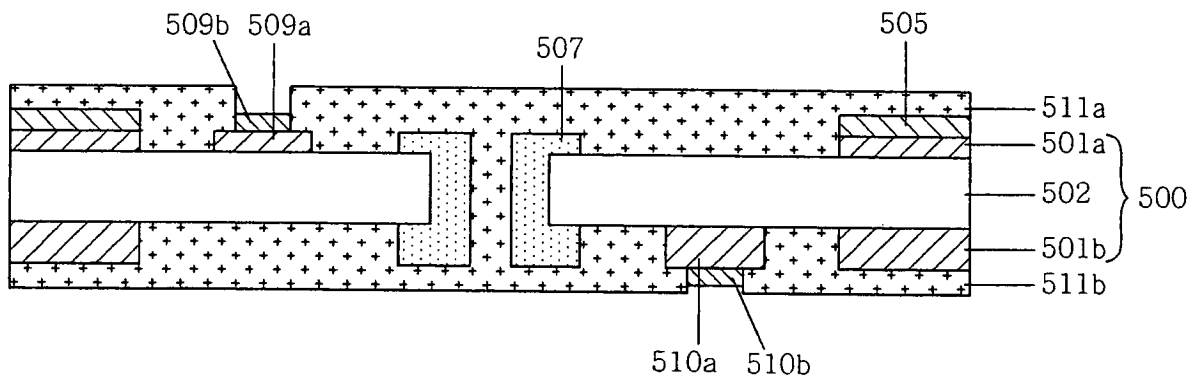
第 5F 圖



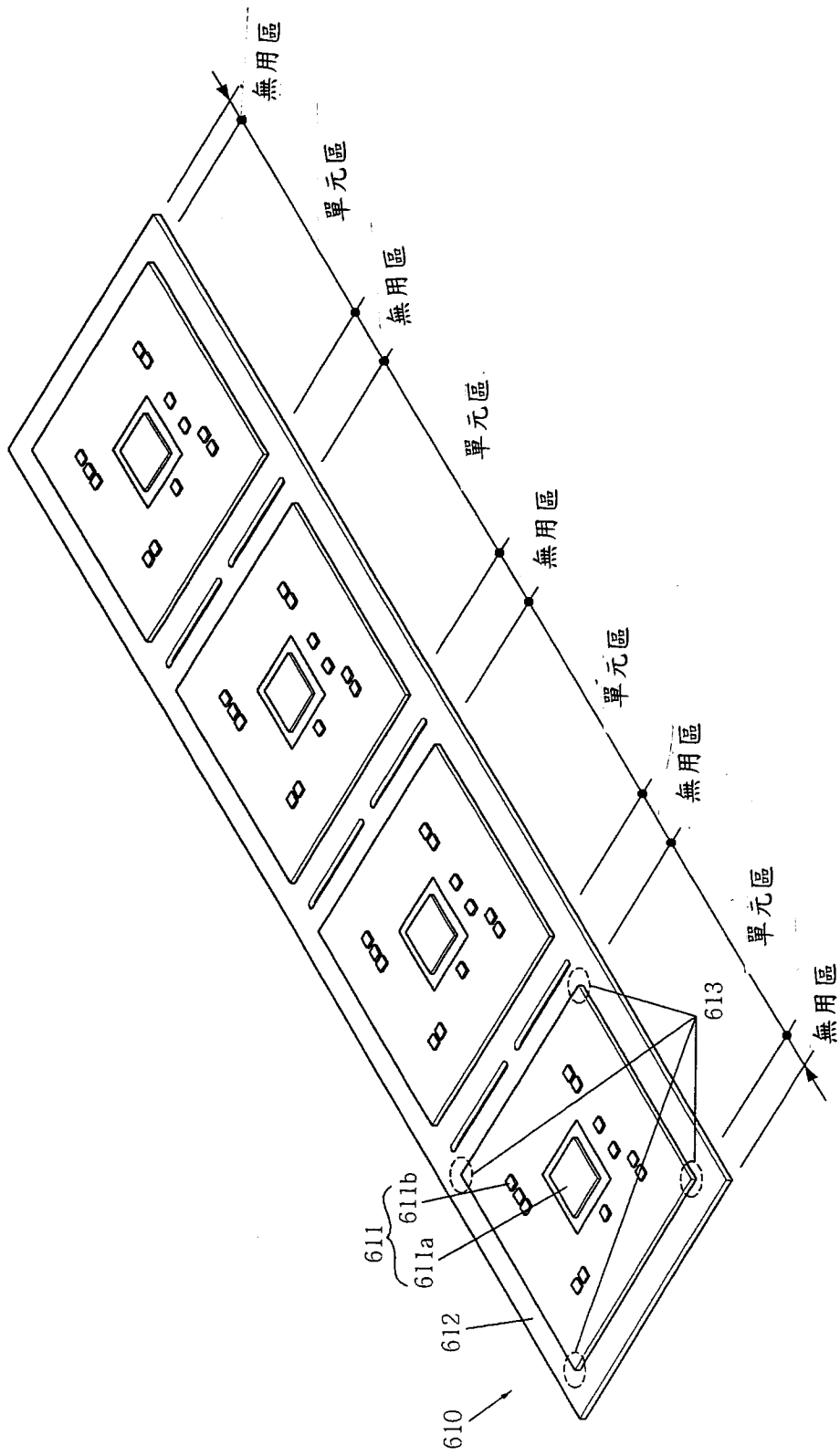
第 5G 圖



第 5H 圖



第 6 圖



**七、指定代表圖：**

(一)本案指定代表圖為：第( 3 )圖。

(二)本代表圖之元件符號簡單說明：

302...絕緣層	304bb...線路層
304a...線路層	304bc...OSP(有機可焊性保護)- 處理表面
304aa...佈線焊墊	
304ab...線路層	306a...防焊光阻
304ac...金層	306b...防焊光阻
304b...線路層	307...通孔
304ba...球墊	

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**