

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0074990
H01L 21/28 (2006.01) (43) 공개일자 2006년07월04일

(21) 출원번호 10-2004-0113533
(22) 출원일자 2004년12월28일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 이홍구
서울 동작구 사당1동 1024-23 301호
이해정
서울 강동구 암사동 선사현대아파트 110-1005
(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 소자 제조 방법

요약

본 발명은 적층 산화막을 관통하는 비트라인콘택홀 형성시 적층산화막 계면에서 틈이 발생되어 비트라인콘택간의 브릿지가 발생하는 것을 방지하는데 적합한 반도체 소자 제조 방법을 제공하기 위한 것으로, 이를 위한 본 발명의 반도체 소자 제조 방법은 반도체 기판 상에 제 1산화막과 제 2산화막을 적층 형성하는 단계; 적층된 상기 제 1 및 제 2산화막을 식각하여 상기 반도체 기판이 노출되는 비트라인콘택홀을 형성하는 단계; 상기 비트라인콘택홀의 측벽에 질화막 스페이서를 형성하는 단계; 및 상기 질화막 스페이서가 형성된 비트라인콘택홀을 BOE용액으로 세정하는 단계를 포함한다.

대표도

도 2e

색인어

비트라인 콘택홀, 선폭 조절, 브릿지, 습식 케미컬

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자 제조 방법을 도시한 공정 단면도와 TEM 사진,

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자 제조 방법을 도시한 공정 단면도와 TEM 사진.

* 도면의 주요 부분에 대한 부호의 설명

- 21 : 반도체 기판 22 : 소자분리막
- 23 : 게이트 절연막 24 : 게이트 전도막
- 25 : 게이트 하드마스크 26 : 스페이서
- 27 : 제 1층간절연막 28 : 랜딩 플러그
- 29 : 제 2층간절연막 30 : 스페이서 질화막
- 31 : 베리어 메탈

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 비트라인 콘택홀 형성 방법에 관한 것이고, 더 자세히는 주변영역에 형성되는 비트라인 콘택홀이 인접 홀과 브릿지(Bridge)가 발생하는 것을 방지하고자 하는 반도체 소자 제조 방법에 관한 것이다.

반도체 메모리 소장 중 DRAM(Dynamic Random Access Memory) 등은 예컨대, 1T1C(하나의 트랜지스터와 하나의 캐패시터)로 구성된 단위 셀을 복수개 포함하는 셀영역과 그 이외의 단위 소자들을 포함하는 주변영역으로 크게 구분된다.

예컨대, 비트라인(Bitline)은 셀 트랜지스터의 소스 쪽에 연결되어 실제로 데이터가 전송되는 라인으로, 셀 영역 측면에서는 이러한 비트라인의 전기적 연결을 위해 게이트 전극(예컨대, 워드라인) 측면의 소스/드레인 접합 영역에 콘택된 셀 콘택 플러그와 비트라인 콘택을 통해 연결되며, 이러한 비트라인을 통해 전달된 셀 데이터를 감지 및 증폭하기 위한 비트라인 감지 증폭기를 포함하는 주변영역 측면에서는 비트라인 감지증폭기와 비트라인 간의 전기적 연결을 위해 콘택이 필요하다.

도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자 제조 방법에 관한 공정 단면도와 TEM 사진이다.

도 1a에 도시된 바와 같이, 반도체 기판(11)에 국부적으로 필드 영역과 액티브 영역을 구분하는 소자분리막(12)이 형성되어 있고, 셀영역의 반도체 기판(11) 상에 게이트 절연막(13), 게이트 전도막(14), 게이트 하드마스크(15)가 적층되고 그 측벽에 스페이서(16)를 갖는 게이트 패턴(G1)이 형성되어 있다.

주변영역의 반도체 기판(11) 상에도 게이트 절연막(13), 게이트 전도막(14), 게이트 하드마스크(15)가 적층되고 그 측벽에 스페이서(16)를 갖는 게이트 패턴(G2)이 형성되어 있다.

셀영역에서는 제 1층간절연막(17)을 관통하여 반도체 기판(11)과 접속되고 게이트 하드마스크(15)와 그 상부가 평탄화된 랜딩 플러그(18)가 형성되어 있다.

랜딩 플러그(18) 및 제 1층간절연막(17) 상에는 제 2층간절연막(19)이 형성되어 있다.

이어서 도 1b에 도시된 바와 같이, 셀영역에서는 제 2층간절연막(19)이 선택적으로 식각되어 랜딩 플러그(18)를 노출시키는 제 1비트라인콘택홀이 형성되어 있고, 주변영역에서는 제 2층간절연막(19)과 제 1층간절연막(17)이 선택적으로 식각되어 기판의 일부 영역을 노출시키는 제 2비트라인콘택홀이 형성되어 있다. 이 후, 베리어 메탈을 증착하기전 세정(Cleaning) 공정을 실시할 때, 산화막을 소량 식각하는 BOE용액을 사용하게 되는데, 이 습식 케미컬의 측면 식각(Lateral Etch) 습성에 의해 적층된 제 1, 2 층간절연막(17,19) 사이가 식각되어 틈(A)이 발생하게 된다.

이어서 도 1c에 도시된 바와 같이, BCL2의 프로파일을 따라 베리어 메탈(20)을 증착하는데, 습식 케미컬에 의한 측면 식각시 발생한 틈(A)은 측벽 스텝 커버리지가 비교적 우수한 베리어 메탈(20)로 채워지므로, 인접 비트라인 콘택홀과의 브릿지 유발 가능성이 있고, 누설 전류(Leakage Current)에 의한 비트라인콘택 저항 증가의 원인이 되므로 DRAM 동작에 치명적인 원인을 일으킨다.

도 1d는 세정시 BOE 용액의 습식 케미컬로 인한 적층 산화막(17,19) 사이에 틈이 발생한 TEM 사진이다.

상술한 바와 같이, 주변영역에 제 2비트라인콘택홀을 형성한 후, 베리어 메탈을 증착하기 전 세정 공정시 습식 케미컬에 의해 적층된 층간절연막 사이에 틈이 발생하고, 이로 인해 인접한 비트라인콘택간에 브릿지가 발생되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 적층 산화막을 관통하는 비트라인콘택홀 형성시 적층산화막 계면에서 틈이 발생되어 비트라인콘택간의 브릿지가 발생하는 것을 방지하는데 적합한 반도체 소자 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 일 특징적인 본 발명의 반도체 소자 제조 방법은 반도체 기판 상에 제 1산화막과 제 2산화막을 적층 형성하는 단계, 적층된 상기 제 1 및 제 2산화막을 식각하여 상기 반도체 기판이 노출되는 비트라인콘택홀을 형성하는 단계, 상기 비트라인콘택홀의 측벽에 질화막 스페이서를 형성하는 단계, 및 상기 질화막 스페이서가 형성된 비트라인콘택홀을 BOE용액으로 세정하는 단계를 포함한다.

이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2e는 본 발명의 일실시예에 따른 반도체 소자 제조 방법을 도시한 공정 단면도이다.

도 2a에 도시된 바와 같이, 반도체 소자를 이루기 위한 여러 요소가 형성된반도체 기판(21)에 국부적으로 필드 영역과 액티브 영역을 구분하는 소자분리막 (22)을 형성한다.

이어서, 반도체 기판(21) 상에 게이트 절연막(23), 게이트 전도막(24), 게이트 하드마스크(25)가 적층되고 그 측벽에 스페이서(26)를 갖는 게이트 패턴(G1)이 형성되어 있다.

게이트 패턴(G1) 형성 방법은 게이트 절연막(23) 상에 게이트 전도막(24)과 게이트 하드마스크(25)를 차례로 증착한 다음, 포토리소그라피 공정을 통해 게이트 패턴 형성을 위한 마스크 패턴을 형성하고, 마스크 패턴을 식각마스크로 게이트 전도막(24)과 게이트 하드마스크(25)를 식각함으로써 게이트 하드마스크(25), 게이트 전도막(24), 게이트 절연막(23)의 적층 구조를 갖는 게이트 패턴(G1)을 형성한다.

게이트 전도막(24)은 폴리실리콘, 텅스텐, 텅스텐 실리사이드, Ti, TiN 등의 단독 또는 조합된 구조를 포함하며, 게이트 하드마스크(25)는 질화막 계열 또는 산화막 계열의 절연성 막을 포함한다.

이어서, 게이트 패턴(G1)의 프로파일을 따라 질화막과 산화막의 단독 또는 조합된 형태로 절연막을 증착한 다음, 에치백 공정을 실시하여 게이트 패턴 측벽에 스페이서(26)를 형성한다. 스페이서(26)는 후속 식각 공정에서 게이트 패턴(G1)이 어택받는 것을 방지하기 위해 형성하는 것이다.

이어서, 주변영역의 반도체 기판(21) 상에도 게이트 절연막(23), 게이트 전도막(24), 게이트 하드마스크(25)가 적층되고 그 측벽에 스페이서(26)를 갖는 게이트 패턴(G2)이 형성되어 있다.

이어서, 셀영역과 주변영역의 전면에 제 1층간절연막(27)을 형성한다. 제 1층간절연막(27)은 산화막 계열의 절연성 막이나, 유기 또는 무기 계열의 저유전율막을 포함한다.

제 1층간절연막(27)을 산화막 계열의 물질막으로 이용할 경우에는 BSG(Boro-Silicate-Glass)막, BPSG(Boro-Phospho-Silicate-Glass)막, PSG(Phospho-Silicate-Glass)막, TEOS(Tetra-Ethyl-Ortho-Silicate)막, HDP(High Density Plasma) 산화막, SOG(Spin On Glass)막 또는 APL(Advanced Planarization Layer)막 등을 이용하며, 산화막 계열 이외에 무기 또는 유기 계열의 저유전율막을 이용할 수 있다.

이어서, 후속 포토리소그래피 공정 마진을 확보하기 위해 제 1층간절연막 (27) 상부를 CMP 또는 전면 식각 공정을 이용하여 평탄화시킨다.

이어서, 평탄화된 제 1층간절연막(27) 상에 랜딩 플러그 형성을 위한 마스크 패턴(도시 생략)을 형성하고 마스크 패턴을 식각 마스크로 제 1층간절연막(27)을 식각하여 셀영역에서 게이트 패턴(G1) 사이의 반도체 기판(21)을 노출시킨 다음, 마스크 패턴을 제거하고 전면에 플러그 형성을 위한 전도막을 형성한 후, 게이트 하드마스크(25)가 노출되도록 평탄화 공정을 실시하여 플러그(28)를 분리(Isolation)시킨다.

계속해서, 랜딩 플러그(28)와 제 1층간절연막(27) 상에 제 2층간절연막(29)을 증착한 다음, 제 2층간절연막(29) 상부를 평탄화시킨다. 제 2층간절연막(29)은 제 1층간절연막(27) 물질과 동일 물질을 사용한다.

이어서, 도 2b에 도시된 바와 같이, 셀영역에서는 제 2층간절연막(29)이 선택적으로 식각되어 랜딩 플러그(28)를 노출시키는 제 1비트라인콘택홀을 형성하고, 주변영역에서는 제 2층간절연막(29)과 제 1층간절연막(27)이 선택적으로 식각되어 반도체 기판(21)의 일부 영역을 노출시키는 제 2비트라인콘택홀을 형성한다.

제 2비트라인콘택홀을 형성한 후, 층간절연막(27,29)을 식각하지 않으면서 제 2비트라인콘택홀 식각시 사용한 포토레지스트 잔유물(도시 생략)을 제거하는 세정을 실시한다.

이어서, 세정 공정을 실시한 제 2비트라인콘택홀의 측벽을 따라 스페이서 질화막(30)을 증착한다. 균일하게 증착하기 위해 스텝 커버리지가 우수하고 치밀한 구조를 갖고 있는 LPCVD에 의한 질화막(Nitride)를 사용한다.

제 2비트라인콘택홀에 스페이서 질화막(30)을 증착하므로써 제 2비트라인콘택홀 측벽을 노출하지 않고 후속 제 2비트라인콘택홀 세정 공정시 습식 케미컬 침투로 인한 디펙을 방지할 수 있다. 스페이서 질화막(30)은 10Å ~ 100Å의 두께로 형성한다.

이어서, 도 2c에 도시된 바와 같이, 제 2비트라인콘택홀 바닥면의 스페이서 질화막(30)을 제거하기 위해 블랭킷(Blanket)으로 에치백한다. 방향성을 갖는 건식 식각의 특성으로 인해 제 2비트라인콘택홀 측벽의 스페이서 질화막(30a)은 제거되지 않으면서 제 2비트라인콘택홀의 바닥면의 질화막(30)을 제거할 수 있다.

이어서, 도 2d은 도 2c의 공정을 진행한 후의 TEM 사진으로, 제 2비트라인콘택홀 바닥면을 제외한 제 2비트라인콘택홀 측면에 층간절연막(27,29)의 계면(B)을 보호하는 스페이서 질화막(30)이 증착된 것을 볼 수 있다.

이어서, 도 2e에 도시된 바와 같이, 세정을 진행하면 스페이서 질화막(30)이 제 1, 2층간절연막(27, 29) 사이의 계면을 막아주기 때문에 습식 케미컬의 침투를 방지하여 측면 습식각에 의한 이웃하는 비트라인콘택간 브릿지를 방지한다.

계속해서, 결과물의 프로파일을 따라 베리어 메탈(31)을 증착한다. 베리어 메탈(31)은 Ti막, TiN막, TiSi₂막 등의 단독 또는 조합된 구조를 사용하고 그 증착 두께를 얇게 하여 베리어 메탈(31)과 이후 콘택홀에 매립될 비트라인 전도막 사이에서의 콘택 저항을 최소화한다.

상술한 바와 같이, 제 2비트라인콘택홀 내부에 스페이서 질화막을 증착하므로써, DRAM 동작에 치명적인 페일을 유발하는 비트라인콘택 간의 브릿지를 방지할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 주변영역 비트라인콘택홀에 스페이서 질화막을 형성하여 측벽을 통해 인접 비트라인 콘택홀 사이에 발생하는 디펙트를 방지하므로써 반도체 소자의 수율을 향상시키는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 제 1산화막과 제 2산화막을 적층 형성하는 단계;

적층된 상기 제 1 및 제 2산화막을 식각하여 상기 반도체 기판이 노출되는 비트라인콘택홀을 형성하는 단계;

상기 비트라인콘택홀의 측벽에 질화막 스페이서를 형성하는 단계; 및

상기 질화막 스페이서가 형성된 비트라인콘택홀을 BOE용액으로 세정하는 단계

를 포함하는 반도체 소자 제조 방법.

청구항 2.

제 1항에 있어서,

상기 질화막 스페이서는 LPCVD로 형성하는 반도체 소자 제조 방법.

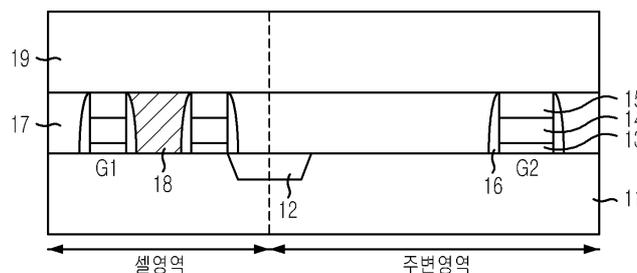
청구항 3.

제 1항에 있어서,

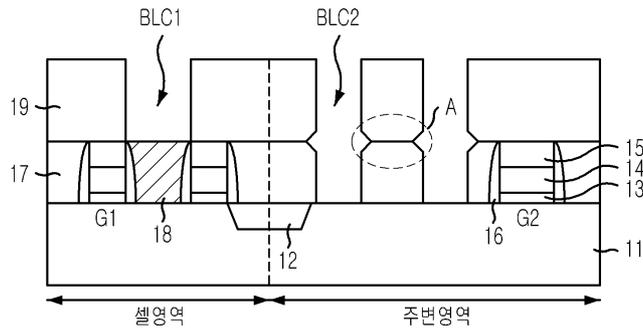
상기 질화막 스페이서는 10Å ~ 100Å 두께로 형성하는 반도체 소자 제조 방법.

도면

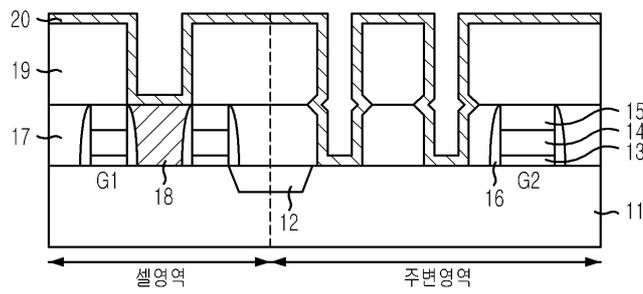
도면1a



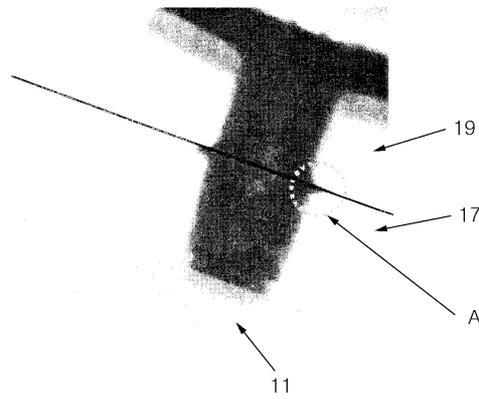
도면1b



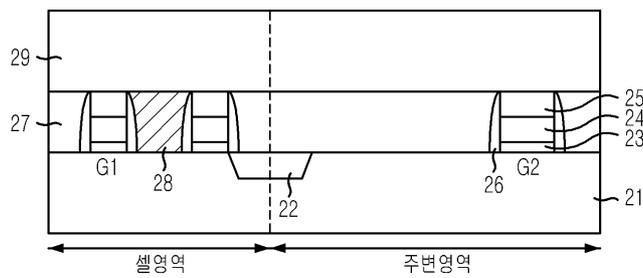
도면1c



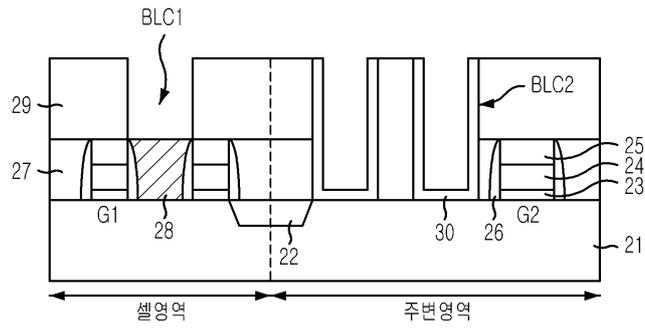
도면1d



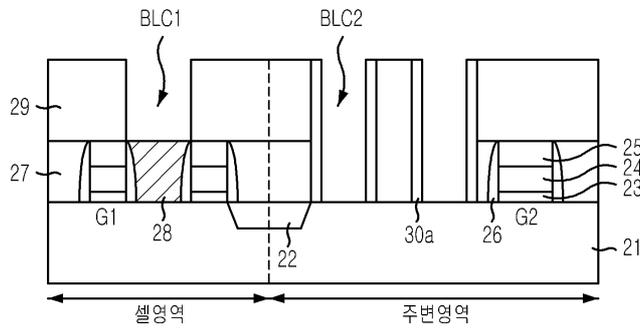
도면2a



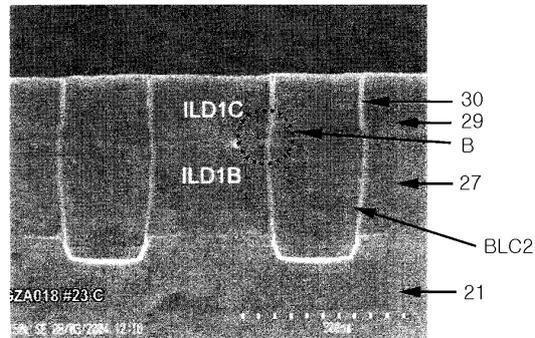
도면2b



도면2c



도면2d



도면2e

