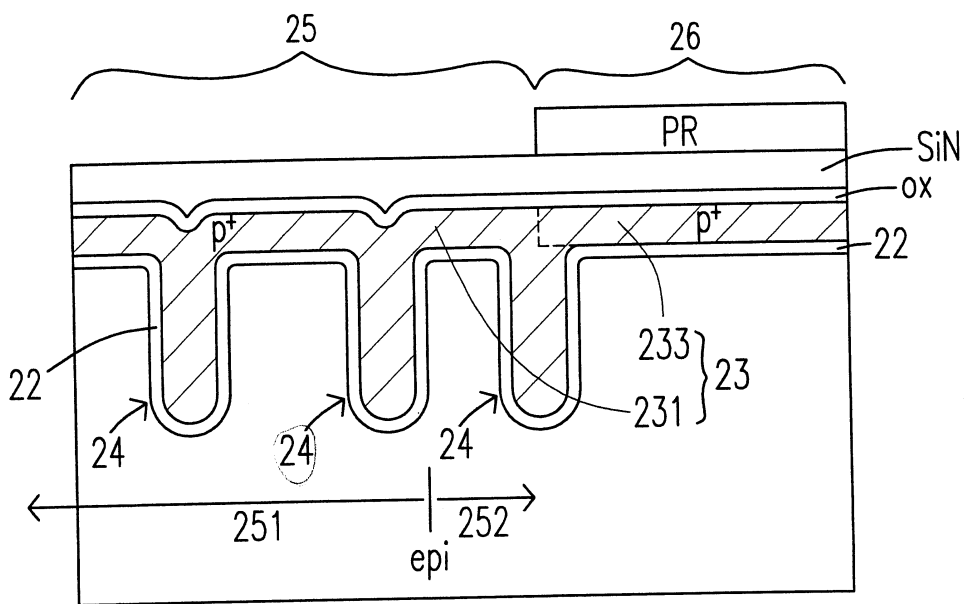
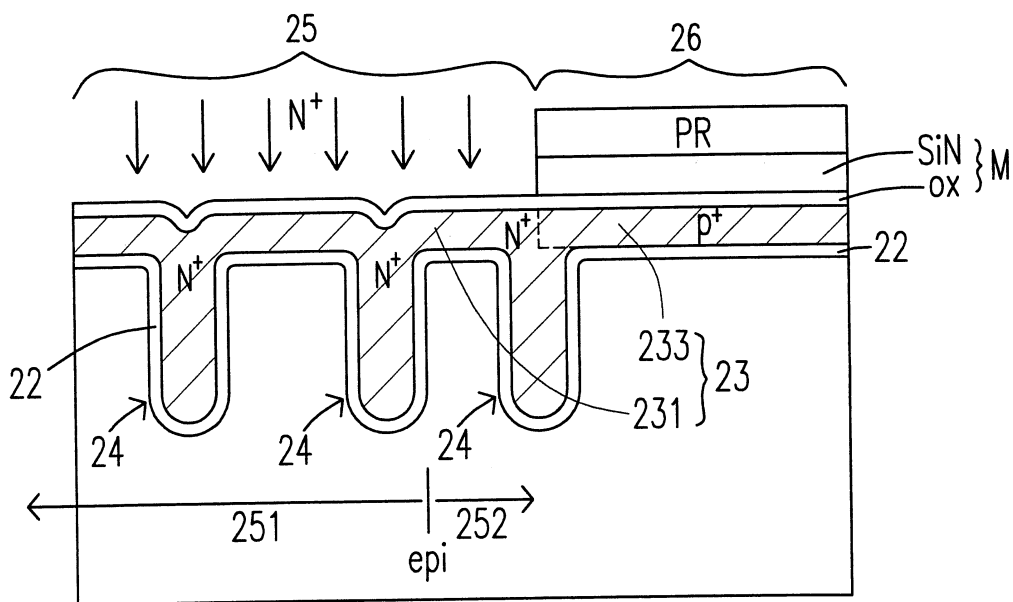


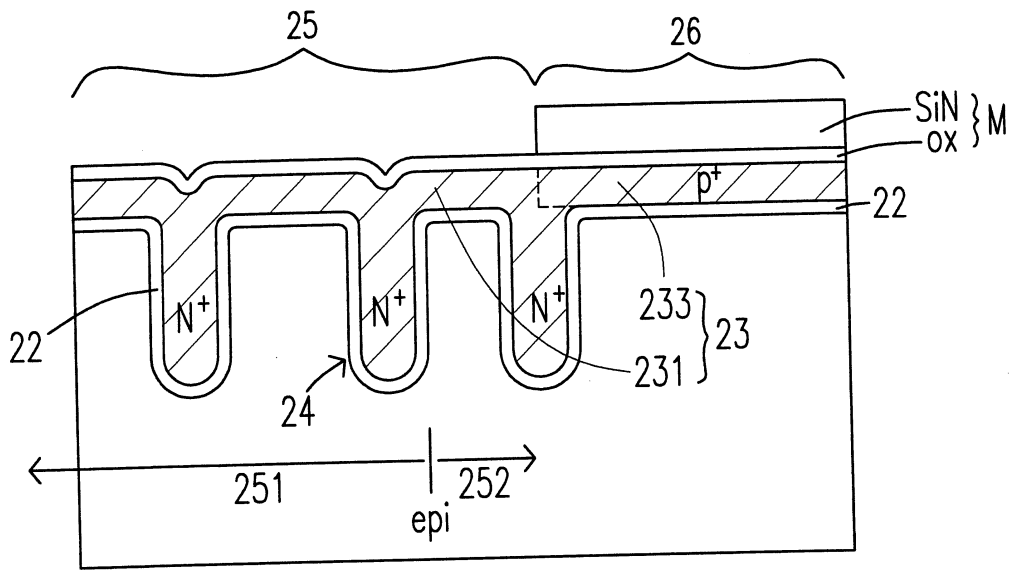
第一圖



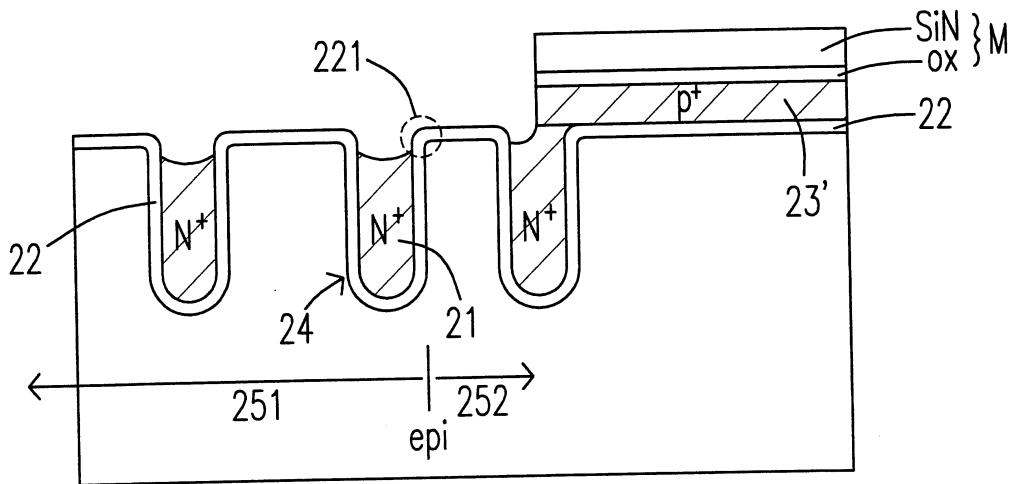
第二圖(a)



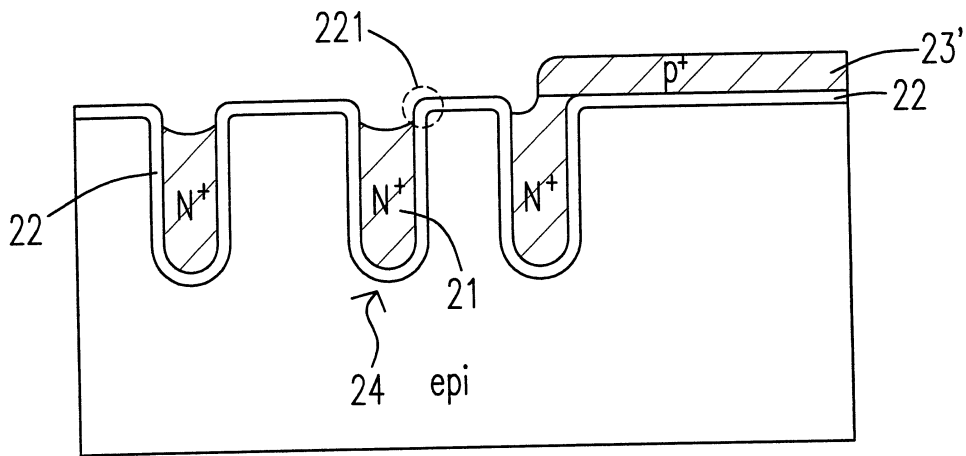
第二圖(b)



第二圖(c)



第二圖(d)



第二圖(e)

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93126104

※ 申請日期： 93.8.20

※IPC 分類：H01L 21/00, 23/60

壹、發明名稱：積體電路的製作方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)台灣茂矽電子股份有限公司

代表人：(中文/英文)(簽章)陳民良 住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市研新一路 1 號

國 籍：(中文/英文)中華民國 TW

參、發明人：(共 4 人)

姓 名：(中文/英文) 1. 謝興煌； 2. 張建平； 3. 曾茂松； 4. 袁天民

國 籍：(中文/英文) 1.-4. 中華民國 TW

肆、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93126104

※申請日期：93.8.20

※IPC 分類：H01L 21/00, 23/60

壹、發明名稱：積體電路的製作方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)台灣茂矽電子股份有限公司

代表人：(中文/英文)(簽章)陳民良 住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市研新一路 1 號

國籍：(中文/英文)中華民國 TW

參、發明人：(共 4 人)

姓名：(中文/英文) 1. 謝興煌； 2. 張建平； 3. 曾茂松； 4. 袁天民

國籍：(中文/英文) 1.-4. 中華民國 TW

肆、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

玖、發明說明：

【本發明所屬之技術領域】

本案係為一種具有靜電保護(ESD)設計之溝渠式金氧半場效電晶體(Trench MOSFET)的製作方法及，特別是一種同時製造渠溝式閘極元件和平面式靜電保護元件的製作方法。

【先前技術】

功率元件金氧半場效電晶體(MOSFET、MOS)具有高輸入阻抗(input impedance)，因此特別容易受到靜電放電脈衝(ESD pulse)的損害。另外，現今的積體電路製程中為了可獲得具有較低起始電壓(V_t)的 MOS，其閘極氧化物層(gate oxide)的厚度多需變的較薄，在這樣的需求下，只要在製程中使用 15-20V 左右的電壓，那麼閘極氧化物層就容易受到傷害，進而造成漏電等情形。因此，在功率元件 MOS 的應用上，加上一靜電放電(ESD)防護電路是必要的。

既有的溝渠式金氧半場效電晶體(Trench MOSFET)技術中，在靜電保護(ESD)電路的製作中，常是先製造功率元件 MOS 後，才加上一 ESD 防護電路。以 NMOS 為例，在傳統渠溝式雙擴散電晶體(trench-DMOS)的製作上，首先於具有渠溝之磊晶矽半導體材質表面上形成氧化物層，在氧化物層形成之後，以一層具有摻雜的多晶矽層(doped polysilicon)填滿渠溝，接著蝕刻到表面，只留下渠溝內部的多晶矽層以形成功率元件 MOS 的閘極。在完成 MOS 閘極的製造後，進行第二次的多晶矽層沈積以形成靜電保護(ESD)電路，即在渠溝表面沈積一層未摻雜的多晶矽並全面性植入 P 型離子(P^+)，接下來以光阻把周邊及 ESD 防護電路所需要的多晶矽層保留，再進行第二次多晶矽層的蝕刻以形成 ESD 防護電路所需要的多晶矽層。

請參考第一圖，其為一具有 ESD 防護電路之傳統渠溝

式雙擴散電晶體(trench-DMOS)示意圖。磊晶矽 epi 之半導體材質上具有渠溝 14，半導體材質表面上是氧化物層 12，氧化物層 12 可同時作為閘極氧化物層以及 ESD 保護電路的介電層，氧化物層 12 之上分別是渠溝式 MOS 15 及 ESD 保護電路 17。其中，渠溝式 MOS 15 的閘極 11 及 ESD 保護電路 17 的多晶矽層 13 分別於第一次及第二次蝕刻後形成。上述的兩次蝕刻，以及蝕刻後在酸槽中的清洗，會使渠溝上方的角落氧化物層 121 容易受到電漿及氫氟酸(HF)的侵蝕，造成閘極氧化物層漏電。此外，為了因應電性需求而要將閘極氧化物層變薄時，勢必也會讓漏電情況變得更加嚴重。

由於既有之技術或知識中，是在製造功率元件 MOS 之後，才加上一 ESD 防護電路，其使用了兩次多晶矽層的沈積及蝕刻的製程，極易造成閘極氧化物層漏電，因此，本案提供一種可同時製造渠溝式閘極元件和平面式靜電保護(ESD)元件的製作方法，其可解決漏電的問題、降低生產成本以及提升良率。

【發明內容】

本案係為一種改良式，具靜電保護(ESD)設計之溝渠式金氧半場效電晶體(Trench MOSFET)積體電路的製作方法，用於同時製造渠溝式閘極元件和平面式靜電保護(ESD)元件，其顯然的進步包括只使用一次多晶矽層的沈積及蝕刻的製程即可同時形成渠溝式元件的閘極和平面式靜電保護(ESD)元件的多晶矽層，由於對於渠溝上方的閘極氧化物層只經過一次電漿蝕刻，所以本案之閘極氧化物層可耐更高的電壓、並減少漏電問題的發生，尤其在薄閘極氧化物層的產品應用上，可提升耐壓。

本案的內容將敘述於實施例，包括同時製造渠溝式閘極元件和平面式靜電保護(ESD)元件的方法及結構。本案係由申請專利範圍所定義。

【實施方式】

為了有效改善既有技術中使用兩次多晶矽層的沈積及蝕刻的製程，以及此既有製程所易造成的閘極氧化物層漏電問題，本案提出一種新穎的積體電路製作方法來解決上述問題。

根據本案之一實施例，本案積體電路的製作方法係可以第二圖(a)至(e)所示的流程作說明。

請參考第二圖(a)，磊晶矽 epi 之半導體材質上具有渠溝 24，半導體材質表面上是氧化物層 22，氧化物層 22 上沈積未摻雜之多晶矽層 23，此多晶矽層 23 區分為渠溝區域 25 之多晶矽層 231 及平面區域 26 之多晶矽層 233，其中渠溝區域 25 又進一步區分成單元區域 251 (cell area) 與閘極匯流排區域 252 (gate bus area)，閘極匯流排區域 252 之渠溝功用在於，其渠溝可將單元區域 251 渠溝中之多晶矽拉出集中至閘極探針 (gate pad) 處。本案之流程圖係為一橫切剖面示意圖，因而會隨著不同的橫切位置存有不同的差異，例如，本案可由另一橫切剖面位置，僅示出單元區域 251 之渠溝。

同樣參考本案第二圖(a)，首先於多晶矽層 23 植入 P 型離子 (P^+)，並藉由加溫多晶矽層 23 的表面，形成氧化物層 ox。進一步地，在氧化物層 ox 之上沈積氮化矽層 SiN (Si_3N_4)，並在氮化矽層 SiN 上形成一光阻 PR。此光阻 PR 覆蓋至閘極匯流排區域 252 之渠溝開口近一半處，目的在於防止多晶矽蝕刻時微渠溝效應 (micro trenching effect) 的產生。此效應即是在光阻完成顯影之後，對多晶矽層進行電漿蝕刻時，於光阻覆蓋及光阻未覆蓋的界面處會有垂直往下及由側壁反彈的電漿，這些電漿會對界面下方的閘極氧化物層產生不預期的過度蝕刻，進而傷及閘極氧化物層。

請接著參考第二圖(b)，在光阻 PR 形成後，進行氮化矽層的蝕刻以去掉未被光阻 PR 保護之氮化矽層 SiN。此氮化矽層蝕刻，停止於氧化物層 ox，目的在形成一單幕層 M。此單幕層 M 是由未被蝕刻的氮化矽層 SiN 及平面區域 26 的氧化物層 ox 所組成，並且用以保留平面區域 26 之多晶矽層 233。第二圖(b)中，未被單幕層 M 覆蓋的渠溝區域 25 之多晶矽層 231 的表面係被植入摻質。

根據本實施例，植入摻質的方式為離子植入，此摻質子為 N 型離子 (N^+)，例如磷離子。儘管本實施例以 NMOS 作為說明，本實施方式也同樣適用於其他功率元件 PMOS 的製作。

植入摻質之後，將光阻 PR 移除，藉由高溫擴散方式將 N 型離子均勻驅入渠溝區域 25 之多晶矽層 231。至此，如第二圖(c)所示，渠溝區域 25 之多晶矽層 231 已呈現具有 N 型之多晶矽層，換言之，多晶矽層 231 之電性已由 P 型轉成 N 型。

為了同時獲得渠溝式 MOS 之閘極以及 ESD 防護電路之多晶矽層，本案利用前述形成的單幕層 M 作為硬式單幕，進行多晶矽乾式蝕刻，其結果如第二圖(d)所示，該單幕層 M 保留了 ESD 防護電路所需要之多晶矽層 23'。此外，由於本製程僅需進行一次之多晶矽層蝕刻，因此，角落氧化物層 221 不會一再地被侵蝕、損失，因而容易維持均勻的厚度。

接著，將單幕層 M 移除，則渠溝式 MOS 之閘極 21 以及 ESD 保護電路之多晶矽層 23' 便分別形成，其中因為光阻 PR 覆蓋至閘極匯流排區域 252 之渠溝開口近一半處，所以單幕層 M 亦因此覆蓋至閘極匯流排區域 252 之渠溝開口近一半處，故而形成後的多晶矽層 23' 亦覆蓋至閘極匯流排區域之渠溝開口近一半處。如第二圖(e)所示，形成的渠溝

式 MOS 之閘極 21 為 N 型多晶矽，而形成的 ESD 保護電路之多晶矽層 23' 則為 P 型多晶矽，而當然此 ESD 防護電路之多晶矽層 23' 可依所需要的 ESD 防護電路需求，進一步定義其 P 型多晶矽層中的 N 型區域，例如定義成 NPN 或 NPNPN 等的多晶矽層。另外，由於罩幕層 M 是由氮化矽層及氧化物層組成，因此可分別利用磷酸及氫氟酸將之移除。

根據上述第二圖 (a) 至 (e) 的流程示意圖，依順序可實行本案之方法，並據以獲得一結構。請參考第三圖，其係根據本案方法所得其中之一具有 ESD 防護電路之渠溝式雙擴散電晶體 (trench-DMOS) 示意圖。

本案之積體電路製作方法及結構係以 NMOS 為例作說明，然而，本案的方法及結構也同樣適用於 PMOS 及 CMOS 的製程。

請參考第三圖之結構，本案之積體電路結構具有半導體材質的磊晶矽 epi，該半導體材質具有渠溝區域 34 及平面區域 36，半導體材質之表面覆蓋以絕緣層 32。渠溝區域 34 的絕緣層上為渠溝式雙擴散電晶體 35，其具有源極 S、汲極 D 及閘極 31。平面區域 36 的絕緣層上為 ESD 防護電路 37，其中 ESD 保護電路之多晶矽層 23' 定義成 NPN 的多晶矽層。其中，絕緣層 32 具有一均勻的厚度，且其位於渠溝區域 34 之絕緣層可作為渠溝式雙擴散電晶體 35 的閘極氧化物層，而位於該平面區域 36 的絕緣層 32 可作為 ESD 防護電路 37 的介電層。

根據本案方法所得的上述結構，同樣參考第三圖，因其具有厚度均勻的絕緣層 32、來源相同的渠溝式雙擴散電晶體的閘極 31 以及 ESD 保護電路的多晶矽層 33'，使得本案的方法具有顯然的進步。該閘極 31 及多晶矽層 33' 係來自同一多晶矽層的一次沈積及一次蝕刻，可大為簡化功率元件的製程、降低生產成本。也因為絕緣層 32 只經過一次

蝕刻，特別是在渠溝上方的角落絕緣層 321 可維持均勻厚度，當其作為閘極氧化物層時，可以有效解決漏電的問題，提升功率元件的良率。

綜上所述，使用本案之積體電路製作方法及結構，可同時製造渠溝式閘極元件和平面式靜電保護元件，具體改善了使用兩次多晶矽層的沈積及蝕刻的製程，也因為渠溝上方的角落絕緣層只經過一次蝕刻，所以可以減少閘極氧化物層漏電的問題，並提升功率元件的良率。因此，本案具有突出的技術特徵及顯然的進步，且因達成發展本案之目的，而具有產業利用價值。

本案實施例所敘述的方法或結構僅是舉例，而不應限制本案之發明思想，本案得由熟悉本技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

【圖式簡單說明】

第一圖：習知具有 ESD 防護電路之傳統渠溝式雙擴散電晶體(trench-DMOS)示意圖。

第二圖(a)至(e)：本案積體電路的製作方法之流程示意圖。

第三圖：根據本案方法所得其中之一具有 ESD 防護電路之渠溝式雙擴散電晶體(trench-DMOS)示意圖。

【元件符號說明】

- | | |
|-------------------|------------------|
| 11：閘極 | 12：氧化物層 |
| 121：角落氧化物層 | 13：ESD 保護電路之多晶矽層 |
| 14：渠溝 | 15：渠溝式 MOS |
| 17：ESD 保護電路 | 21：渠溝式 MOS 之閘極 |
| 22：氧化物層 | 221：角落氧化物層 |
| 23：多晶矽層 | 231：渠溝區域之多晶矽層 |
| 233：平面區域之多晶矽層 | |
| 23'：ESD 保護電路之多晶矽層 | |
| 24：渠溝 | 25：渠溝區域 |

I290730

251:單元區域 252:閘極匯流排區域
26:平面區域 31:閘極 32:絕緣層
321:角落氧化物層 33':ESD保護電路之多晶矽層
34:半導體材質之渠溝區域 35:渠溝式雙擴散電晶體
36:半導體材質之平面區域 37:ESD防護電路
epi:磊晶矽 ox:氧化物層
SiN (Si₃N₄):氮化矽層 PR:光阻
P⁺:P型離子 N⁺:N型離子
D:汲極 S:源極

伍、中文發明摘要：

本案係為一種具有靜電保護(ESD)設計之溝渠式金氧半場效電晶體的製作方法，其使用一次多晶矽層的沈積及蝕刻即可同時形成渠溝式元件的閘極及平面式具有靜電保護(ESD)元件的多晶矽層。本案的方法及結構克服了閘極氧化物層漏電的問題，並且有效提升耐壓、降低生產成本及提升良率。本案於溝渠式功率元件的技術領域中具有突出的技術特徵。

陸、英文發明摘要：

The present invention provides a manufacturing process of a trench-MOSFET having the anti-ESD device. In the present invention, one polysilicon layer deposition and one polysilicon layer etching are used to form the gate of a trench device and the polysilicon layer of a planar device having the anti-ESD simultaneously. The present invention not only has overcome the problem of electric leakage, but also has the advantages of withstanding higher voltage, reducing the relevant cost and increasing the yields. The present invention possesses the outstanding technical features in the field of trench-type power device.

柒、指定代表圖：

(一)本案指定代表圖為：第(三)圖。

(二)本代表圖之元件代表符號簡單說明：

31：閘極 32：絕緣層 321：角落氧化物層

33'：ESD保護電路之多晶矽層

34：半導體材質之渠溝區域

35：渠溝式雙擴散電晶體

36：半導體材質之平面區域

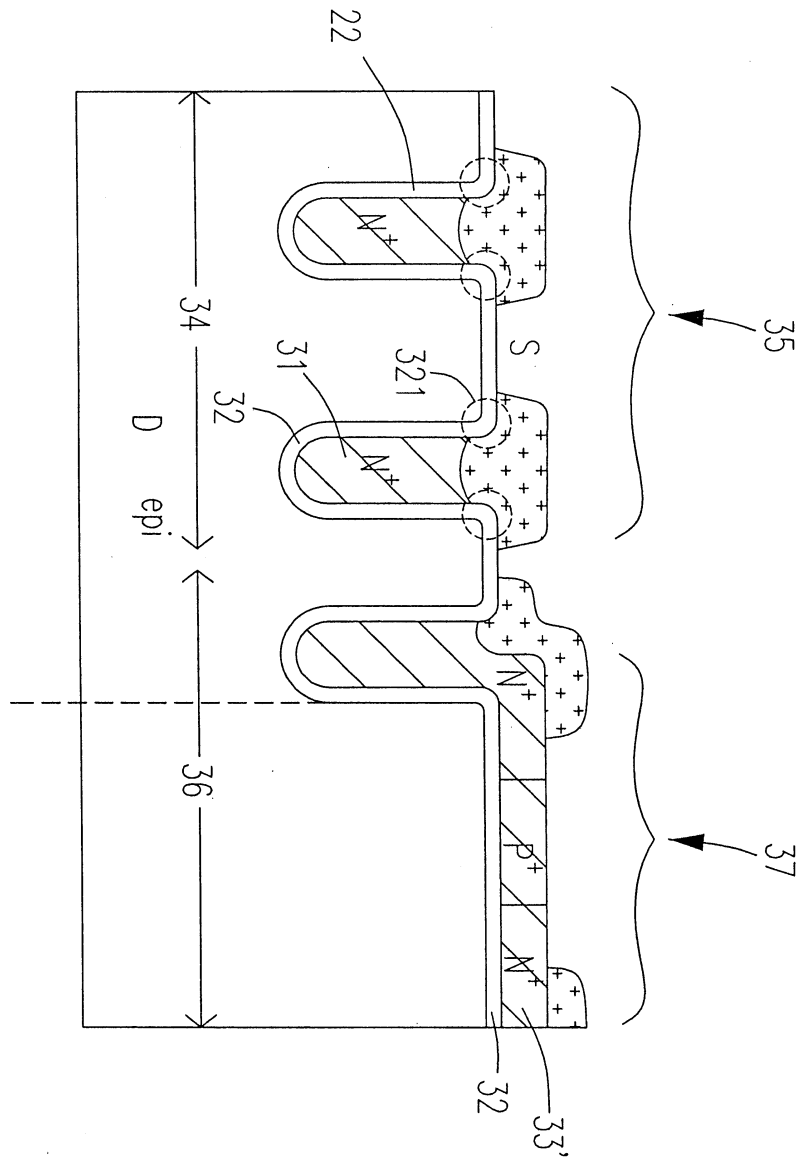
37：ESD防護電路 epi：磊晶矽

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

【申請專利範圍】

1. 一種積體電路之製作方法，其係包括：
 - (a) 在一具有渠溝之半導體材質上形成一第一氧化物層；
 - (b) 形成一多晶矽層於該第一氧化物層之上，其中該多晶矽層區分為一渠溝區域之多晶矽層及一平面區域之多晶矽層；以及
 - (c) 蝕刻部分該多晶矽層，以同時形成一渠溝式元件之一閘極及一平面式靜電保護(ESD)元件之一多晶矽層，其中該多晶矽覆蓋至閘極匯流排區域之渠溝開口近一半處。
2. 如申請專利範圍第 1 項所述之方法，其中(c)蝕刻部分該多晶矽層之前，更包括：
 - 植入一第一摻質於該渠溝區域之多晶矽層；以及
 - 利用一罩幕層覆蓋該平面區域之多晶矽層。
3. 如申請專利範圍第 2 項所述之方法，其中(c)蝕刻部分該多晶矽層之後，更包括：
 - 移除該罩幕層；以及
 - 定義該平面式靜電保護(ESD)元件之該多晶矽層。
4. 如申請專利範圍第 2 項所述之方法，其中係利用一離子植入之方式植入該第一摻質。
5. 如申請專利範圍第 4 項所述之方法，其中該離子植入之方式係藉由高溫擴散來趨入。
6. 如申請專利範圍第 2 或第 3 項所述之方法，其中該罩幕層包含一第二氧化物層。
7. 如申請專利範圍第 1 項所述之方法，其中該第一氧化物層具有一均勻的厚度。
8. 如申請專利範圍第 1 項所述之方法，其中該多晶矽層具有第二摻質。

9.如申請專利範圍第 1 項所述之方法，其中該渠溝式元件為一渠溝式雙擴散電晶體（DMOS）。



第三圖

伍、中文發明摘要：

本案係為一種具有靜電保護(ESD)設計之溝渠式金氧半場效電晶體的製作方法，其使用一次多晶矽層的沈積及蝕刻即可同時形成渠溝式元件的閘極及平面式具有靜電保護(ESD)元件的多晶矽層。本案的方法及結構克服了閘極氧化物層漏電的問題，並且有效提升耐壓、降低生產成本及提升良率。本案於溝渠式功率元件的技術領域中具有突出的技術特徵。

陸、英文發明摘要：

The present invention provides a manufacturing process of a trench-MOSFET having the anti-ESD device. In the present invention, one polysilicon layer deposition and one polysilicon layer etching are used to form the gate of a trench device and the polysilicon layer of a planar device having the anti-ESD simultaneously. The present invention not only has overcome the problem of electric leakage, but also has the advantages of withstanding higher voltage, reducing the relevant cost and increasing the yields. The present invention possesses the outstanding technical features in the field of trench-type power device.

柒、指定代表圖：

(一)本案指定代表圖為：第(三)圖。

(二)本代表圖之元件代表符號簡單說明：

31：閘極 32：絕緣層 321：角落氧化物層

33'：ESD保護電路之多晶矽層

34：半導體材質之渠溝區域

35：渠溝式雙擴散電晶體

36：半導體材質之平面區域

37：ESD防護電路 epi：磊晶矽

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：