



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0001939
(43) 공개일자 2024년01월04일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G11C 16/16</i> (2006.01) <i>G11C 16/04</i> (2006.01)
 <i>G11C 16/08</i> (2006.01) <i>G11C 16/30</i> (2006.01)
 <i>G11C 16/32</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G11C 16/16</i> (2013.01)
 <i>G11C 16/0483</i> (2013.01)</p> <p>(21) 출원번호 10-2022-0078879
 (22) 출원일자 2022년06월28일
 심사청구일자 없음</p> | <p>(71) 출원인
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자
 이혜령
 경기도 이천시 부발읍 경충대로 2091
 윤대언
 경기도 이천시 부발읍 경충대로 2091
 임광민
 경기도 이천시 부발읍 경충대로 2091</p> <p>(74) 대리인
 오중한, 문용호</p> |
|--|--|

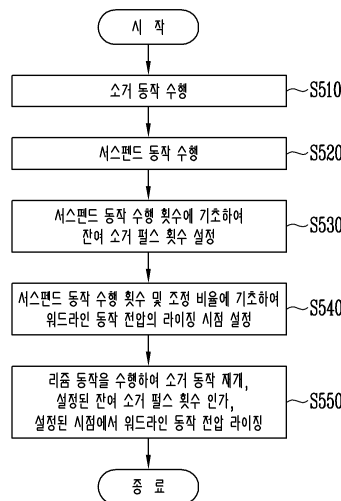
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **메모리 장치 및 이의 동작 방법**

(57) 요약

본 기술은 메모리 장치 및 이의 동작 방법에 관한 것으로, 메모리 장치는 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록; 소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버; 상기 소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작의 잔여 소거 펄스 횟수 및 상기 동작 전압이 상기 제1 동작 전압에서 상기 제2 동작 전압으로 상승하는 라이징 시점을 상기 복수의 워드라인 그룹별로 설정하는 제어 로직을 포함한다.

대표도 - 도5



(52) CPC특허분류

G11C 16/08 (2013.01)

G11C 16/30 (2013.01)

G11C 16/32 (2013.01)

명세서

청구범위

청구항 1

복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록;

소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버;

상기 소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및

서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작의 잔여 소거 펄스 횟수 및 상기 동작 전압이 상기 제1 동작 전압에서 상기 제2 동작 전압으로 상승하는 라이징 시점을 상기 복수의 워드라인 그룹별로 설정하는 제어 로직을 포함하는 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제어 로직은 상기 서스펜드 동작 후 상기 중단된 소거 동작을 재개하는 리즘 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하는 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 제어 로직은 상기 소거 동작 중에 수행된 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작의 잔여 소거 펄스 횟수를 설정하고,

상기 리즘 동작 시 상기 잔여 소거 펄스 횟수만큼 소거 펄스 인가 루프를 수행하도록 상기 전압 생성 회로를 제어하는 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 제어 로직은 상기 소거 동작 중 미수행된 소거 펄스 인가 루프들의 횟수에서 상기 서스펜드 동작 횟수에 대응하는 횟수를 차감하여 상기 잔여 소거 펄스 횟수를 설정하는 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 제어 로직은 상기 서스펜드 동작 횟수와 상기 복수의 워드라인 그룹 각각에 대응하는 조정 비율을 기초로 하여 상기 복수의 워드라인 그룹 각각의 단축 구간을 계산하고,

초기 설정된 상기 워드라인 동작 전압의 상기 라이징 시점을 상기 복수의 워드라인 그룹 별로 계산된 상기 단축 구간만큼 앞당겨 상기 복수의 워드라인 그룹 각각의 상기 라이징 시점을 재설정하는 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 단축 구간은 상기 서스펜드 동작 횟수에 대응하는 횟수에 대응하는 구간과 같거나 짧은 메모리 장치.

청구항 7

복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록에 대한 소거 동작을 수행하는 단계;

상기 소거 동작 중 수신되는 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단하는 서스펜드 동작을 수행하는 단계;

상기 소거 동작 중 수행된 상기 서스펜드 동작의 수행 횟수에 기초하여 잔여 소거 펄스 횟수를 설정하는 단계;

상기 서스펜드 동작의 수행 횟수 및 상기 복수의 워드라인 그룹 각각의 조정 비율에 기초하여 상기 소거 동작 시 상기 선택된 메모리 블록의 워드라인들에 인가되는 동작 전압의 라이징 시점을 상기 복수의 워드라인 그룹별로 설정하는 단계; 및

상기 중단된 소거 동작을 재개하는 리줌 동작을 수행하되, 상기 리줌 동작 시 상기 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프를 수행하고, 상기 설정된 동작 전압의 라이징 시점에서 상기 워드라인들에 인가되는 동작 전압을 제1 동작 전압에서 제2 동작 전압을 상승시키는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 8

제 7 항에 있어서,

상기 잔여 소거 펄스 횟수를 설정하는 단계는 상기 소거 동작 중 상기 서스펜드 동작에 의해 미수행된 소거 펄스 인가 루프들의 횟수에서 상기 서스펜드 동작 횟수에 대응하는 횟수를 차감하여 상기 잔여 소거 펄스 횟수를 설정하는 메모리 장치의 동작 방법.

청구항 9

제 8 항에 있어서,

상기 동작 전압의 라이징 시점을 설정하는 단계는 상기 서스펜드 동작 횟수와 상기 복수의 워드라인 그룹 각각의 조정 비율을 기초로 하여 상기 복수의 워드라인 그룹 각각에 대응하는 단축 구간을 계산하는 단계; 및

초기 설정된 상기 워드라인 동작 전압의 라이징 시점을 상기 계산된 상기 복수의 워드라인 그룹 각각의 단축 구간만큼 앞당겨 재설정하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 10

제 9 항에 있어서,

상기 단축 구간은 상기 서스펜드 동작 횟수에 대응하는 횟수에 대응하는 구간과 같거나 짧은 메모리 장치의 동작 방법.

청구항 11

복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록;

소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버;

상기 소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및

서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 시점에 기초하여 상기 복수의 워드라인 그룹별로 상기 소거 동작의 잔여 소거 펄스 횟수를 설정하는 제어 로직을 포함하는 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 제어 로직은 상기 서스펜드 동작 후 상기 중단된 소거 동작을 재개하는 리즘 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하는 메모리 장치.

청구항 13

제 12 항에 있어서,

상기 제어 로직은 상기 리즘 동작 시 상기 잔여 소거 펄스 횟수만큼 소거 펄스 인가 루프를 수행하도록 상기 전압 생성 회로를 제어하는 메모리 장치.

청구항 14

제 11 항에 있어서,

상기 소거 동작은 복수의 구간들을 포함하며, 상기 복수의 구간들 중 일부 구간은 얇은 소거 특성에 대응되는 구간인 메모리 장치.

청구항 15

제 14 항에 있어서,

상기 제어 로직은 상기 서스펜드 동작이 수행된 시점이 상기 일부 구간에 대응할 경우, 상기 일부 구간에 대응하는 조정 비율과 상기 서스펜드 동작의 수행 횟수를 이용하여 차감 횟수를 계산하는 메모리 장치.

청구항 16

제 15 항에 있어서,

상기 제어 로직은 상기 소거 동작 중 상기 서스펜드 동작에 의해 중단되어 미수행된 소거 펄스 인가 루프들의 횟수에서 상기 계산된 차감 횟수를 차감하여 상기 잔여 소거 펄스 횟수를 설정하는 메모리 장치.

청구항 17

제 15 항에 있어서,

상기 차감 횟수는 상기 서스펜드 동작의 수행 횟수와 같거나 적은 메모리 장치.

청구항 18

복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록에 대한 소거 동작을 수행하는 단

계;

상기 소거 동작 중 수신되는 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단하는 서스펜드 동작을 수행하는 단계;

상기 소거 동작 중 수행된 상기 서스펜드 동작의 수행 시점에 기초하여 잔여 소거 펄스 횟수를 설정하는 단계; 및

상기 중단된 소거 동작을 재개하는 리즘 동작을 수행하되, 상기 설정된 잔여 소거 펄스 횟수만큼 소거 펄스 인가 루프를 수행하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 19

제 18 항에 있어서,

상기 소거 동작은 복수의 구간들을 포함하며, 상기 복수의 구간들 중 일부 구간은 얇은 소거 특성에 대응되는 구간인 메모리 장치의 동작 방법.

청구항 20

제 19 항에 있어서,

상기 잔여 소거 펄스 횟수를 설정하는 단계는 상기 서스펜드 동작이 수행된 시점이 상기 일부 구간에 대응할 경우, 상기 일부 구간에 대응하는 조정 비율과 상기 서스펜드 동작의 수행 횟수를 이용하여 차감 횟수를 계산하는 단계; 및

상기 소거 동작 중 상기 서스펜드 동작에 의해 중단되어 미수행된 소거 펄스 인가 루프들의 횟수에서 상기 계산된 차감 횟수를 차감하여 상기 잔여 소거 펄스 횟수를 설정하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 21

제 20 항에 있어서,

상기 차감 횟수는 상기 서스펜드 동작의 수행 횟수와 같거나 적은 메모리 장치의 동작 방법.

청구항 22

복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록;

소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버;

상기 소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및

서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 시점 또는 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 동작 전압이 상기 제1 동작 전압에서 상기 제2 동작 전압으로 상승하는 라이징 시점을 상기 복수의 워드라인 그룹별로 각각 설정하는 제어 로직을 포함하는 메모리 장치.

청구항 23

제 22 항에 있어서,

상기 제어 로직은 상기 서스펜드 동작 후 상기 중단된 소거 동작을 재개하는 리즘 동작을 수행하도록 상기 소스

라인 드라이버 및 상기 전압 생성 회로를 제어하는 메모리 장치.

청구항 24

제 23 항에 있어서,

상기 제어 로직은 상기 소거 동작 중에 수행된 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작의 잔여 소거 펄스 횟수를 설정하고,

상기 리튬 동작 시 상기 잔여 소거 펄스 횟수만큼 소거 펄스 인가 루프를 수행하도록 상기 전압 생성 회로를 제어하는 메모리 장치.

청구항 25

제 24 항에 있어서,

상기 제어 로직은 상기 소거 동작 중 미수행된 소거 펄스 인가 루프들의 횟수에서 상기 서스펜드 동작 횟수에 대응하는 횟수를 차감하여 상기 잔여 소거 펄스 횟수를 설정하는 메모리 장치.

청구항 26

제 25 항에 있어서,

상기 제어 로직은 상기 서스펜드 동작의 수행 시점 또는 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 복수의 워드라인 그룹 각각의 소거 특성을 판단하고, 판단된 소거 특성에 따라 상기 복수의 워드라인 그룹 각각의 오프셋값을 설정하는 메모리 장치.

청구항 27

제 26 항에 있어서,

상기 제어 로직은 초기 설정된 라이징 시점을 상기 오프셋값에 따라 앞당기거나 뒤로 미루어 재설정하는 메모리 장치.

청구항 28

복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록에 대한 소거 동작을 수행하는 단계;

상기 소거 동작 중 수신되는 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단하는 서스펜드 동작을 수행하는 단계;

상기 소거 동작 중 수행된 상기 서스펜드 동작의 수행 횟수에 기초하여 잔여 소거 펄스 횟수를 설정하는 단계;

상기 서스펜드 동작의 수행 시점 또는 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작 시 상기 선택된 메모리 블록의 워드라인들에 인가되는 동작 전압의 라이징 시점을 상기 복수의 워드라인 그룹별로 각각 설정하는 단계; 및

상기 중단된 소거 동작을 재개하는 리튬 동작을 수행하되, 상기 리튬 동작 시 상기 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프를 수행하고, 상기 설정된 동작 전압의 라이징 시점에서 상기 워드라인들에 인가되는 동작 전압을 제1 동작 전압에서 제2 동작 전압을 상승시키는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 29

제 28 항에 있어서,

상기 잔여 소거 펄스 횟수를 설정하는 단계는 상기 소거 동작 중 상기 서스펜드 동작에 의해 미수행된 소거 펄스 인가 루프들의 횟수에서 상기 서스펜드 동작 횟수에 대응하는 횟수를 차감하여 상기 잔여 소거 펄스 횟수를 설정하는 메모리 장치의 동작 방법.

청구항 30

제 29 항에 있어서,

상기 동작 전압의 라이징 시점을 설정하는 단계는 상기 서스펜드 동작의 수행 시점 또는 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 복수의 워드라인 그룹 각각의 소거 특성을 판단하는 단계;

상기 판단된 소거 특성에 기초하여 상기 복수의 워드라인 그룹 각각의 오프셋값을 설정하는 단계; 및

초기 설정된 상기 동작 전압의 라이징 시점을 상기 오프셋값에 따라 앞당기거나 뒤로 미루어 재설정하는 단계를 포함하는 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 특히 메모리 장치 및 이의 동작 방법에 관한 것이다.

배경 기술

[0003] 반도체 장치 중 특히 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0004] 불휘발성 메모리 장치는 쓰기 및 읽기 속도가 상대적으로 느리지만 전원 공급이 차단되더라도 저장 데이터를 유지한다. 따라서 전원 공급 여부와 관계없이 유지되어야 할 데이터를 저장하기 위해 불휘발성 메모리 장치가 사용된다. 불휘발성 메모리 장치에는 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash memory), PRAM(Phase change Random Access Memory), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등이 있다. 플래시 메모리는 노어 타입과 낸드 타입으로 구분된다.

[0005] 플래시 메모리는 데이터의 프로그램과 소거가 자유로운 RAM의 장점과 전원 공급이 차단되어도 저장된 데이터를 보존할 수 있는 ROM의 장점을 가진다. 플래시 메모리는 디지털 카메라, PDA(Personal Digital Assistant) 및 MP3 플레이어와 같은 휴대용 전자기기의 저장 매체로 널리 사용되고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시 예는 메모리 장치의 소거 동작 시 메모리 셀들의 문턱 전압 분포를 개선할 수 있는 메모리 장치 및 이의 동작 방법을 제공한다.

과제의 해결 수단

[0009] 본 발명의 실시 예에 따른 메모리 장치는 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록; 소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버; 상기

소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작의 잔여 소거 펄스 횟수 및 상기 동작 전압이 상기 제1 동작 전압에서 상기 제2 동작 전압으로 상승하는 라이징 시점을 상기 복수의 워드라인 그룹별로 설정하는 제어 로직을 포함한다.

[0011] 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록에 대한 소거 동작을 수행하는 단계; 상기 소거 동작 중 수신되는 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단하는 서스펜드 동작을 수행하는 단계; 상기 소거 동작 중 수행된 상기 서스펜드 동작의 수행 횟수에 기초하여 잔여 소거 펄스 횟수를 설정하는 단계; 상기 서스펜드 동작의 수행 횟수 및 상기 복수의 워드라인 그룹 각각의 조정 비율에 기초하여 상기 소거 동작 시 상기 선택된 메모리 블록의 워드라인들에 인가되는 동작 전압의 라이징 시점을 상기 복수의 워드라인 그룹별로 설정하는 단계; 및 상기 중단된 소거 동작을 재개하는 리줌 동작을 수행하되, 상기 리줌 동작 시 상기 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프를 수행하고, 상기 설정된 동작 전압의 라이징 시점에서 상기 워드라인들에 인가되는 동작 전압을 제1 동작 전압에서 제2 동작 전압을 상승시키는 단계를 포함한다.

[0013] 본 발명의 실시 예에 따른 메모리 장치는 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록; 소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버; 상기 소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 시점에 기초하여 상기 복수의 워드라인 그룹별로 상기 소거 동작의 잔여 소거 펄스 횟수를 설정하는 제어 로직을 포함한다.

[0015] 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록에 대한 소거 동작을 수행하는 단계; 상기 소거 동작 중 수신되는 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단하는 서스펜드 동작을 수행하는 단계; 상기 소거 동작 중 수행된 상기 서스펜드 동작의 수행 시점에 기초하여 잔여 소거 펄스 횟수를 설정하는 단계; 및 상기 중단된 소거 동작을 재개하는 리줌 동작을 수행하되, 상기 설정된 잔여 소거 펄스 횟수만큼 소거 펄스 인가 루프를 수행하는 단계를 포함한다.

[0017] 본 발명의 실시 예에 따른 메모리 장치는 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록; 소거 동작 시 상기 메모리 블록의 소스 라인에 소거 전압을 인가하기 위한 소스라인 드라이버; 상기 소거 동작 시 상기 복수의 워드라인 그룹에 제1 동작 전압에서 제2 동작 전압으로 상승하는 동작 전압을 인가하기 위한 전압 생성 회로; 및 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단시키는 서스펜드 동작을 수행하도록 상기 소스라인 드라이버 및 상기 전압 생성 회로를 제어하고, 상기 서스펜드 동작의 수행 시점 또는 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 동작 전압이 상기 제1 동작 전압에서 상기 제2 동작 전압으로 상승하는 라이징 시점을 상기 복수의 워드라인 그룹별로 각각 설정하는 제어 로직을 포함한다.

[0019] 본 발명의 실시 예에 따른 메모리 장치의 동작 방법은 복수의 워드라인 그룹에 대응하는 복수의 메모리 셀들을 포함하는 메모리 블록에 대한 소거 동작을 수행하는 단계; 상기 소거 동작 중 수신되는 서스펜드 커맨드에 응답하여 상기 소거 동작을 중단하는 서스펜드 동작을 수행하는 단계; 상기 소거 동작 중 수행된 상기 서스펜드 동작의 수행 횟수에 기초하여 잔여 소거 펄스 횟수를 설정하는 단계; 상기 서스펜드 동작의 수행 시점 또는 상기 서스펜드 동작의 수행 횟수에 기초하여 상기 소거 동작 시 상기 선택된 메모리 블록의 워드라인들에 인가되는 동작 전압의 라이징 시점을 상기 복수의 워드라인 그룹별로 각각 설정하는 단계; 및 상기 중단된 소거 동작을 재개하는 리줌 동작을 수행하되, 상기 리줌 동작 시 상기 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프를 수행하고, 상기 설정된 동작 전압의 라이징 시점에서 상기 워드라인들에 인가되는 동작 전압을 제1 동작 전압에서 제2 동작 전압을 상승시키는 단계를 포함한다.

발명의 효과

[0021] 본 기술에 따르면, 메모리 장치의 소거 동작 시 메모리 셀들의 문턱 전압 분포를 개선할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시예에 따른 메모리 시스템을 설명하기 위한 도면이다.
- 도 2는 도 1의 메모리 장치를 설명하기 위한 도면이다.
- 도 3은 도 2의 메모리 블록을 설명하기 위한 도면이다.
- 도 4는 3차원으로 구성된 메모리 블록의 실시예를 설명하기 위한 도면이다.
- 도 5는 본 발명의 제1 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 6은 본 발명의 제1 실시 예에 따른 메모리 장치의 동작을 설명하기 위한 동작 전압들의 파형도이다.
- 도 7은 본 발명의 제2 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 8은 본 발명의 제2 실시 예에 따른 메모리 장치의 동작 구간에 따른 소거 특성 및 차감 횟수 조정 비율을 나타내는 도면이다.
- 도 9는 본 발명의 제2 실시 예에 따른 메모리 장치의 동작을 설명하기 위한 동작 전압들의 파형도이다.
- 도 10은 본 발명의 제3 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 11은 본 발명의 제3 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 동작 전압들의 파형도이다.
- 도 12는 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- 도 13은 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- 도 14는 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- 도 15는 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0027] 도 1은 본 발명의 실시예에 따른 메모리 시스템을 설명하기 위한 도면이다.
- [0028] 도 1을 참조하면, 메모리 시스템(Memory System; 1000)은 데이터가 저장되는 메모리 장치(Memory Device; 1100)와, 호스트(Host; 2000)의 제어에 따라 메모리 장치(1100)를 제어하는 메모리 컨트롤러(Memory Controller; 1200)를 포함할 수 있다.
- [0029] 호스트(2000)는 PCI-E(Peripheral Component Interconnect - Express), ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(Parallel ATA), 또는 SAS(serial attached SCSI)와 같은 인터페이스 프로토콜을 사용하여 메모리 시스템(1000)과 통신할 수 있다. 또한 호스트(2000)와 메모리 시스템(1000) 간의 인터페이스 프로토콜들은 상술한 예에 한정되지 않으며, USB(Universal Serial Bus), MMC(Multi-Media Card), ESDI(Enhanced Small Disk Interface), 또는 IDE(Integrated Drive Electronics) 등과 같은 다른 인터페이스

프로토콜들 중 하나일 수 있다.

- [0030] 메모리 컨트롤러(1200)는 메모리 시스템(1000)의 동작을 전반적으로 제어하며, 호스트(2000)와 메모리 장치(1100) 사이의 데이터 교환을 제어할 수 있다. 예를 들면, 메모리 컨트롤러(1200)는 호스트(2000)의 요청에 따라 메모리 장치(1100)를 제어하여 데이터를 프로그램(program)하거나 리드(read)하거나 소거(erase)할 수 있다. 실시 예에 따라, 메모리 장치(1100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory) 또는 플래시 메모리(FLASH Memory)를 포함할 수 있다.
- [0031] 메모리 장치(1100)는 메모리 컨트롤러(1200)의 제어에 따라 프로그램(program), 리드(read) 또는 소거(erase) 동작을 수행할 수 있다.
- [0033] 도 2는 도 1의 메모리 장치를 설명하기 위한 도면이다.
- [0034] 도 2를 참조하면, 메모리 장치(1100)는 데이터가 저장되는 메모리 셀 어레이(100)를 포함할 수 있다. 메모리 장치(1100)는 메모리 셀 어레이(100)에 데이터를 저장하기 위한 프로그램 동작(program operation), 저장된 데이터를 출력하기 위한 리드 동작(read operation) 및 저장된 데이터를 소거하기 위한 소거 동작(erase operation)을 수행하도록 구성된 주변 회로들(200)을 포함할 수 있다. 메모리 장치(1100)는 메모리 컨트롤러(도 1의 1200)의 제어에 따라 주변 회로들(200)을 제어하는 제어 로직(300)을 포함할 수 있다.
- [0035] 메모리 셀 어레이(100)는 복수의 메모리 블록들(MB1~MBk; 110 (k는 양의 정수))을 포함할 수 있다. 각각의 메모리 블록들(MB1~MBk; 110)에는 로컬 라인들(local lines; LL)과 비트 라인들(BL1~BLn; n은 양의 정수)이 연결될 수 있다. 예를 들면, 로컬 라인들(LL)은 제1 선택 라인(first select line), 제2 선택 라인(second select line), 상기 제1 및 제2 선택 라인들 사이에 배열된 복수의 워드 라인들(word lines)을 포함할 수 있다. 또한, 로컬 라인들(LL)은 제1 선택 라인과 워드 라인들 사이, 제2 선택 라인과 워드 라인들 사이에 배열된 더미 라인들을 포함할 수 있다. 여기서, 제1 선택 라인은 소스 선택 라인일 수 있고, 제2 선택 라인은 드레인 선택 라인일 수 있다. 예를 들면, 로컬 라인들(LL)은 워드 라인들, 드레인 및 소스 선택 라인들 및 소스 라인들(source lines)을 포함할 수 있다. 예를 들면, 로컬 라인들(LL)은 더미 라인들(dummy lines)을 더 포함할 수 있다. 예를 들면, 로컬 라인들(LL)은 파이프 라인들(pipe lines)을 더 포함할 수 있다. 로컬 라인들(LL)은 메모리 블록들(MB1~MBk; 110)에 각각 연결될 수 있으며, 비트 라인들(BL1~BLn)은 메모리 블록들(MB1~MBk; 110)에 공통으로 연결될 수 있다. 메모리 블록들(MB1~MBk; 110)은 2차원 또는 3차원 구조로 구현될 수 있다. 예를 들면, 2차원 구조의 메모리 블록들(110)에서 메모리 셀들은 기판에 평행한 방향으로 배열될 수 있다. 예를 들면, 3차원 구조의 메모리 블록들(110)에서 메모리 셀들은 기판에 수직 방향으로 적층될 수 있다.
- [0036] 주변 회로들(200)은 제어 로직(300)의 제어에 따라 선택된 메모리 블록(110)의 프로그램, 리드 및 소거 동작을 수행하도록 구성될 수 있다. 예를 들면, 주변 회로들(200)은 전압 생성 회로(voltage generating circuit; 210), 로우 디코더(row decoder; 220), 페이지 버퍼 그룹(page buffer group; 230), 컬럼 디코더(column decoder; 240), 입출력 회로(input/output circuit; 250), 패스/페일 판단부(pass/fail check circuit; 260) 및 소스라인 드라이버(source line driver; 270)를 포함할 수 있다.
- [0037] 전압 생성 회로(210)는 동작 신호(OP_CMD)에 응답하여 프로그램, 리드 및 소거 동작들에 사용되는 다양한 동작 전압들(Vop)을 생성할 수 있다. 예를 들면, 전압 생성 회로(210)는 제어 로직(300)의 제어에 따라 프로그램 전압, 검증 전압들, 패스 전압들, 턴온 전압, 리드 전압, 제1 및 제2 워드라인 동작 전압 등을 생성할 수 있다.
- [0038] 로우 디코더(row decoder; 220)는 로우 디코더 제어 신호들(AD_signals)에 응답하여 동작 전압들(Vop)을 선택된 메모리 블록(110)에 연결된 로컬 라인들(LL)에 전달할 수 있다. 로우 디코더(220)는 전압 생성 회로(210)에 포함되도록 구성될 수 있다.
- [0039] 페이지 버퍼 그룹(230)은 비트 라인들(BL1~BLn)에 연결된 복수의 페이지 버퍼들(PB1~PBn; 231)을 포함할 수 있다. 페이지 버퍼들(PB1~PBn; 231)은 페이지 버퍼 제어 신호들(PBSIGNALS)에 응답하여 동작할 수 있다. 예를 들면, 페이지 버퍼들(PB1~PBn; 231)은 비트 라인들(BL1~BLn)을 통해 수신된 데이터를 임시로 저장하거나, 리드 또는 검증 동작 시, 비트 라인들(BL1~BLn)의 전압 또는 전류를 센싱(sensing)할 수 있다.
- [0040] 컬럼 디코더(240)는 컬럼 어드레스(CADD)에 응답하여 입출력 회로(250)와 페이지 버퍼 그룹(230) 사이에서 데이

터를 전달할 수 있다. 예를 들면, 컬럼 디코더(240)는 데이터 라인들(DL)을 통해 페이지 버퍼들(231)과 데이터를 주고받거나, 컬럼 라인들(CL)을 통해 입출력 회로(250)와 데이터를 주고받을 수 있다.

- [0041] 입출력 회로(250)는 메모리 컨트롤러(도 1의 1200)로부터 전달받은 커맨드(CMD) 및 어드레스(ADD)를 제어 로직(300)에 전달하거나, 데이터(DATA)를 컬럼 디코더(240)와 주고받을 수 있다.
- [0042] 패스/페일 판단부(260)는 리드 동작(read operation) 또는 검증 동작(verify operation)시, 허용 비트(VRY_BIT<#>)에 응답하여 기준 전류를 생성하고, 페이지 버퍼 그룹(230)으로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력할 수 있다.
- [0043] 소스라인 드라이버(270)는 메모리 셀 어레이(100)에 포함된 메모리 셀과 소스 라인(SL)을 통해 연결되고 소스 라인(SL)에 인가되는 전압을 제어할 수 있다. 예시적으로 소스라인 드라이버(270)는 프로그램, 리드 또는 검증 동작시 소스 라인과 접지 노드를 전기적으로 연결시킬 수 있다. 또한 소스라인 드라이버(270)는 소거 동작시 소스 라인(SL)에 소거 전압을 인가시킬 수 있다. 소스라인 드라이버(270)는 제어 로직(300)으로부터 소스 라인 제어 신호(CTRL_SL)를 수신할 수 있고, 소스 라인 제어 신호(CTRL_SL)에 기초하여 소스 라인에 접지 노드를 연결하거나 소거 전압을 인가할 수 있다.
- [0044] 제어 로직(300)은 커맨드(CMD) 및 어드레스(ADD)에 응답하여 동작 신호(OP_CMD), 로우 디코더 제어 신호들(AD_signals), 페이지 버퍼 제어 신호들(PBSIGNALS) 및 허용 비트(VRY_BIT<#>)를 출력하여 주변 회로들(200)을 제어할 수 있다. 또한, 제어 로직(300)은 패스 또는 페일 신호(PASS 또는 FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다.
- [0045] 제어 로직(300)은 메모리 장치(1100)의 소거 동작 중 도 1의 메모리 컨트롤러(1200)로부터 서스펜드(suspend) 커맨드가 수신될 경우 현재 수행중인 소거 동작을 중단하는 서스펜드 동작을 수행할 수 있으며, 이 후 도 1의 메모리 컨트롤러(1200)로부터 리쥬م(resume) 커맨드를 수신하여 중단된 소거 동작을 재개하는 리쥬م 동작을 수행할 수 있다.
- [0046] 제어 로직(300)은 리쥬م 동작 시 현재의 소거 동작 중에 수행된 서스펜드 동작 횟수에 기초하여 소거 동작의 잔여 소거 펄스 횟수를 설정하고 워드라인들에 인가되는 워드라인 동작 전압의 라이징 시점을 설정할 수 있다. 예를 들어, 제어 로직(300)은 현재의 소거 동작 중 미수행된 소거 펄스 인가 루프들의 횟수에서 서스펜드 동작 횟수에 대응하는 횟수를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다. 예를 들어, 제어 로직(300)은 서스펜드 동작 횟수와 조정 비율을 기초로하여 단축 구간을 계산하고, 초기 설정된 워드라인 동작 전압의 라이징 시간을 계산된 단축 구간만큼 앞당겨 재설정할 수 있다. 단축 구간은 차감한 횟수에 대응하는 구간과 같거나 짧을 수 있다. 제어 로직(300)은 설정된 잔여 소거 펄스 횟수 및 라이징 시간에 따라 소거 동작을 수행하도록 주변 회로들(200)을 제어할 수 있다.
- [0047] 제어 로직(300)은 리쥬م 동작 시 직전에 수행된 서스펜드 동작의 시점에 기초하여 소거 동작의 잔여 소거 펄스 횟수를 설정할 수 있다. 예를 들어, 제어 로직(300)은 직전에 수행된 서스펜드 동작이 소거 동작의 복수의 구간 중 어느 구간에서 수행되었는지를 판단하고, 판단된 구간에 대응하는 조정 비율과 서스펜드 동작 횟수를 기초로하여 차감 횟수를 계산하고, 미수행된 소거 펄스 인가 루프들의 횟수에서 계산된 차감 횟수를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다. 차감 횟수는 상기 서스펜드 동작 횟수와 같거나 적을 수 있다. 예를 들어, 소거 동작은 복수의 구간들을 포함할 수 있으며, 복수의 구간들은 서로 상이한 소거 특성을 가질 수 있다. 예를 들어, 복수의 구간들 중 일부 구간에서는 메모리 셀들의 문턱 전압이 타겟 문턱 전압보다 높은 상태로 소거되는 얇은 소거 특성을 가질 수 있다. 제어 로직(300)은 얇은 소거 특성에 대응되는 구간에서 서스펜드 동작이 수행된 경우, 서스펜드 동작 횟수를 상대적으로 높은 조정 비율로 재조정하여 서스펜드 동작 횟수보다 횟수가 적은 차감 횟수를 계산하여 잔여 소거 펄스 횟수를 설정할 수 있다. 제어 로직(300)은 설정된 잔여 소거 펄스 횟수에 따라 소거 동작을 수행하도록 주변 회로들(200)을 제어할 수 있다.
- [0048] 제어 로직(300)은 리쥬م 동작 시 현재의 소거 동작 중에 수행된 서스펜드 동작 횟수 또는 직전에 수행된 서스펜드 동작의 수행 시점에 기초하여 초기 설정된 워드라인 동작 전압의 라이징 시점을 조절할 수 있다. 예를 들어, 서스펜드 동작 횟수에 기초하여 현재의 소거 동작이 메모리 셀들의 문턱 전압이 타겟 문턱 전압보다 낮은 상태로 소거되는 깊은 소거 특성을 갖는지 또는 타겟 문턱 전압보다 높은 상태로 소거되는 얇은 소거 특성을 갖는지 판단하고, 판단된 소거 특성에 따라 초기 설정된 워드라인 동작 전압의 라이징 시점을 앞당기거나 뒤로 미루어 재설정할 수 있다. 또한, 직전에 수행된 서스펜드 동작이 소거 동작의 복수의 구간 중 어느 구간에서 수행되었는지 판단하고, 판단된 구간에 대응하는 소거 특성에 따라 초기 설정된 워드라인 동작 전압의 라이징 시점을 앞

당기거나 뒤로 미루어 재설정할 수 있다. 제어 로직(300)은 설정된 워드라인 동작 전압의 라이징 시점에 따라 소거 동작을 수행하도록 주변 회로들(200)을 제어할 수 있다.

- [0050] 도 3은 도 2의 메모리 블록을 설명하기 위한 도면이다.
- [0051] 도 3을 참조하면, 메모리 블록(110)은 제1 선택 라인과 제2 선택 라인 사이에 서로 평행하게 배열된 복수의 워드 라인들이 연결될 수 있다. 여기서, 제1 선택 라인은 소스 선택 라인(SSL)일 수 있고, 제2 선택 라인은 드레인 선택 라인(DSL)일 수 있다. 보다 구체적으로 설명하면, 메모리 블록(110)은 비트 라인들(BL1~BLn)과 소스 라인(SL) 사이에 연결된 복수의 스트링들(strings; ST)을 포함할 수 있다. 비트 라인들(BL1~BLn)은 스트링들(ST)에 각각 연결될 수 있고, 소스 라인(SL)은 스트링들(ST)에 공통으로 연결될 수 있다. 스트링들(ST)은 서로 동일하게 구성될 수 있으므로, 제1 비트 라인(BL1)에 연결된 스트링(ST)을 예를 들어 구체적으로 설명하도록 한다.
- [0052] 스트링(ST)은 소스 라인(SL)과 제1 비트 라인(BL1) 사이에서 서로 직렬로 연결된 소스 셀렉트 트랜지스터(SST), 복수의 메모리 셀들(MC1~MC16) 및 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다. 하나의 스트링(ST)에는 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST)가 적어도 하나 이상씩 포함될 수 있으며, 메모리 셀들(MC1~MC16) 또한 도면에 도시된 개수보다 더 많이 포함될 수 있다.
- [0053] 소스 셀렉트 트랜지스터(SST)의 소스(source)는 소스 라인(SL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터(DST)의 드레인(drain)은 제1 비트 라인(BL1)에 연결될 수 있다. 메모리 셀들(MC1~MC16)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에서 직렬로 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 소스 셀렉트 트랜지스터들(SST)의 게이트들은 소스 선택 라인(SSL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터들(DST)의 게이트들은 드레인 선택 라인(DSL)에 연결될 수 있고, 메모리 셀들(MC1~MC16)의 게이트들은 복수의 워드 라인들(WL1~WL16)에 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 메모리 셀들 중에서 동일한 워드 라인에 연결된 메모리 셀들의 그룹을 물리 페이지(physical page; PPG)라 할 수 있다. 따라서, 메모리 블록(110)에는 워드 라인들(WL1~WL16)의 개수만큼의 물리 페이지들(PPG)이 포함될 수 있다.
- [0054] 복수의 워드 라인들(WL1~WL16)은 복수의 워드라인 그룹(GR1, GR2)으로 구분될 수 있다. 예를 들어, 메모리 블록(110)에 포함된 복수의 메모리 셀들(MC1~MC16) 중 소거 동작 시 소거 스피드가 상대적으로 빠른 메모리 셀들과 연결된 워드라인들을 제1 워드라인 그룹(GR1)으로 정의하고, 소거 스피드가 상대적으로 느린 메모리 셀들과 연결된 워드라인들을 제2 워드라인 그룹(GR2)으로 정의할 수 있다. 예를 들어, 소스 선택 트랜지스터(SST)와 인접한 메모리 셀들(MC1 내지 MC8)과 연결된 워드 라인들(WL1 내지 WL8)은 제1 워드라인 그룹(GR1)으로 정의될 수 있으며, 드레인 선택 트랜지스터(DST)와 인접한 메모리 셀들(MC9 내지 MC16)과 연결된 워드 라인들(WL9 내지 WL16)은 제2 워드라인 그룹(GR2)으로 정의될 수 있다.
- [0055] 소스 선택 트랜지스터(SST)와 메모리 셀(MC1) 사이에는 적어도 하나의 더미 메모리 셀(DMC1)이 배치될 수 있으며, 드레인 선택 트랜지스터(DST)와 메모리 셀(MC16) 사이에는 적어도 하나의 더미 메모리 셀(DMC2)이 배치될 수 있다. 더미 메모리 셀(DMC1) 및 더미 메모리 셀(DMC2) 각각은 서로 인접한 메모리 셀과 같은 워드 라인 그룹에 포함될 수 있다. 예를 들어 더미 메모리 셀(DMC1)은 제1 워드라인 그룹(GR1)에 포함될 수 있으며, 더미 메모리 셀(DMC2)은 제2 워드라인 그룹(GR2)에 포함될 수 있다.
- [0056] 또한 복수의 메모리 셀들(MC1 내지 MC16) 중 중앙 영역에 배치된 메모리 셀들(예를 들어 MC8 및 MC9) 사이에도 더미 메모리 셀들(미도시)이 배치될 수 있으며, 더미 메모리 셀들은 인접한 메모리 셀들의 워드라인 그룹에 포함될 수 있다.
- [0057] 하나의 메모리 셀은 1비트의 데이터를 저장할 수 있다. 이를 통상적으로 싱글 레벨 셀(single level cell; SLC)라고 부른다. 이 경우 하나의 물리 페이지(PPG)는 하나의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다. 하나의 논리 페이지(LPG) 데이터는 하나의 물리 페이지(PPG)에 포함된 셀 개수 만큼의 데이터 비트들을 포함할 수 있다. 또한 하나의 메모리 셀은 2 이상의 비트의 데이터를 저장할 수 있다. 이를 통상적으로 멀티 레벨 셀(multi-level cell; MLC)이라고 부른다. 이 경우 하나의 물리 페이지(PPG)는 2 이상의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다.
- [0059] 도 4는 3차원으로 구성된 메모리 블록의 실시예를 설명하기 위한 도면이다.
- [0060] 도 4를 참조하면, 메모리 셀 어레이(100)는 복수의 메모리 블록들(MB1~MBk; 110)을 포함할 수 있다. 메모리 블

록(110)은 복수의 스트링들(ST11~ST1n, ST21~ST2n)을 포함할 수 있다. 복수의 스트링들(ST11~ST1n, ST21~ST2n) 각각은 수직 방향(Z 방향)을 따라 연장될 수 있다. 메모리 블록(110) 내에서, 행 방향(X 방향)으로 n개의 스트링들이 배열될 수 있다. 도 4에서 열 방향(Y 방향)으로 2개의 스트링들이 배열되는 것으로 도시되어 있으나, 이는 설명의 편의를 위한 것으로서 열 방향(Y 방향)으로 3개 이상의 스트링들이 배열될 수 있다.

- [0061] 복수의 스트링들(ST11~ST1n, ST21~ST2n) 각각은, 적어도 하나의 소스 선택 트랜지스터(SST), 제 1 내지 제 n 메모리 셀들(MC1~MCn), 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함할 수 있다.
- [0062] 각 스트링의 소스 선택 트랜지스터(SST)는 소스 라인(SL)과 메모리 셀들(MC1~MCn) 사이에 연결될 수 있다. 동일한 행에 배열된 스트링들의 소스 선택 트랜지스터들은 동일한 소스 선택 라인에 연결될 수 있다. 제1 행에 배열된 스트링들(ST11~ST1n)의 소스 선택 트랜지스터들은 제1 소스 선택 라인(SSL1)에 연결될 수 있다. 제2 행에 배열된 스트링들(ST21~ST2n)의 소스 선택 트랜지스터들은 제2 소스 선택 라인(SSL2)에 연결될 수 있다. 다른 실시 예로서, 스트링들(ST11~ST1n, ST21~ST2n)의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통으로 연결될 수 있다.
- [0063] 각 스트링의 제1 내지 제n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에서 서로 직렬로 연결될 수 있다. 제1 내지 제n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제1 내지 제n 워드 라인들(WL1~WLn)에 연결될 수 있다. 제1 내지 제n 워드 라인들(WL1~WLn)은 복수의 워드라인 그룹(GR1, GR2)으로 구분될 수 있다. 예를 들어, 메모리 블록(MB1)에 포함된 복수의 메모리 셀들(MC1~MCn) 중 소거 동작 시 소거 스피드가 상대적으로 빠른 메모리 셀들과 연결된 워드라인들을 제1 워드라인 그룹(GR1)으로 정의하고, 소거 스피드가 상대적으로 느린 메모리 셀들과 연결된 워드라인들을 제2 워드라인 그룹(GR2)으로 정의할 수 있다. 예를 들어, 소스 선택 트랜지스터(SST)와 인접한 메모리 셀들(MC1 내지 MCm)과 연결된 워드 라인들(WL1 내지 WLm)은 제1 워드라인 그룹(GR1)으로 정의될 수 있으며, 드레인 선택 트랜지스터(DST)와 인접한 메모리 셀들(MCm+1 내지 MCn)과 연결된 워드 라인들(WLm+1 내지 WLn)은 제2 워드라인 그룹(GR2)으로 정의될 수 있다.
- [0064] 실시 예로서, 제1 내지 제n 메모리 셀들(MC1~MCn) 중 적어도 하나는 더미 메모리 셀로서 이용될 수 있다. 더미 메모리 셀이 제공되는 경우, 해당 스트링의 전압 또는 전류는 안정적으로 제어될 수 있다.
- [0065] 각 스트링의 드레인 선택 트랜지스터(DST)는 비트 라인과 메모리 셀들(MC1~MCn) 사이에 연결될 수 있다. 행 방향으로 배열되는 스트링들의 드레인 선택 트랜지스터들(DST)은 행 방향으로 연장되는 드레인 선택 라인에 연결될 수 있다. 제1 행의 스트링들(ST11~ST1n)의 드레인 선택 트랜지스터들(DST)은 제1 드레인 선택 라인(DSL1)에 연결될 수 있다. 제2 행의 스트링들(ST21~ST2n)의 드레인 선택 트랜지스터들(DST)은 제2 드레인 선택 라인(DSL2)에 연결될 수 있다.
- [0066] 도 4에서 설명된 복수의 메모리 블록들(MB1~MBk; 110)은 소스 라인(SL)을 공유할 수 있다.
- [0068] 도 5는 본 발명의 제1 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0069] 도 6은 본 발명의 제1 실시 예에 따른 메모리 장치의 동작을 설명하기 위한 동작 전압들의 파형도이다.
- [0070] 도 2 내지 도 6을 참조하여 본 발명의 제1 실시 예에 따른 메모리 장치의 동작 방법을 설명하면 다음과 같다.
- [0072] 단계 S510에서, 소거 동작을 수행한다. 메모리 장치(1100)는 소거 동작에 대응하는 커맨드(CMD)를 수신하고, 제어 로직(300)은 소거 동작을 수행하도록 주변 회로들(200)을 제어한다.
- [0073] 예를 들어, 소거 동작 시 소스라인 드라이버(270)는 선택된 메모리 블록(예를 들어 MB1)과 연결된 소스 라인(SL)에 소거 전압(Vera)을 인가한다. 소거 전압(Vera)은 라이징 구간동안 타겟 레벨로 점차 상승하고, 이후 소거 펄스 인가 동작 구간(tERAPLS1, tERAPLS2) 동안 타겟 레벨의 소거 전압(Vera)을 소스 라인(SL)에 인가할 수 있다. 소거 펄스 인가 동작 구간(tERAPLS1, tERAPLS2)은 첫 번째 소거 펄스 인가 루프<0>를 포함하는 제1 소거 펄스 인가 동작 구간(tERAPLS1)과 나머지 소거 펄스 인가 루프들<1:K>을 포함하는 제2 소거 펄스 인가 동작 구간(tERAPLS2)으로 구성될 수 있다.
- [0074] 전압 생성 회로(210)는 선택된 메모리 블록(MB1)의 워드라인들에 인가하기 위한 동작 전압(Vop)을 생성한다. 동작 전압(Vop)은 제1 동작 전압(Vop1) 및 제2 동작 전압(Vop2)을 포함할 수 있으며, 제2 동작 전압(Vop2)은 제1 동작 전압(Vop1)보다 전위가 높다. 제1 동작 전압(Vop1)은 접지 전압보다 높은 전위를 가질 수 있다.

- [0075] 로우 디코더(220)는 전압 생성 회로(210)에서 생성된 동작 전압(Vop)을 선택된 메모리 블록(MB1)의 워드라인들에 인가한다. 예를 들어, 로우 디코더(220)는 소거 펄스 인가 동작 구간(tERAPLS1, tERAPLS2)에서 순차적으로 수행되는 복수의 소거 펄스 인가 루프들(0 내지 K) 중 설정된 소거 펄스 인가 루프까지 제1 동작 전압(Vop1)을 워드라인들에 인가하고, 다음 소거 펄스 인가 루프부터 제2 동작 전압(Vop2)을 워드라인들에 인가할 수 있다. 제1 동작 전압(Vop1)에서 제2 동작 전압(Vop2)으로 변경되는 시점을 워드라인 동작 전압의 라이징 시점으로 정의할 수 있다. 소거 동작 시 메모리 셀들은 소스 라인(SL)에 인가되는 소거 전압(Vera)과 워드라인들에 인가되는 제1 동작 전압(Vop1) 또는 제2 동작 전압(Vop2)에 의해 소거되며, 제1 동작 전압(Vop1)이 인가되는 구간에서의 소거 스피드가 제2 동작 전압(Vop2)이 인가되는 구간에서의 소거 스피드보다 빠르게된다.
- [0077] 단계 S520에서, 소거 동작 중 서스펜드 동작을 수행한다. 메모리 장치(1100)는 소거 동작 중 서스펜드 동작에 대응하는 커맨드(CMD)를 수신할 수 있으며, 제어 로직(300)은 커맨드(CMD)에 응답하여 소거 동작을 중단한다. 이 후, 메모리 장치(1100)는 다른 제반 동작들을 수행할 수 있다.
- [0079] 단계 S530에서, 제어 로직(300)은 현재 수행중인 소거 동작 동안 수행된 서스펜드 동작 수행 횟수에 기초하여 잔여 소거 펄스 횟수를 설정한다.
- [0080] 예를 들어, 제어 로직(300)은 현재의 소거 동작에서 서스펜드 동작에 의해 중단되어 미수행된 소거 펄스 인가 루프들의 횟수에서 서스펜드 동작 수행 횟수를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다.
- [0081] 예를 들어, 서스펜드 동작 수행 횟수가 4회인 경우, 제어 로직(300)은 미수행된 소거 펄스 인가 루프들의 횟수에서 4회를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다.
- [0083] 단계 S540에서, 제어 로직(300)은 서스펜드 동작 수행 횟수 및 조정 비율에 기초하여 워드라인 동작 전압의 라이징 시점을 설정한다.
- [0084] 예를 들어, 제어 로직(300)은 서스펜드 동작 횟수와 조정 비율을 기초로 하여 단축 구간을 계산하고, 초기 설정된 워드라인 동작 전압의 라이징 시점을 계산된 단축 구간만큼 앞당겨 재설정할 수 있다. 단축 구간은 상술한 단계 S530에서 차감한 소거 펄스 인가 루프들의 횟수에 대응하는 구간과 같거나 짧을 수 있다.
- [0085] 예를 들어, 서스펜드 동작 수행 횟수가 4회이고 조정 비율은 1:1인 경우, 제어 로직(300)은 차감한 소거 펄스 인가 루프들의 횟수(4회) 및 조정 비율에 따라 단축 구간을 4회의 소거 펄스 인가 루프들의 구간으로 설정할 수 있다.
- [0086] 예를 들어, 서스펜드 동작 수행 횟수가 4회이고 조정 비율은 2:1인 경우, 제어 로직(300)은 차감한 소거 펄스 인가 루프들의 횟수(4회) 및 조정 비율에 따라 단축 구간을 2회의 소거 펄스 인가 루프들의 구간으로 설정할 수 있다.
- [0087] 예를 들어, 서스펜드 동작 수행 횟수가 4회이고 조정 비율은 4:1인 경우, 제어 로직(300)은 차감한 소거 펄스 인가 루프들의 횟수(4회) 및 조정 비율에 따라 단축 구간을 1회의 소거 펄스 인가 루프의 구간으로 설정할 수 있다.
- [0088] 상술한 워드라인 동작 전압의 라이징 시점을 설정하는 동작은 복수의 워드라인 그룹(GR1, GR2) 별로 수행될 수 있다. 예를 들어 워드라인 그룹(GR1)의 조정 비율과 워드라인 그룹(GR2)의 조절 비율은 서로 동일하거나 서로 상이할 수 있다.
- [0089] 도 6을 참조하면, 제1 워드라인 그룹(GR1)의 초기 설정된 워드라인 동작 전압의 라이징 시점이 소거 펄스 인가 루프<4>이고, 서스펜드 동작 수행 횟수가 4회이고, 조정 비율은 1:1인 경우, 서스펜드 동작 수행 횟수만큼의 단축 구간에 의해 제1 워드라인 그룹(GR1)에 인가되는 제1 동작 전압(Vop1)이 소거 펄스 인가 루프<0>에서 제2 동작 전압(Vop2)으로 변경될 수 있다. 즉, 워드라인 동작 전압의 라이징 시점은 초기 설정된 워드라인 동작 전압의 라이징 시점인 소거 펄스 인가 루프<4>에서 서스펜드 동작 수행 횟수만큼 앞당겨져 소거 펄스 인가 루프<0>로 재설정될 수 있다. 제2 워드라인 그룹(GR2)에 연결된 메모리 셀들의 소거 스피드는 제1 워드라인 그룹(GR1)에 연결된 메모리 셀들의 소거 스피드보다 느릴 수 있다. 이에 제2 워드라인 그룹(GR2)에 연결된 메모리 셀들의 초기 설정된 워드라인 동작 전압의 라이징 시점은 제1 워드라인 그룹(GR1)에 연결된 메모리 셀들의 초기 설정된

워드라인 동작 전압의 라이징 시점 보다 늦도록 설정할 수 있다. 제2 워드라인 그룹(GR2)의 초기 설정된 워드라인 동작 전압의 라이징 시점이 소거 펄스 인가 루프<9>이고, 서스펜드 동작 수행 횟수가 4회이고, 조정 비율은 1:1인 경우, 서스펜드 동작 수행 횟수만큼의 단축 구간에 의해 제2 워드라인 그룹(GR2)에 인가되는 제1 동작 전압(Vop1)이 소거 펄스 인가 루프<5>에서 제2 동작 전압(Vop2)으로 변경될 수 있다. 즉, 워드라인 동작 전압의 라이징 시점은 초기 설정된 워드라인 동작 전압의 라이징 시점인 소거 펄스 인가 루프<9>에서 서스펜드 동작 수행 횟수만큼 앞당겨져 소거 펄스 인가 루프<5>로 재설정될 수 있다. 서스펜드 동작 수행 횟수가 증가할 경우 연속적으로 인가되는 소거 펄스 인가 시간이 짧아지게되어 메모리 셀들의 얇은 소거 특성이 발생할 수 있다.

[0090] 제1 워드라인 그룹(GR1)의 초기 설정된 워드라인 동작 전압의 라이징 시점이 소거 펄스 인가 루프<4>이고, 서스펜드 동작 수행 횟수가 4회이고, 조정 비율은 2:1인 경우, 서스펜드 동작 수행 횟수와 조정 비율에 따라 단축 구간은 2회의 소거 펄스 인가 루프들의 구간으로 계산된다. 계산된 단축 구간에 의해 제1 워드라인 그룹(GR1)에 인가되는 제1 동작 전압(Vop1)이 소거 펄스 인가 루프<2>에서 제2 동작 전압(Vop2)으로 변경될 수 있다. 즉, 워드라인 동작 전압의 라이징 시점은 초기 설정된 워드라인 동작 전압의 라이징 시점인 소거 펄스 인가 루프<4>에서 계산된 단축 구간만큼 앞당겨져 소거 펄스 인가 루프<2>로 재설정될 수 있다. 제2 워드라인 그룹(GR2)의 초기 설정된 워드라인 동작 전압의 라이징 시점이 소거 펄스 인가 루프<9>이고, 서스펜드 동작 수행 횟수가 4회이고, 조정 비율은 2:1인 경우, 서스펜드 동작 수행 횟수와 조정 비율에 따라 단축 구간은 2회의 소거 펄스 인가 루프들의 구간으로 계산된다. 계산된 단축 구간에 의해 제2 워드라인 그룹(GR2)에 인가되는 제1 동작 전압(Vop1)이 소거 펄스 인가 루프<7>에서 제2 동작 전압(Vop2)으로 변경될 수 있다. 즉, 워드라인 동작 전압의 라이징 시점은 초기 설정된 워드라인 동작 전압의 라이징 시점인 소거 펄스 인가 루프<9>에서 계산된 단축 구간만큼 앞당겨져 소거 펄스 인가 루프<7>로 재설정될 수 있다.

[0091] 상술한 바와 같이 조정 비율을 높게 설정하여 워드라인 동작 전압의 라이징 시점을 조절하여 메모리 셀들의 소거 스피드를 조절할 수 있다.

[0093] 단계 S550에서, 리즘 동작을 수행하여 중단된 소거 동작을 재개한다. 리즘 동작 시 앞선 단계 S530에서 설정된 잔여 소거 펄스 횟수 및 단계 S540에서 재설정된 설정된 워드라인 동작 전압의 라이징 시점에 따라 중단된 소거 동작을 재개한다.

[0094] 예를 들어, 제어 로직(300)은 중단된 소거 펄스 인가 루프부터 순차적으로 진행하되, 설정된 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프들을 순차적으로 수행하도록 소스라인 드라이버(270)를 제어한다.

[0095] 또한 제어 로직(300)은 재설정된 설정된 워드라인 동작 전압의 라이징 시점에서 제1 및 제2 워드라인 그룹들(GR1, GR2)에 인가되는 제1 동작 전압(Vop1)을 제2 동작 전압(Vop2)으로 상승시켜 인가되도록 전압 생성 회로(210) 및 로우 디코더(220)를 제어한다.

[0096] 상술한 본원 발명의 제1 실시 예에 따르면, 서스펜드 동작 횟수 및 조정 비율에 기초하여 워드라인들에 인가되는 동작 전압의 라이징 시점을 제어할 수 있다. 즉, 서스펜드 동작 수행 횟수에 비해 워드라인들에 인가되는 동작 전압의 라이징 시점의 단축 구간이 상대적으로 짧도록 제어하여 제1 동작 전압(Vop1)이 인가되는 시간을 증가시킬 수 있다. 이로써, 메모리 셀들이 타겟 문턱 전압보다 높게 소거되는 얇은 소거 특성을 개선할 수 있다.

[0098] 도 7은 본 발명의 제2 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.

[0099] 도 8은 본 발명의 제2 실시 예에 따른 메모리 장치의 동작 구간에 따른 소거 특성 및 차감 횟수 조정 비율을 나타내는 도면이다.

[0100] 도 9는 본 발명의 제2 실시 예에 따른 메모리 장치의 동작을 설명하기 위한 동작 전압들의 파형도이다.

[0101] 도 2 내지 도 4, 도 7 내지 도 9를 참조하여, 본 발명의 제2 실시 예에 따른 메모리 장치의 동작을 설명하면 다음과 같다.

[0102] 단계 S710에서, 소거 동작을 수행한다. 메모리 장치(1100)는 소거 동작에 대응하는 커맨드(CMD)를 수신하고, 제어 로직(300)은 소거 동작을 수행하도록 주변 회로들(200)을 제어한다.

[0103] 예를 들어, 소거 동작 시 소스라인 드라이버(270)는 선택된 메모리 블록(예를 들어 MB1)과 연결된 소스 라인(SL)에 소거 전압(Vera)을 인가한다. 소거 전압(Vera)은 라이징 구간동안 타겟 레벨로 점차 상승하고, 이 후 소

거 펄스 인가 동작 구간($t_{ERAPLS1}$, $t_{ERAPLS2}$) 동안 타겟 레벨의 소거 전압(Vera)을 소스 라인(SL)에 인가할 수 있다. 소거 펄스 인가 동작 구간($t_{ERAPLS1}$, $t_{ERAPLS2}$)은 첫 번째 소거 펄스 인가 루프들<0>를 포함하는 제1 소거 펄스 인가 동작 구간($t_{ERAPLS1}$)과 나머지 소거 펄스 인가 루프들<1:K>을 포함하는 제2 소거 펄스 인가 동작 구간($t_{ERAPLS2}$)으로 구성될 수 있다.

[0104] 전압 생성 회로(210)는 선택된 메모리 블록(MB1)의 워드라인들에 인가하기 위한 동작 전압(Vop)을 생성한다. 동작 전압(Vop)은 제1 동작 전압(Vop1) 및 제2 동작 전압(Vop2)을 포함할 수 있으며, 제2 동작 전압(Vop2)은 제1 동작 전압(Vop1)보다 전위가 높다. 제1 동작 전압(Vop1)은 접지 전압보다 높은 전위를 가질 수 있다.

[0105] 로우 디코더(220)는 전압 생성 회로(210)에서 생성된 동작 전압(Vop)을 선택된 메모리 블록(MB1)의 워드라인들에 인가한다. 예를 들어, 로우 디코더(220)는 소거 펄스 인가 동작 구간($t_{ERAPLS1}$, $t_{ERAPLS2}$)에서 순차적으로 수행되는 복수의 소거 펄스 인가 루프들(0 내지 K) 중 설정된 소거 펄스 인가 루프까지 제1 동작 전압(Vop1)을 워드라인들에 인가하고, 다음 소거 펄스 인가 루프부터 제2 동작 전압(Vop2)을 워드라인들에 인가할 수 있다. 제1 동작 전압(Vop1)에서 제2 동작 전압(Vop2)으로 변경되는 시점을 워드라인 동작 전압의 라이징 시점으로 정의할 수 있다. 소거 동작 시 메모리 셀들은 소스 라인(SL)에 인가되는 소거 전압(Vera)과 워드라인들에 인가되는 제1 동작 전압(Vop1) 또는 제2 동작 전압(Vop2)에 의해 소거되며, 제1 동작 전압(Vop1)이 인가되는 구간에서의 소거 스피드가 제2 동작 전압(Vop2)이 인가되는 구간에서의 소거 스피드보다 빠르게된다.

[0107] 단계 S720에서, 소거 동작 중 서스펜드 동작을 수행한다. 메모리 장치(1100)는 소거 동작 중 서스펜드 동작에 대응하는 커맨드(CMD)를 수신할 수 있으며, 제어 로직(300)은 커맨드(CMD)에 응답하여 소거 동작을 중단한다. 이 후, 메모리 장치(1100)는 다른 제반 동작들을 수행할 수 있다.

[0109] 단계 S730에서, 서스펜드 동작의 시점을 판단한다.

[0110] 도 9를 참조하면, 소거 동작은 제1 구간 내지 제6 구간을 포함하여 구성될 수 있다. 제1 구간은 소거 전압이 상승하는 라이징 시점의 초기 구간일 수 있으며, 제2 구간은 라이징 구간의 말기 구간일 수 있다. 제3 구간은 복수의 소거 펄스 인가 루프들 중 초기의 소거 펄스 인가 루프가 수행되는 시점 즉, 제1 소거 펄스 인가 동작 구간($t_{ERAPLS1}$)일 수 있으며, 제4 구간 내지 제6 구간은 제2 소거 펄스 인가 동작 구간($t_{ERAPLS2}$)의 초기, 중기, 말기 구간일 수 있다.

[0111] 도 8을 참조하면, 각 구간의 소거 특성은 서로 상이할 수 있다. 제1 구간은 소거 전압(Vera)이 상승하는 라이징 구간의 초기 구간으로 실질적으로 소거 동작이 수행되지 않는다. 이에 따라 제1 구간에서 서스펜드 동작이 반복 수행되어도 메모리 셀들은 정상 소거 특성을 가질 수 있다. 제2 구간은 소거 전압(Vera)이 타겟 레벨과 인접한 레벨까지 상승한 구간이다. 제2 구간은 소거 펄스 인가 루프가 수행되지 않아 서스펜드 동작이 반복 수행되어도 잔여 소거 펄스 횟수가 차감되지 않는 구간이다. 이에 따라, 제2 구간에서 서스펜드 동작이 반복적으로 수행될 경우 메모리 셀들은 깊은 소거 특성(Deep ERS)을 가질 수 있다. 제3 구간에서 서스펜드 동작이 수행될 경우 메모리 셀들은 얇은 소거 특성(Shallow ERS)을 가질 수 있다. 이는 서스펜드 동작 및 리츰 동작이 초기의 소거 펄스 인가 루프들<0>에서 반복적으로 발생할 경우 소거 펄스 인가 동작이 짧게 반복되어 소거 효율이 떨어지게되고, 이에 따라 메모리 셀들이 얇은 소거 특성(Shallow ERS)을 가질 수 있다. 제4 구간 내지 제6구간 각각에서는 메모리 셀들이 깊은 소거 특성(Deep ERS), 정상 소거 특성(normal), 및 얇은 소거 특성(Shallow ERS)을 가질 수 있다. 제4 구간의 경우 제3 구간과 서스펜드 동작 횟수에 기초하여 차감되는 소거 펄스 인가 루프의 횟수는 유사하나 제1 소거 펄스 인가 동작 구간($t_{ERAPLS1}$)이 반복적으로 수행되어 메모리 셀들이 깊은 소거 특성(Deep ERS)을 가질 수 있다. 제6구간의 경우 서스펜드 동작이 일정 횟수(예를 들어 60회) 미만으로 수행될 경우 메모리 셀들이 얇은 소거 특성(Shallow ERS)을 가질 수 있다.

[0113] 단계 S740에서, 판단된 서스펜드 동작의 수행 시점에 기초하여 잔여 소거 펄스 횟수를 설정한다.

[0114] 예를 들어, 제어 로직(300)은 서스펜드 동작의 수행 횟수 및 서스펜드 동작의 수행 시점에 대응하는 차감 횟수 조정 비율에 기초하여 차감 횟수를 계산한다. 또한, 제어 로직(300)은 미수행된 소거 펄스 인가 루프들의 횟수에서 계산된 차감 횟수(x)를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다.

[0115] 이에 따라 제2 소거 펄스 인가 동작 구간($t_{ERAPLS2}$)의 총 소거 펄스 인가 루프 횟수(K)는 계산된 차감 횟수(x)

만큼 차감되며, 마지막 소거 펄스 인가 루프(K-x)에서 소거 동작이 종료될 수 있다.

- [0116] 도 8을 참조하면, 소거 동작의 복수의 구간들은 서로 상이한 소거 특성을 가지며, 이들 중 얇은 소거 특성에 대응되는 제3 구간 및 제 6 구간에서 차감 횟수 조정 비율을 나머지 구간보다 높게 설정한다. 이에 따라 얇은 소거 특성에 대응되는 제3 구간 및 제 6 구간에서 서스펜드 동작이 수행될 경우, 서스펜드 동작 수행 횟수보다 적은 수의 차감 횟수가 계산될 수 있다.
- [0117] 예를 들어 제2 구간, 제4 구간, 제5 구간에서 서스펜드 동작이 수행되고, 소거 동작시 수행된 서스펜드 동작 횟수가 60회인 경우, 제어 로직(300)은 미수행된 소거 펄스 인가 루프들의 횟수에서 60회를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다. 반면, 제3 구간에서 서스펜드 동작이 수행되고, 소거 동작시 수행된 서스펜드 동작 횟수가 60회인 경우, 제어 로직(300)은 서스펜드 동작의 수행 횟수(60회) 및 차감 횟수 조정 비율(4:1)에 기초하여 차감 횟수를 15회로 계산하고, 미수행된 소거 펄스 인가 루프들의 횟수에서 계산된 차감 횟수(15회)를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다. 또한, 제2 소거 펄스 인가 동작 구간(tERAPLS2) 내에서 서스펜드 동작이 수행되고, 소거 동작시 수행된 서스펜드 동작 횟수가 60회 미만 예를 들어 20회의 서스펜드 동작이 수행된 경우, 제어 로직(300)은 서스펜드 동작의 수행 횟수(20회) 및 차감 횟수 조정 비율(4:1)에 기초하여 차감 횟수를 5회로 계산하고, 미수행된 소거 펄스 인가 루프들의 횟수에서 계산된 차감 횟수(5회)를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다.
- [0118] 즉, 얇은 소거 특성에 대응되는 구간에서 서스펜드 동작이 수행된 경우, 차감 횟수를 서스펜드 동작 횟수보다 적도록 계산하여 잔여 소거 펄스 횟수를 설정할 수 있다.
- [0120] 단계 S750에서, 리츰 동작을 수행하여 중단된 소거 동작을 재개한다. 리츰 동작 시 앞선 단계 S740에서 설정된 잔여 소거 펄스 횟수 및 초기 설정된 워드라인 동작 전압의 라이징 시점에 따라 중단된 소거 동작을 재개한다.
- [0121] 예를 들어, 제어 로직(300)은 중단된 소거 펄스 인가 루프부터 순차적으로 진행하되, 설정된 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프들을 순차적으로 수행하도록 소스라인 드라이버(270)를 제어한다.
- [0122] 또한 제어 로직(300)은 재설정된 설정된 워드라인 동작 전압의 라이징 시점에서 제1 및 제2 워드라인 그룹들(GR1, GR2)에 인가되는 제1 동작 전압(Vop1)을 제2 동작 전압(Vop2)으로 상승시켜 인가되도록 전압 생성 회로(210) 및 로우 디코더(220)를 제어한다.
- [0123] 상술한 본원 발명의 제2 실시 예에 따르면, 서스펜드 동작 횟수, 서스펜드 동작 수행 시점 및 이에 대응하는 차감 횟수 조정 비율에 기초하여 잔여 소거 펄스 횟수를 설정할 수 있다. 즉, 얇은 소거 특성을 갖는 구간에서 서스펜드 동작이 수행될 경우 미수행된 소거 펄스 인가 루프들의 횟수에서 서스펜드 동작 횟수보다 적은 횟수의 차감 횟수만큼 차감하여 잔여 소거 펄스 횟수를 설정함으로써, 문턱 전압 분포를 개선할 수 있다.
- [0124] 상술한 본원 발명의 제2 실시 예는 앞서 설명한 본원 발명의 제1 실시 예와 병행하여 수행될 수 있다. 즉, 제1 실시 예와 같이 서스펜드 동작 횟수 및 조정 비율에 기초하여 워드라인들에 인가되는 동작 전압의 라이징 시점을 제어하고, 제2 실시 예에 기초하여 서스펜드 동작 횟수, 서스펜드 동작 수행 시점 및 이에 대응하는 차감 횟수 조정 비율에 기초하여 잔여 소거 펄스 횟수를 설정하여 중단된 소거 동작을 수행할 수 있다.
- [0126] 도 10은 본 발명의 제3 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0127] 도 11은 본 발명의 제3 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 동작 전압들의 파형도이다.
- [0128] 도 1 내지 도 4, 도 8, 도 10 및 도 11을 참조하여 본 발명의 제3 실시 예를 설명하면 다음과 같다.
- [0129] 단계 S1010에서, 소거 동작을 수행한다. 메모리 장치(1100)는 소거 동작에 대응하는 커맨드(CMD)를 수신하고, 제어 로직(300)은 소거 동작을 수행하도록 주변 회로들(200)을 제어한다.
- [0130] 예를 들어, 소거 동작 시 소스라인 드라이버(270)는 선택된 메모리 블록(예를 들어 MB1)과 연결된 소스 라인(SL)에 소거 전압(Vera)을 인가한다. 소거 전압(Vera)은 라이징 구간동안 타겟 레벨로 점차 상승하고, 이 후 소거 펄스 인가 동작 구간(tERAPLS1, tERAPLS2) 동안 타겟 레벨의 소거 전압(Vera)을 소스 라인(SL)에 인가할 수 있다. 소거 펄스 인가 동작 구간(tERAPLS1, tERAPLS2)은 첫 번째 소거 펄스 인가 루프<0>를 포함하는 제1 소거 펄스 인가 동작 구간(tERAPLS1)과 나머지 소거 펄스 인가 루프들<1:K>을 포함하는 제2 소거 펄스 인가 동작 구

간(tERAPLS2)으로 구성될 수 있다.

- [0131] 전압 생성 회로(210)는 선택된 메모리 블록(MB1)의 워드라인들에 인가하기 위한 동작 전압(Vop)을 생성한다. 동작 전압(Vop)은 제1 동작 전압(Vop1) 및 제2 동작 전압(Vop2)을 포함할 수 있으며, 제2 동작 전압(Vop2)은 제1 동작 전압(Vop1)보다 전위가 높다. 제1 동작 전압(Vop1)은 접지 전압보다 높은 전위를 가질 수 있다.
- [0132] 로우 디코더(220)는 전압 생성 회로(210)에서 생성된 동작 전압(Vop)을 선택된 메모리 블록(MB1)의 워드라인들에 인가한다. 예를 들어, 로우 디코더(220)는 소거 펄스 인가 동작 구간(tERAPLS1, tERAPLS2)에서 순차적으로 수행되는 복수의 소거 펄스 인가 루프들(0 내지 K) 중 설정된 소거 펄스 인가 루프까지 제1 동작 전압(Vop1)을 워드라인들에 인가하고, 다음 소거 펄스 인가 루프부터 제2 동작 전압(Vop2)을 워드라인들에 인가할 수 있다. 제1 동작 전압(Vop1)에서 제2 동작 전압(Vop2)으로 변경되는 시점을 워드라인 동작 전압의 라이징 시점으로 정의할 수 있다. 소거 동작 시 메모리 셀들은 소스 라인(SL)에 인가되는 소거 전압(Vera)과 워드라인들에 인가되는 제1 동작 전압(Vop1) 또는 제2 동작 전압(Vop2)에 의해 소거되며, 제1 동작 전압(Vop1)이 인가되는 구간에서의 소거 스피드가 제2 동작 전압(Vop2)이 인가되는 구간에서의 소거 스피드보다 빠르게된다.
- [0134] 단계 S1020에서, 소거 동작 중 서스펜드 동작을 수행한다. 메모리 장치(1100)는 소거 동작 중 서스펜드 동작에 대응하는 커맨드(CMD)를 수신할 수 있으며, 제어 로직(300)은 커맨드(CMD)에 응답하여 소거 동작을 중단한다. 이 후, 메모리 장치(1100)는 다른 제반 동작들을 수행할 수 있다.
- [0136] 단계 S1030에서, 서스펜드 동작 시점 또는 서스펜드 횟수를 판단한다.
- [0137] 예를 들어, 제어 로직(300)은 직전에 수행된 서스펜드 동작의 시점을 판단한다. 예를 들어 도 8과 같이 서스펜드 동작이 제1 구간 내지 제6 구간 중 어느 구간에서 수행되었는지 판단한다. 또한 제어 로직(300)은 현재의 소거 동작 중 수행된 서스펜드 동작의 수행 횟수를 카운트할 수 있다.
- [0138] 제어 로직(300)은 현재의 소거 동작에서 서스펜드 동작에 의해 중단되어 미수행된 소거 펄스 인가 루프들의 횟수에서 서스펜드 동작 수행 횟수를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다.
- [0139] 예를 들어, 서스펜드 동작 수행 횟수가 4회인 경우, 제어 로직(300)은 미수행된 소거 펄스 인가 루프들의 횟수에서 4회를 차감하여 잔여 소거 펄스 횟수를 설정할 수 있다.
- [0141] 단계 S1040에서, 판단된 서스펜드 동작 시점 또는 서스펜드 횟수에 기초하여 각 워드라인 그룹의 라이징 시점의 오프셋값을 설정한다.
- [0142] 예를 들어 제어 로직(300)은 판단된 서스펜드 동작 시점 또는 서스펜드 횟수에 기초하여 각 워드라인 그룹(GR1, GR2)에 대응하는 메모리 셀들의 소거 특성을 판단할 수 있다. 예를 들어, 서스펜드 동작 시점 또는 서스펜드 횟수에 기초하여 제1 워드라인 그룹(GR1)에 대응하는 메모리 셀들이 얇은 소거 특성을 갖는다고 판단될 경우 제1 워드라인 그룹(GR1)의 오프셋값을 양의 값(예를 들어 +5)으로 설정할 수 있다. 오프셋값이 양의 값을 가질 경우 워드라인 그룹의 라이징 시점은 오프셋값에 대응하는 소거 펄스 인가 루프 횟수만큼 늦추어질 수 있다. 예를 들어, 서스펜드 동작 시점 또는 서스펜드 횟수에 기초하여 제2 워드라인 그룹(GR2)에 대응하는 메모리 셀들이 깊은 소거 특성을 갖는다고 판단될 경우 제2 워드라인 그룹(GR2)의 오프셋값을 음의 값(예를 들어 -2)으로 설정할 수 있다. 오프셋값이 음의 값을 가질 경우 워드라인 그룹의 라이징 시점은 오프셋값에 대응하는 소거 펄스 인가 루프 횟수만큼 앞당겨질 수 있다.
- [0144] 단계 S1050에서, 리잠 동작을 수행하여 중단된 소거 동작을 재개한다.
- [0145] 제어 로직(300)은 오프셋값에 기초하여 각 워드라인 그룹의 라이징 시점을 재설정하고, 앞선 단계 S1030에서 설정된 잔여 소거 펄스 횟수 및 설정된 워드라인 동작 전압의 라이징 시점에 따라 중단된 소거 동작을 재개한다.
- [0146] 예를 들어, 제어 로직(300)은 중단된 소거 펄스 인가 루프부터 순차적으로 진행하되, 설정된 잔여 소거 펄스 횟수만큼의 소거 펄스 인가 루프들을 순차적으로 수행하도록 소스라인 드라이버(270)를 제어한다.
- [0147] 또한 제어 로직(300)은 재설정된 설정된 워드라인 동작 전압의 라이징 시점에서 제1 및 제2 워드라인 그룹들

(GR1, GR2)에 인가되는 제1 동작 전압(Vop1)을 제2 동작 전압(Vop2)으로 상승시켜 인가되도록 전압 생성 회로(210) 및 로우 디코더(220)를 제어한다.

- [0148] 상술한 본원 발명의 제3 실시 예에 따르면, 서스펜드 동작 시점 및 서스펜드 동작 횟수에 기초하여 워드라인들에 인가되는 동작 전압의 라이징 시점을 제어할 수 있다. 즉, 서스펜드 동작 시점 및 서스펜드 동작 횟수에 기초하여 얇은 소거 특성이 발생할 가능성이 있는 메모리 셀들에 대응하는 워드라인 그룹에는 동작 전압의 라이징 시점을 늦추어 설정하고, 깊은 소거 특성이 발생할 가능성이 있는 메모리 셀들에 대응하는 워드라인 그룹에는 동작 전압의 라이징 시점을 앞당겨 설정할 수 있다. 이로써, 메모리 셀들의 문턱 전압 분포를 개선할 수 있다.
- [0149] 상술한 제3 실시 예는 앞서 설명한 제2 실시 예와 병행하여 수행될 수 있다. 즉, 제2 실시 예와 같이 서스펜드 동작 횟수, 서스펜드 동작 수행 시점 및 이에 대응하는 차감 횟수 조정 비율에 기초하여 잔여 소거 펄스 횟수를 설정하고, 제3 실시 예에 기초하여 서스펜드 동작 시점 또는 서스펜드 동작 횟수에 기초하여 워드라인들에 인가되는 동작 전압의 라이징 시점을 제어하여 중단된 소거 동작을 수행할 수 있다.
- [0151] 도 12는 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0152] 도 12를 참조하면, 메모리 시스템(Memory System; 30000)은 이동 전화기(cellular phone), 스마트폰(smart phone), 태블릿(tablet) PC, PDA(personal digital assistant) 또는 무선 통신 장치로 구현될 수 있다. 메모리 시스템(30000)은 메모리 장치(1100)와 상기 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)를 포함할 수 있다. 메모리 컨트롤러(1200)는 프로세서(Processor; 3100)의 제어에 따라 메모리 장치(1100)의 데이터 액세스 동작, 예컨대 프로그램(program) 동작, 소거(erase) 동작 또는 리드(read) 동작을 제어할 수 있다.
- [0153] 메모리 장치(1100)에 프로그램된 데이터는 메모리 컨트롤러(1200)의 제어에 따라 디스플레이(Display; 3200)를 통하여 출력될 수 있다.
- [0154] 무선 송수신기(RADIO TRANSCEIVER; 3300)는 안테나(ANT)를 통하여 무선 신호를 주고받을 수 있다. 예컨대, 무선 송수신기(3300)는 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(3100)에서 처리(process)될 수 있는 신호로 변경할 수 있다. 따라서, 프로세서(3100)는 무선 송수신기(3300)로부터 출력된 신호를 처리(process)하고 처리(process)된 신호를 메모리 컨트롤러(1200) 또는 디스플레이(3200)로 전송할 수 있다. 메모리 컨트롤러(1200)는 프로세서(3100)에 의하여 처리(process)된 신호를 반도체 메모리 장치(1100)에 프로그램할 수 있다. 또한, 무선 송수신기(3300)는 프로세서(3100)로부터 출력된 신호를 무선 신호로 변경하고 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다. 입력 장치(Input Device; 3400)는 프로세서(3100)의 동작을 제어하기 위한 제어 신호 또는 프로세서(3100)에 의하여 처리(process)될 데이터를 입력할 수 있는 장치로서, 터치패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad) 또는 키보드로 구현될 수 있다. 프로세서(3100)는 메모리 컨트롤러(1200)로부터 출력된 데이터, 무선 송수신기(3300)로부터 출력된 데이터, 또는 입력 장치(3400)로부터 출력된 데이터가 디스플레이(3200)를 통하여 출력될 수 있도록 디스플레이(3200)의 동작을 제어할 수 있다.
- [0155] 실시 예에 따라, 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)는 프로세서(3100)의 일부로서 구현될 수 있고 또한 프로세서(3100)와 별도의 칩으로 구현될 수 있다.
- [0157] 도 13은 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0158] 도 13을 참조하면, 메모리 시스템(Memory System; 40000)은 PC(personal computer), 태블릿(tablet) PC, 넷-북(net-book), e-리더(e-reader), PDA(personal digital assistant), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어로 구현될 수 있다.
- [0159] 메모리 시스템(40000)은 메모리 장치(Memory Device; 1100)와 상기 메모리 장치(1100)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(memory Controller; 1200)를 포함할 수 있다.
- [0160] 프로세서(Processor; 4100)는 입력 장치(Input Device; 4200)를 통하여 입력된 데이터에 따라 메모리 장치(1100)에 저장된 데이터를 디스플레이(Display; 4300)를 통하여 출력할 수 있다. 예컨대, 입력 장치(4200)는 터치패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다.

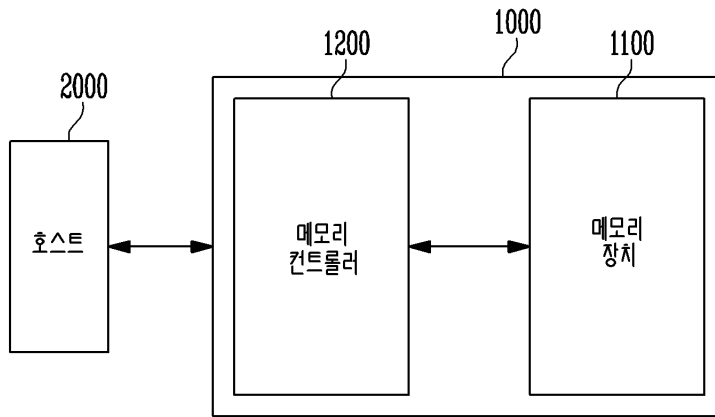
- [0161] 프로세서(4100)는 메모리 시스템(40000)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(1200)의 동작을 제어할 수 있다. 실시 예에 따라 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)는 프로세서(4100)의 일부분으로 구현되거나, 프로세서(4100)와 별도의 칩으로 구현될 수 있다.
- [0163] 도 14는 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0164] 도 14를 참조하면, 메모리 시스템(50000)은 이미지 처리 장치, 예컨대 디지털 카메라, 디지털 카메라가 부착된 이동 전화기, 디지털 카메라가 부착된 스마트 폰, 또는 디지털 카메라가 부착된 태블릿 PC로 구현될 수 있다.
- [0165] 메모리 시스템(50000)은 메모리 장치(Memory Device; 1100)와 상기 메모리 장치(1100)의 데이터 처리 동작, 예컨대 프로그램 동작, 소거 동작 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(1200)를 포함한다.
- [0166] 메모리 시스템(50000)의 이미지 센서(Image Sensor; 5200)는 광학 이미지를 디지털 신호들로 변환할 수 있고, 변환된 디지털 신호들은 프로세서(Processor; 5100) 또는 메모리 컨트롤러(1200)로 전송될 수 있다. 프로세서(5100)의 제어에 따라, 상기 변환된 디지털 신호들은 디스플레이(Display; 5300)를 통하여 출력되거나 메모리 컨트롤러(1200)를 통하여 반도체 메모리 장치(1100)에 저장될 수 있다. 또한, 메모리 장치(1100)에 저장된 데이터는 프로세서(5100) 또는 메모리 컨트롤러(1200)의 제어에 따라 디스플레이(5300)를 통하여 출력될 수 있다.
- [0167] 실시 예에 따라 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)는 프로세서(5100)의 일부분으로 구현되거나 프로세서(5100)와 별개의 칩으로 구현될 수 있다.
- [0169] 도 15는 도 2에 도시된 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0170] 도 15를 참조하면, 메모리 시스템(Memory System; 70000)은 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 메모리 시스템(70000)은 메모리 장치(Memory Device; 1100), 메모리 컨트롤러(Memory Controller; 1200) 및 카드 인터페이스(Card Interface; 7100)를 포함할 수 있다.
- [0171] 메모리 컨트롤러(1200)는 반도체 메모리 장치(1100)와 카드 인터페이스(7100) 사이에서 데이터의 교환을 제어할 수 있다. 실시 예에 따라, 카드 인터페이스(7100)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.
- [0172] 카드 인터페이스(7100)는 호스트(HOST; 60000)의 프로토콜에 따라 호스트(60000)와 메모리 컨트롤러(1200) 사이에서 데이터 교환을 인터페이스할 수 있다. 실시 예에 따라 카드 인터페이스(7100)는 USB(Universal Serial Bus) 프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스는 호스트(60000)가 사용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어 또는 신호 전송 방식을 의미할 수 있다.
- [0173] 메모리 시스템(70000)이 PC, 태블릿 PC, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트(60000)의 호스트 인터페이스(6200)와 접속될 때, 호스트 인터페이스(6200)는 마이크로프로세서(Microprocessor; 6100)의 제어에 따라 카드 인터페이스(7100)와 메모리 컨트롤러(1200)를 통하여 메모리 장치(1100)와 데이터 통신을 수행할 수 있다.

부호의 설명

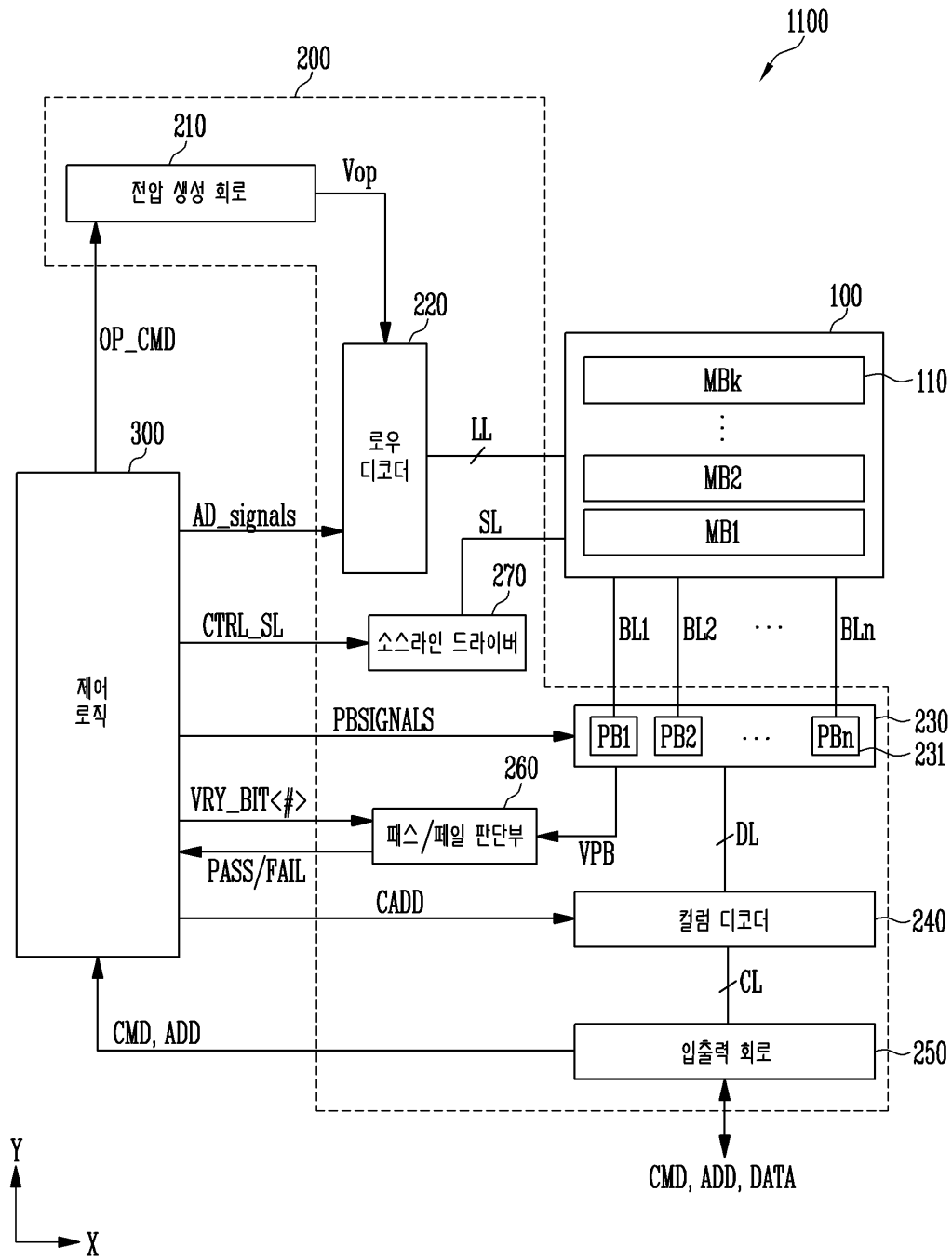
- [0175] 1000: 메모리 시스템 1100: 메모리 장치
- 1200: 메모리 컨트롤러 100: 메모리 셀 어레이
- 200: 주변 회로들 300: 제어 로직

도면

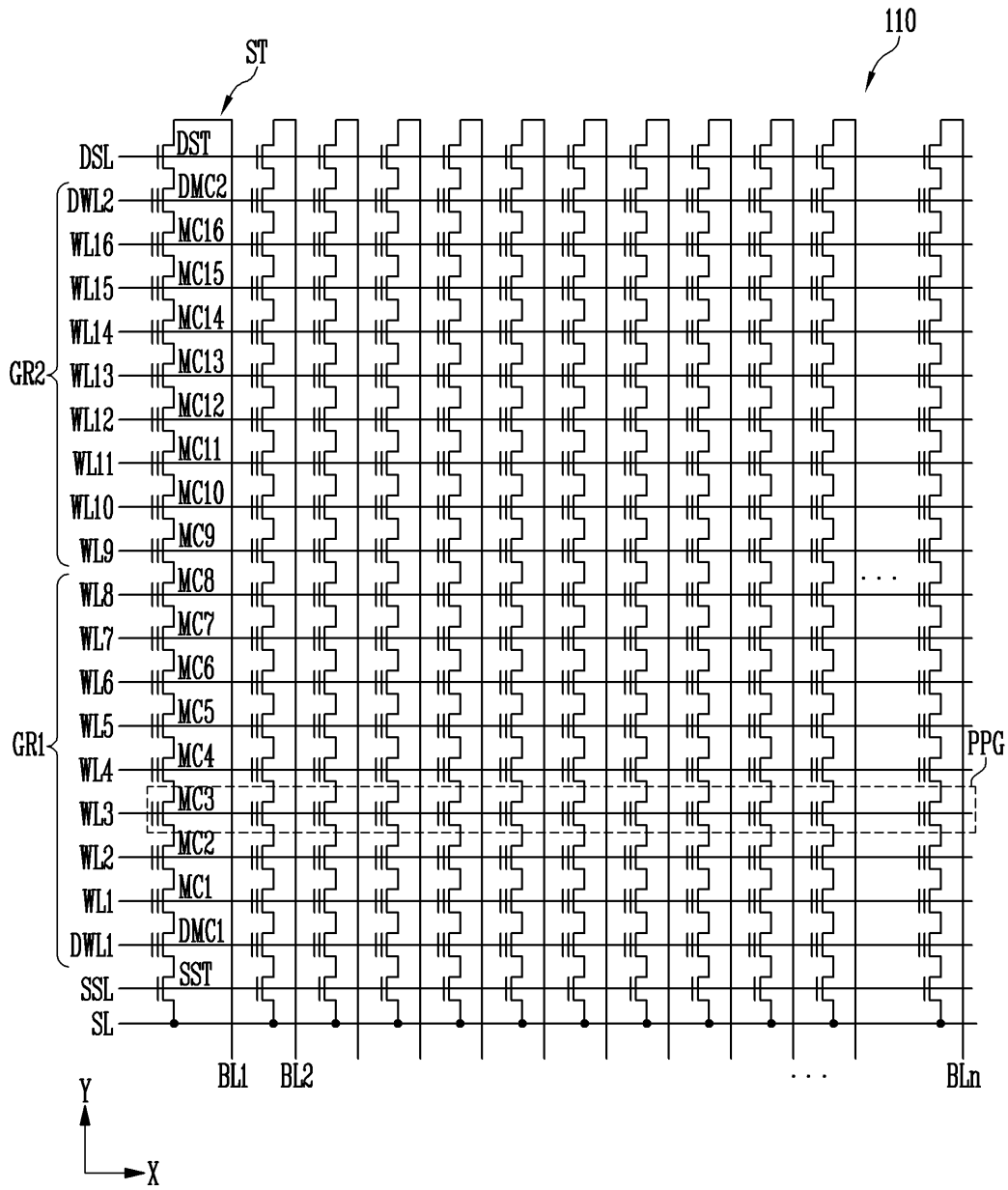
도면1



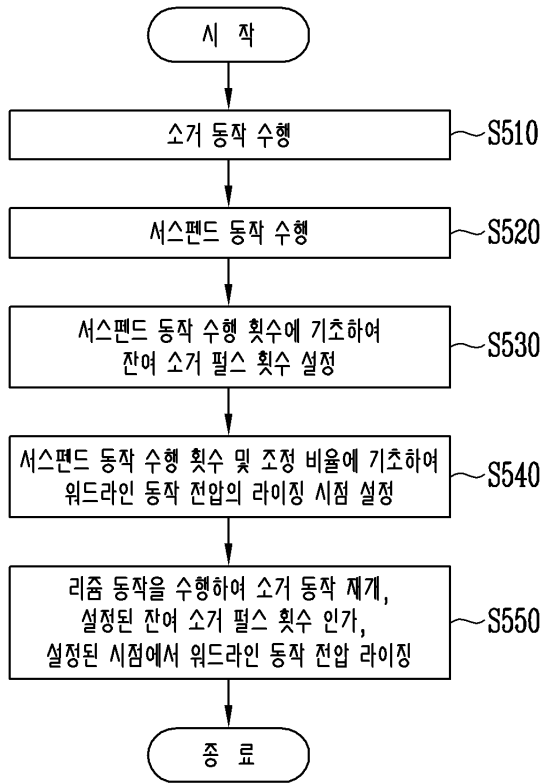
도면2



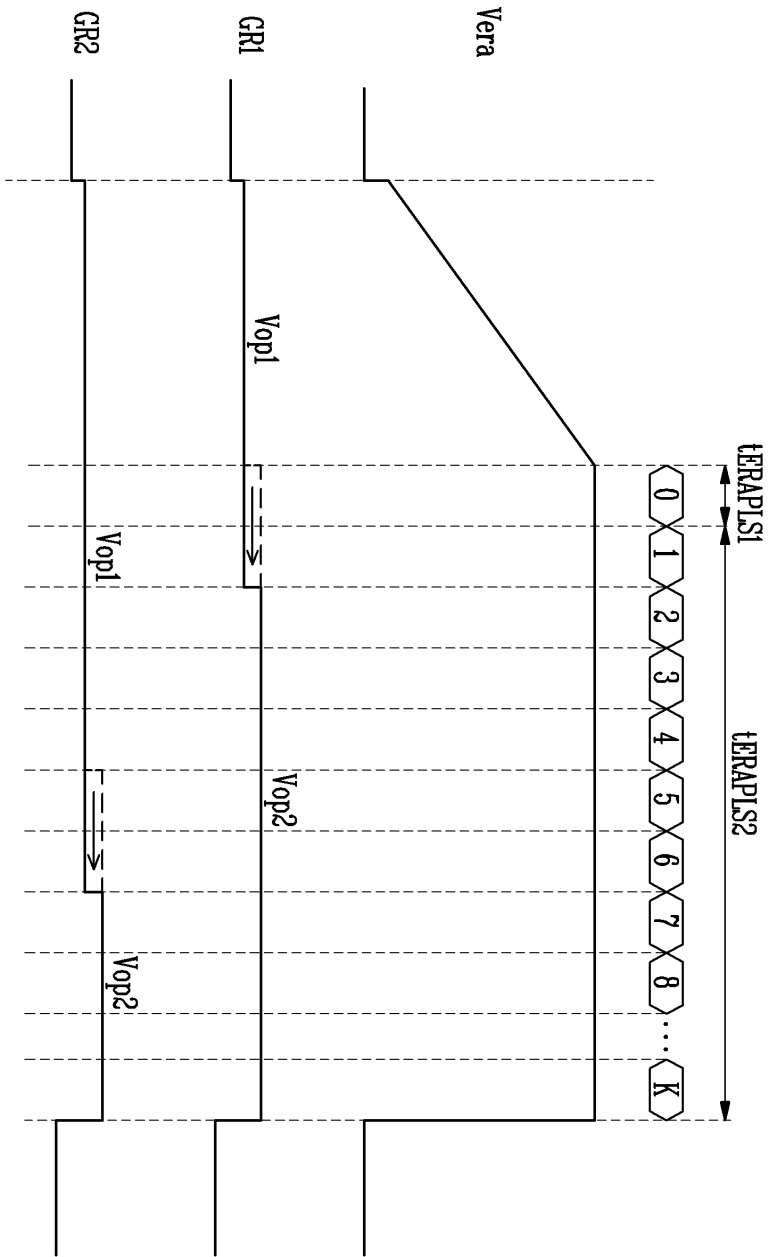
도면3



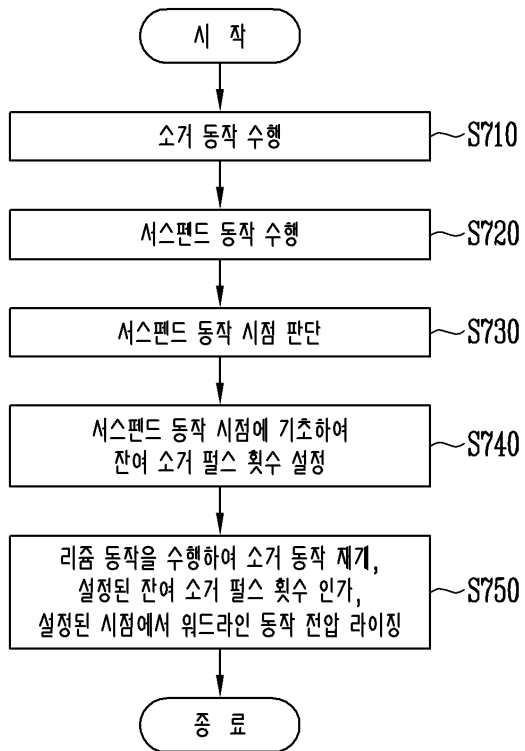
도면5



도면6



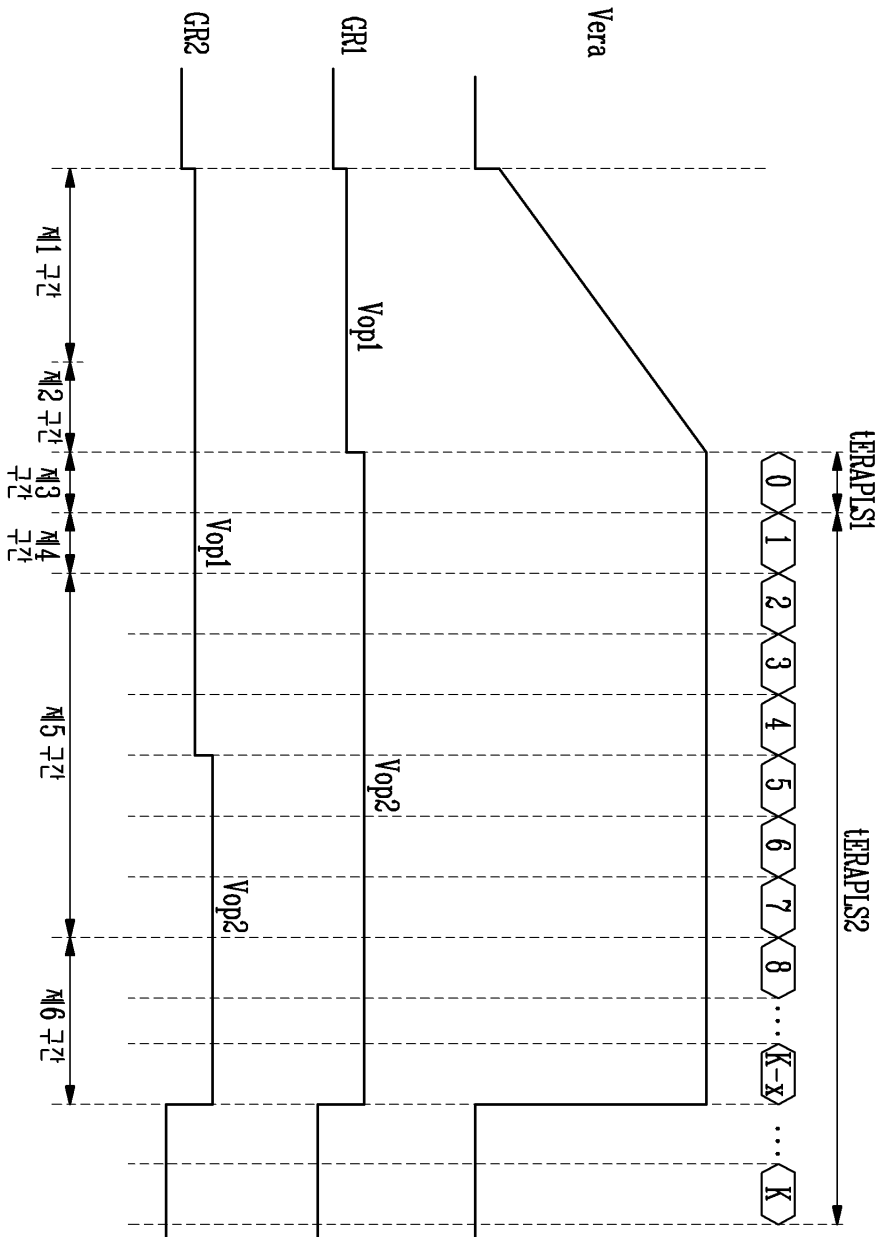
도면7



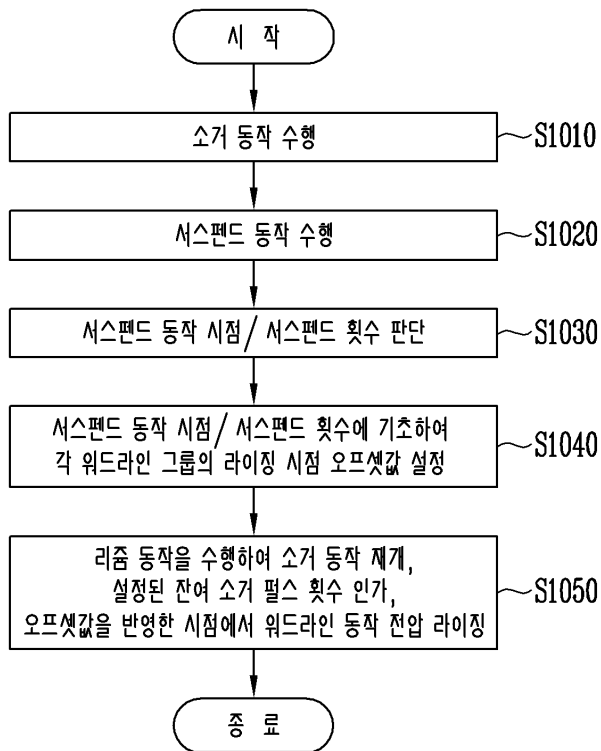
도면8

서스펜드 동작 시점	소거 특성	차감 횟수 조정 비율
제1 구간	normal	-
제2 구간	Deep ERS	1:1
제3 구간	Shallow ERS	4:1
제4 구간	Deep ERS	1:1
제5 구간	normal	1:1
제6 구간	Shallow ERS	4:1

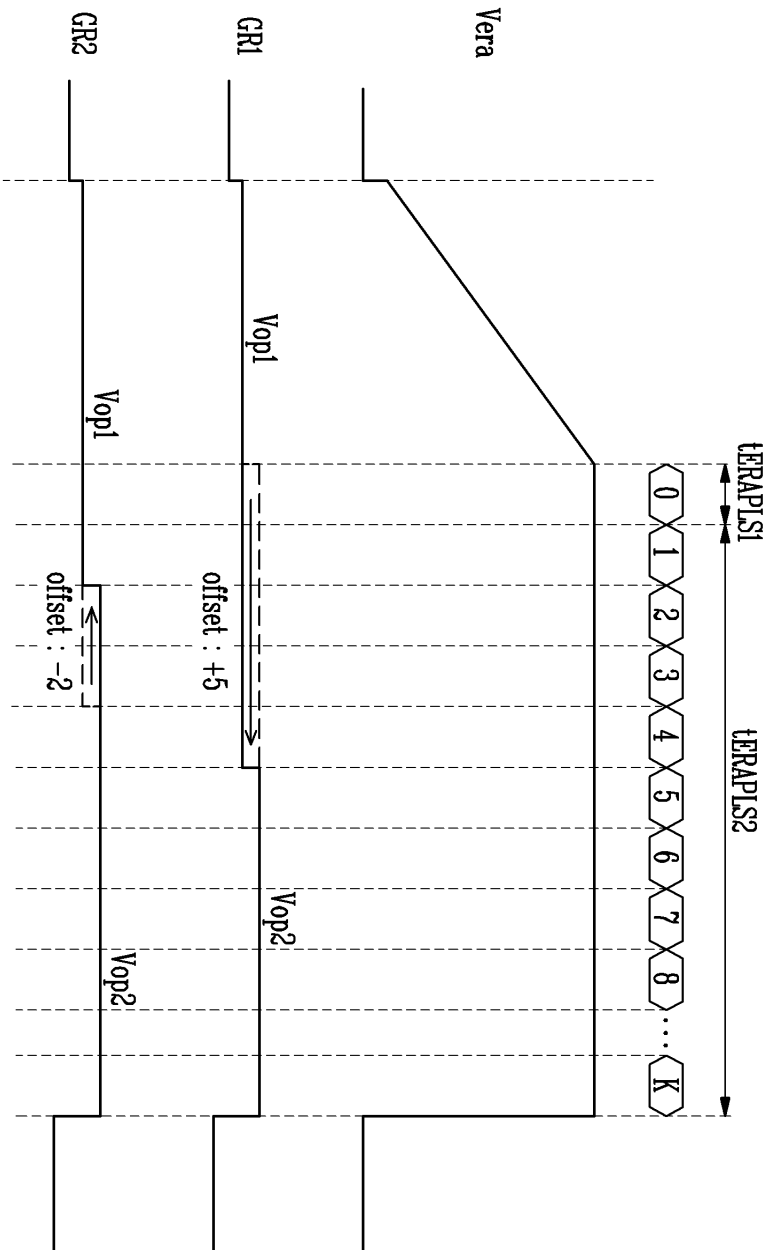
도면9



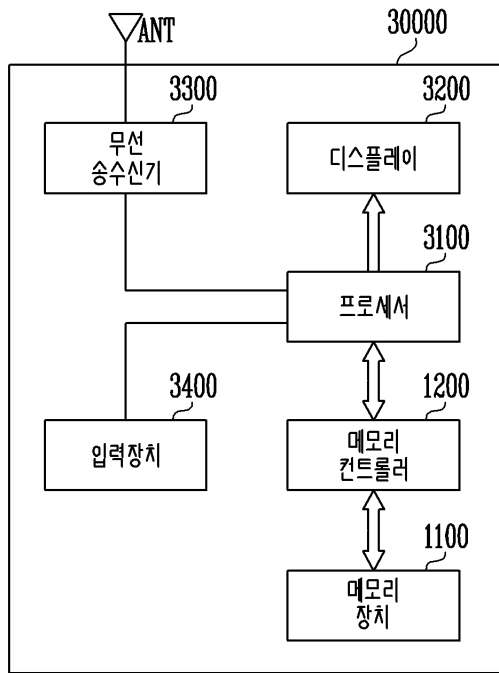
도면10



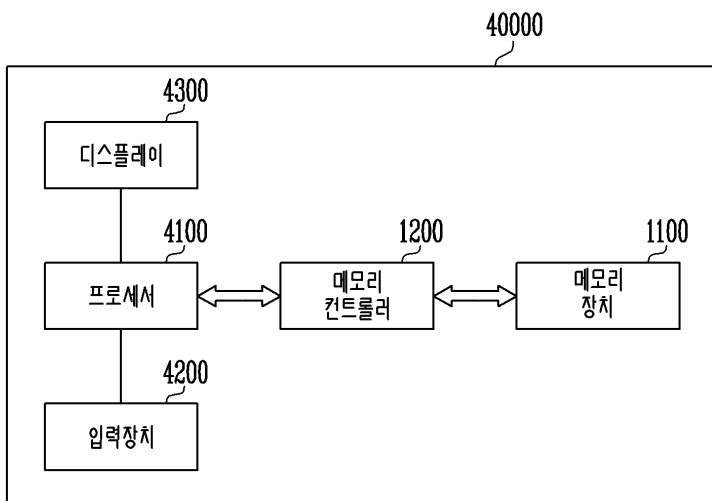
도면11



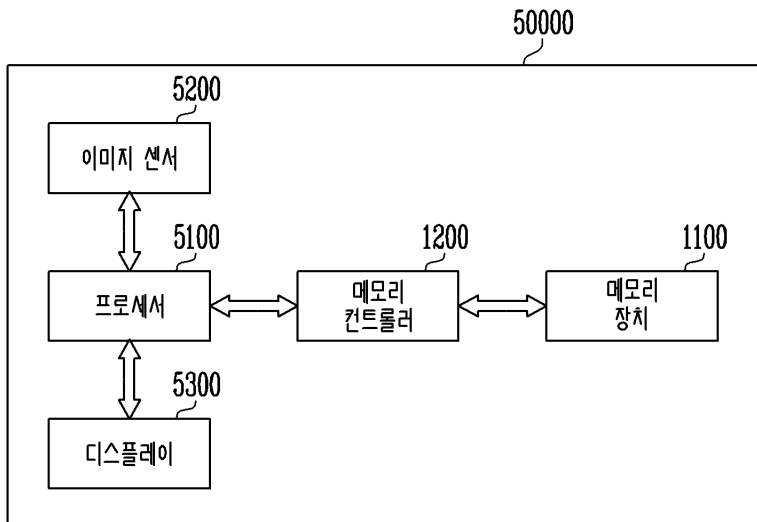
도면12



도면13



도면14



도면15

