



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월31일
(11) 등록번호 10-0849825
(24) 등록일자 2008년07월25일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2007-0024905
(22) 출원일자 2007년03월14일
심사청구일자 2007년03월14일
(56) 선행기술조사문헌
JP12232216 A

(73) 특허권자

동부일렉트로닉스 주식회사
서울 강남구 대치동 891-10

(72) 발명자

한창훈
경기 이천시 갈산동 777 신일해피트리 102-1101

(74) 대리인

허용록

전체 청구항 수 : 총 7 항

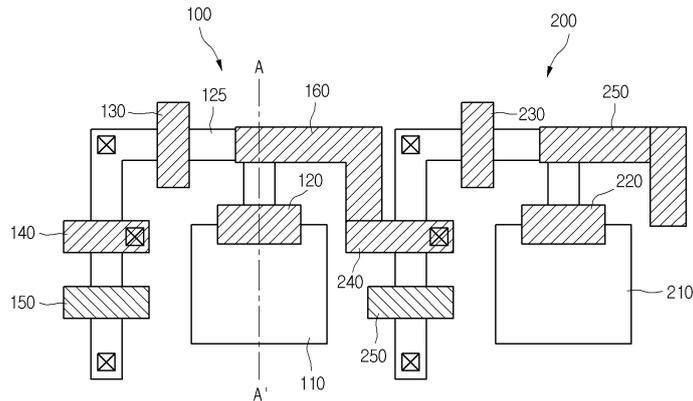
심사관 : 신창우

(54) 이미지센서 및 그 제조방법

(57) 요약

본 발명의 실시예에 따른 이미지센서는 제1 트랜스퍼 트랜지스터를 포함하는 제1 단위 화소; 제2 드라이브 트랜지스터를 포함하는 제2 단위 화소; 및 상기 제1 단위 화소의 플로팅디퓨전영역과 상기 제2 드라이브 트랜지스터를 전기적으로 연결하는 콘택;을 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 트랜스퍼 트랜지스터, 제1 리셋 트랜지스터, 제1 드라이브 트랜지스터, 제1 실렉 트랜지스터를 포함하는 제1 단위 화소;

제2 트랜스퍼 트랜지스터, 제2 리셋 트랜지스터, 제2 드라이브 트랜지스터, 제2 실렉 트랜지스터를 포함하는 제2 단위 화소; 및

상기 제1 단위 화소에 대한 플로팅디퓨전영역과 상기 제2 단위 화소의 제2 드라이브 트랜지스터를 전기적으로 연결하는 컨택;을 포함하는 것을 특징으로 하는 이미지센서.

청구항 2

제1 항에 있어서,

상기 제1 단위 화소는 주된 화소이며, 상기 제2 단위 화소는 더미 화소인 것을 특징으로 하는 이미지센서.

청구항 3

제1 트랜스퍼 트랜지스터, 제1 리셋 트랜지스터, 제1 드라이브 트랜지스터, 제1 실렉 트랜지스터를 포함하는 제1 단위 화소를 형성하는 단계;

제2 트랜스퍼 트랜지스터, 제2 리셋 트랜지스터, 제2 드라이브 트랜지스터, 제2 실렉 트랜지스터를 포함하는 제2 단위 화소를 형성하는 단계; 및

상기 제1 단위 화소에 대한 플로팅디퓨전영역과 상기 제2 단위 화소의 제2 드라이브 트랜지스터를 전기적으로 연결하는 컨택을 형성하는 단계;를 포함하는 것을 특징으로 하는 이미지센서의 제조방법.

청구항 4

제3 항에 있어서,

상기 컨택을 형성하는 단계는

상기 제1 단위 화소와 상기 제2 단위 화소 상에 절연층을 형성하는 단계;

상기 제1 단위 화소의 플로팅디퓨전영역 상의 상기 절연층을 일부 제거하여 컨택홀을 형성하는 단계; 및

상기 컨택홀을 메우면서 상기 제2 드라이브 트랜지스터를 전기적으로 연결하는 컨택을 형성하는 단계;를 포함하는 것을 특징으로 하는 이미지센서의 제조방법.

청구항 5

제3 항 또는 제4 항에 있어서,

상기 제1 단위 화소는 주된 화소이며, 상기 제2 단위 화소는 더미 화소인 것을 특징으로 하는 이미지센서 제조방법.

청구항 6

제3 항에 있어서,

상기 제1 단위 화소와 상기 단위 제2 화소는 동시에 형성되는 것을 특징으로 하는 이미지센서의 제조방법.

청구항 7

제3 항에 있어서,

상기 제1 트랜스퍼 트랜지스터의 게이트와, 상기 제2 드라이브 트랜지스터의 게이트 및 상기 콘택은 폴리실리콘을 이용하여 동시에 형성되는 것을 특징으로 하는 이미지센서의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명의 실시예는 이미지센서 및 그 제조방법에 관한 것이다.
- <6> 일반적으로, 이미지 센서(Image sensor)는 광학적 영상(optical image)을 전기적 신호로 변환시키는 반도체 소자이다. 이미지 센서는 전하 결합 소자(charge coupled device: CCD) 이미지 센서와 씨모스(CMOS; Complementary Metal Oxide Semiconductor) 이미지 센서(Image Sensor)로 구분된다.
- <7> CCD 이미지 센서와 씨모스 이미지센서는 공통적으로 광을 받아들여 전기신호로 전환하는 수광부를 가지고 있으며, CCD형 이미지센서는 이 전기신호를 전하 결합 소자(charge coupled device: CCD)를 통해 전달하며 마지막 단에서 전압으로 변환을 하게된다. 반면에, 씨모스 이미지센서에서는 각 화소에서 전압으로 신호를 변환하여 외부로 보내게 된다.
- <8> 최근에는 차세대 이미지 센서로서 씨모스 이미지 센서가 주목을 받고 있다.
- <9> 상기 씨모스 이미지 센서는 제어회로 및 신호처리회로 등을 주변회로로 사용하는 씨모스 기술을 이용하여 단위 화소마다 모스 트랜지스터들을 반도체 기판에 형성함으로써 상기 모스 트랜지스터들에 의해 각 단위 화소의 출력을 순차적으로 검출하는 스위칭 방식을 채용한 소자이다.
- <10> 한편, CMOS 이미지 센서는 트랜지스터의 개수에 따라 1T형, 2T형, 3T형, 4T형, 5T형 등으로 구분된다. 3T형은 1개의 포토다이오드와 3개의 트랜지스터로 구성되며, 4T형은 1개의 포토다이오드와 4개의 트랜지스터로 구성된다.
- <11> 여기서, 상기 4T형 CMOS 이미지 센서의 단위화소(Unit Pixel)에 대한 평면도를 살펴보면 다음과 같다.
- <12> 도 1에 도시된 바와 같이, 종래 기술에 의한 씨모스 이미지 센서의 단위 화소는 광전 변환부로서의 포토 다이오드(photo diode)(10)와, 4개의 NMOS 트랜지스터들(20,30,40,50)을 포함하여 구성된다. 4개의 NMOS 트랜지스터는 트랜스퍼게이트(Tx)(20), 리셋게이트 (Rx)(30), 드라이브게이트(Dx)(40) 및 셀렉트게이트(Sx)(50)로 구성된다.
- <13> 한편, 종래기술에 의하면 플로팅 디퓨전영역(25)과 드라이브게이트(Dx)(40)를 연결하는 메탈라인(60)의 형성은 픽셀의 개구율을 감소시키는 문제를 유발하였다.
- <14> 또한, 종래기술에 의하면 개구율(開口率) 감소에 따라 스케일다운 시 초래되는 칩사이즈(chip size)의 감소에 치명적인 제한 요소로 작용하는 문제가 있다. 개구율이란 하나의 화소의 배선부나 트랜지스트부를 제외한 빛을 통과시키는 부분의 면적과 화소 전체의 면적비율을 말한다.

발명이 이루고자 하는 기술적 과제

- <15> 본 발명의 실시예는 칩 사이즈(chip size)의 감소를 효율적으로 할 수 있게 하여 고 화소수에서도 많은 공정 마진을 갖게 하여 이미지센서의 특성을 향상시킬 수 있는 이미지센서 및 그 제조방법을 제공하고자 한다.

발명의 구성 및 작용

- <16> 본 발명의 실시예에 따른 이미지센서는 제1 트랜스퍼 트랜지스터를 포함하는 제1 단위 화소; 제2 드라이브 트랜지스터를 포함하는 제2 단위 화소; 및 상기 제1 단위 화소의 플로팅디퓨전영역과 상기 제2 드라이브 트랜지스터를 전기적으로 연결하는 콘택;을 포함하는 것을 특징으로 한다.
- <17> 또한, 본 발명의 실시예에 따른 이미지센서의 제조방법은 제1 트랜스퍼 트랜지스터를 포함하는 제1 단위 화소를 형성하는 단계; 제2 드라이브 트랜지스터를 포함하는 제2 단위 화소를 형성하는 단계; 및 상기 제1 단위 화소의 플로팅디퓨전영역과 상기 제2 드라이브 트랜지스터를 전기적으로 연결하는 콘택을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- <18> 또한, 본 발명의 실시예에 따른 이미지센서는 수광부를 포함하는 주된 단위 화소; 드라이브 트랜지스터를 포함

하는 더미 단위 화소; 및 상기 주된 단위 화소와 상기 더미 단위 화소의 드라이브 트랜지스터를 전기적으로 연결하는 콘택;을 포함하는 것을 특징으로 한다.

- <19> 이와 같은 본 발명의 실시예에 의하면 포토다이오드의 개구율을 높여 고집적 화소수의 이미지센서의 제공이 가능하며, 또한, 단위 공정간의 공정 마진(MARGIN)의 확보가 용이하여 고집적 화소수의 이미지센서의 제공이 가능한 장점이 있다.
- <20> 이하, 본 발명의 실시예에 따른 이미지센서 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <21> 본 발명의 실시예의 설명에 있어서, 각 층의 "상/아래(on/under)"에 형성되는 것으로 기재되는 경우에 있어, 상/아래는 직접(directly)와 또는 다른 층을 개재하여(indirectly) 형성되는 것을 모두 포함한다.
- <22> (제1 실시예)
- <23> 도 2는 본 발명의 제1 실시예에 따른 이미지센서의 평면도이다.
- <24> 본 발명의 제1 실시예는 4T 씨모스 이미지센서에 대한 예이나 본 발명이 4T 씨모스 이미지센서에 한정되는 것은 아니다.
- <25> 본 발명의 제1 실시예에 따른 이미지센서는 제1 단위 화소(100), 제2 단위 화소(200) 및 콘택(160)을 포함할 수 있다.
- <26> 상기 제1 단위 화소(100)는 주된 단위 화소이며, 상기 제2 단위 화소(200)는 더미 단위 화소인 것을 특징으로 한다.
- <27> 상기 제1 단위 화소(100)는 1개의 포토다이오드(110)와 4개의 NMOS 트랜지스터(120,130,140,150)를 포함할 수 있다.
- <28> 상기 4개의 NMOS 트랜지스터(120,130,140,150)는 포토다이오드(PD)(110)에서 모아진 광전하를 제1 플로팅 확산영역(FD)(125)으로 운송하기 위한 제1 트랜스퍼게이트(Tx)(120)와, 원하는 값으로 제1 플로팅 확산영역의 전위를 세팅하고 전하를 배출하여, 제1 플로팅 확산영역(FD)(125)을 리셋시키기 위한 제1 리셋게이트(Rx)(130)와, 소스 팔로워 버퍼 증폭기(Source Follower Buffer Amplifier) 역할을 하는 제1 드라이브게이트(Dx)(140) 및 스위칭(Switching) 역할로 어드레싱(Addressing)을 할 수 있도록 하는 제1 실렉게이트(Sx)(150)를 포함할 수 있다.
- <29> 단위 화소 밖에는 출력신호(Output Signal)를 읽을 수 있도록 제1 로드(load) 트랜지스터(미도시)가 형성되어 있을 수 있다.
- <30> 상기 제2 단위 화소(200) 역시 1개의 제2 포토다이오드(210)와 4개의 NMOS 트랜지스터(220, 230, 240, 250)를 포함할 수 있다. 상기 제2 단위 화소(200)의 트랜지스터는 제2 트랜스퍼게이트(Tx)(220)와, 제2 리셋게이트(Rx)(230)와, 제2 드라이브게이트(Dx)(240) 및 제2 실렉게이트(Sx)(250)를 포함할 수 있다.
- <31> 본 발명의 제1 실시예는 종래기술과 달리 상기 제1 단위 화소(100)의 플로팅디퓨전영역(125)과 상기 제2 단위 화소(200)의 제2 드라이브 트랜지스터(240)를 전기적으로 연결하는 콘택(160)을 포함하는 점이다. 이때, 상기 콘택(160)은 폴리실리콘을 이용할 수 있다.
- <32> 이때, 상기 콘택(160)은 상기 제2 드라이브 트랜지스터(240)와 측면에서 접촉하여 형성될 수 있다. 또는, 상기 콘택(160)은 상기 제2 드라이브 트랜지스터(240)와 측면 및 상면에 형성될 수 있다.
- <33> 본 발명의 제1 실시예는 플로팅디퓨전영역과 드라이브 트랜지스터의 전기적인 연결을 위해 더미 단위 화소를 형성한 후 주된 단위 화소의 플로팅디퓨전영역과 더미 단위 화소의 드라이브 트랜지스터를 전기적으로 연결함으로써 콘택에 의한 개구율 감소를 현저히 방지함으로써 포토다이오드의 개구율을 높여 고집적 화소수의 이미지센서의 제공이 가능할 수 있다.
- <34> 또한, 본 발명의 제1 실시예에 의하면 단위 공정간의 공정 마진(MARGIN)의 확보가 용이하여 고집적 화소수의 이미지센서의 제공이 가능할 수 있다.
- <35> 한편, 본 발명의 실시예에서 주된 단위 화소의 플로팅디퓨전영역이 더미 단위 화소의 드라이브 트랜지스터에 전기적으로 연결되더라도 상기 트랜지스터들의 하부에 존재하는 하부 배선들(미도시)의 회로설계에 의해 전달된 전기(또는 전압)적인 신호는 주된 단위 화소의 전기(또는 전압)적인 신호로 인식될 수 있다.

- <36> 도 3 및 도 4는 본 발명의 제1 실시예에 따른 이미지센서의 제조방법의 공정단면도이다. 도 4는 도 2의 AA' 선에 따른 단면도이다.
- <37> 우선, 도 2 및 도 3과 같이 제1 단위 화소(100) 및 제2 단위 화소(200)를 형성한다. 상기 제1 단위 화소(100) 및 제2 단위 화소(200)는 동시에 형성되거나 순차적으로 형성될 수 있다.
- <38> 상기 제1 단위 화소(100)는 1개의 제1 포토다이오드(110)와 4개의 NMOS 트랜지스터(120, 130, 140, 150)를 포함할 수 있다. 상기 제2 단위 화소(200) 역시 1개의 제2 포토다이오드(210)와 4개의 NMOS 트랜지스터(220, 230, 240, 250)를 포함할 수 있다.
- <39> 도 3에서는 도 2의 AA'선에 따른 단면도의 특성상 제1 트랜스퍼 트랜지스터(120)에 대해서 도시된 상태이다.
- <40> 도 3은 특히 제1 포토다이오드(110)와 제1 트랜스퍼게이트(Tx)(120)의 단면구조를 도시한 도면으로, 소자 분리막(115)에 제1 포토다이오드(110)를 p/n형 포토다이오드로 구성한 경우이다.
- <41> 즉, 도 3을 참조하면 p/n형 포토다이오드(110)는 p+ 기판(105)에 에피택셜 성장된 p형 에피층(112)이 형성되고, p형 에피층(112) 내부에 n- 영역(114)이 형성될 수 있다. 한편, 제1 플로팅디퓨전영역(125)은 n+로 도핑될 수 있다.
- <42> 상기 제1 단위 화소(100)가 형성된 후 상기 콘택을 형성하는 단계는 다음의 과정을 거칠 수 있다.
- <43> 즉, 상기 제1 단위 화소(100)와 상기 제2 단위 화소(200) 상에 절연층(162)을 형성한다. 상기 절연층(162)은 산화막, 질화막 등일 수 있다. 예를 들어, 상기 절연층(162)은 기판(105)을 산화시킨 실리콘산화막일 수 있다.
- <44> 이후, 상기 절연층(162) 상에 제1 단위 화소(100)의 제1 플로팅디퓨전영역(125) 상의 일부 절연층을 노출하는 감광막패턴(164)을 형성하고, 상기 감광막패턴(164)을 식각마스크로 하여 상기 노출된 절연층(162)을 식각하여 콘택홀(166)을 형성한다.
- <45> 다음으로, 상기 감광막패턴(164)을 제거하고, 상기 콘택홀(166)을 매우면서 상기 제2 드라이브 트랜지스터(240)를 전기적으로 연결하는 콘택(160)을 형성할 수 있다. 이때, 상기 콘택(160)은 폴리실리콘을 이용하여 형성할 수 있다.
- <46> 상기 콘택(160)을 형성하는 예를 설명한다.
- <47> 도 3과 같이 콘택홀(166)이 형성된 후 상기 감광막패턴(164)을 제거한다.
- <48> 이후, 상기 콘택홀(166) 영역 상에 상기 콘택홀(166) 보다 폭이 더 큰 제2 콘택홀(미도시)을 포함하는 제2 감광막 패턴(미도시)을 형성한다.
- <49> 이후, 상기 콘택홀(166) 및 제2 콘택홀에 폴리실리콘을 형성하여 도 4와 같이 콘택(160)을 형성할 수 있다.
- <50> 물론, 상기 기술한 방법 외에 다양한 콘택(160) 형성방법이 가능하다.
- <51> 본 발명의 제1 실시예에 의하면 주된 단위 화소의 플로팅디퓨전영역과 더미 단위 화소의 드라이브 트랜지스터를 전기적으로 연결함으로써 콘택에 의한 개구율 감소를 현저히 방지함으로써 포토다이오드의 개구율을 높여 고집적 화소수의 이미지센서의 제공이 가능할 수 있다.
- <52> 또한, 본 발명의 제1 실시예에 의하면 단위 공정간의 공정 마진(MARGIN)의 확보가 용이하여 고집적 화소수의 이미지센서의 제공이 가능할 수 있다.
- <53> 한편, 본 발명의 제1 실시예의 제조방법의 변형된 실시예로서 상기 제1 트랜스퍼 트랜지스터의 게이트(120), 상기 제2 드라이브 트랜지스터의 게이트(240) 및 상기 콘택(160)은 동시에 형성될 수 있다.
- <54> 예를 들어, 제1 트랜스퍼 트랜지스터의 게이트(120), 상기 제2 드라이브 트랜지스터의 게이트(240) 및 상기 콘택(160)은 동시에 형성하는 예를 설명한다.
- <55> 도 5와 같이, 절연층(162)이 형성된 후 제3 감광막 패턴(미도시)을 이용하여 제2 콘택홀(167)을 형성한다.
- <56> 이후, 상기 제3 감광막 패턴을 제거하고, 상기 제2 콘택홀(167)이 형성된 기판 상에 제4 감광막(165)을 형성한다.
- <57> 이후, 상기 제4 감광막(165)을 패터하여 트랜스퍼트랜지스터가 형성될 영역의 트렌치(168)와 콘택(160)이 형성될 영역에 트렌치(169)를 형성한다.

- <58> 이후, 상기 제2 콘택홀(167) 및 트렌치(168,169)를 폴리실리콘에 의해 메우고 상기 제4 감광막 패턴(165)을 제거하여 제1 트랜스퍼 트랜지스터의 게이트(120) 및 콘택(160)을 동시에 형성할 수 있다.
- <59> 다만, 도 5에서는 제2 드라이브 트랜지스터(240)의 형성 모습이 미도시 되었으나 상기 제1 트랜스퍼 트랜지스터(120)가 형성되는 공정에 준하여 형성될 수 있다.
- <60> 즉, 본 발명의 제1 실시예의 변형 실시예는 상기 제1 트랜스퍼 트랜지스터의 게이트(120) 및 상기 제2 드라이브 트랜지스터의 게이트(240)를 전기적으로 연결하는 콘택(160)을 상기 제1 트랜스퍼 트랜지스터의 게이트(120) 및 상기 제2 드라이브 트랜지스터의 게이트(240)를 형성하는 공정과 함께 진행됨으로써 공정의 현저한 감소의 효과에 의해 수율이 증대되는 효과도 있다.
- <61> (제2 실시예)
- <62> 본 발명의 제2 실시예에 따른 이미지센서는 수광부를 포함하는 주된 단위 화소; 드라이브 트랜지스터를 포함하는 더미 단위 화소; 및 상기 주된 단위 화소와 상기 더미 단위 화소의 드라이브 트랜지스터를 전기적으로 연결하는 콘택;을 포함할 수 있다.
- <63> 상기 콘택은 폴리실리콘을 이용하여 형성할 수 있다.
- <64> 본 발명의 제2 실시예는 본 발명의 기술적인 특징이 4T 씨모스 이미지센서 뿐만 아니라 1T형, 2T형, 3T형 5T형 등 다른 유형의 씨모스 이미지센서에 적용이 가능하다.
- <65> 이상에서 설명한 본 발명은 전술한 실시예 및 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

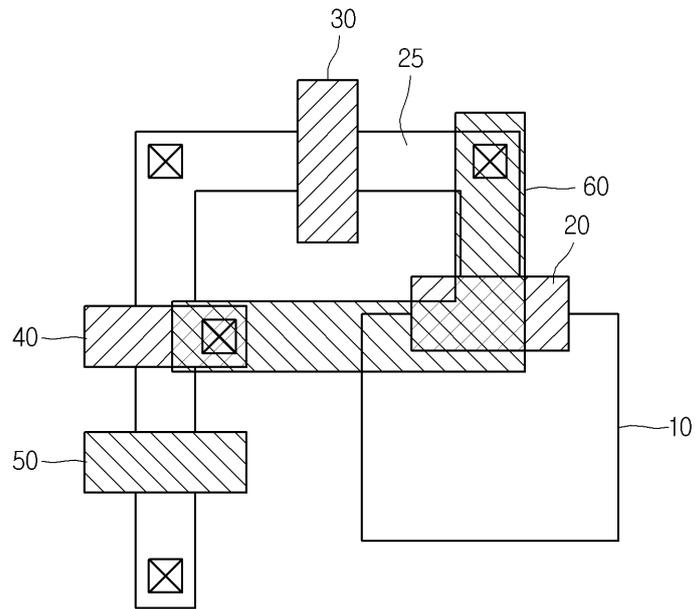
- <66> 이상에서 설명한 바와 같이 본 발명의 실시예에 따른 이미지센서 및 그 제조방법에 의하면 포토다이오드의 개구율을 높여 고집적 화소수의 이미지센서의 제공이 가능하다.
- <67> 또한, 본 발명의 실시예에 의하면 단위 공정간의 공정 마진(MARGIN)의 확보가 용이하여 고집적 화소수의 이미지센서의 제공이 가능하다.

도면의 간단한 설명

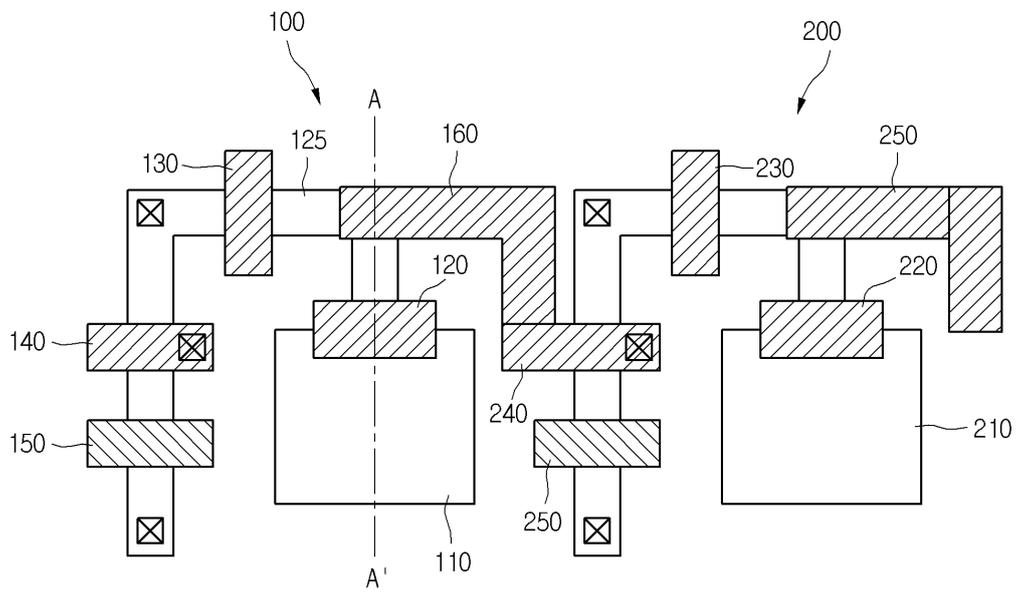
- <1> 도 1은 종래기술에 의한 이미지센서의 단위 화소의 평면도.
- <2> 도 2는 본 발명의 제1 실시예에 따른 이미지센서의 평면도.
- <3> 도 3 및 도 4는 본 발명의 제1 실시예에 따른 이미지센서의 제조방법의 공정단면도.
- <4> 도 5는 본 발명의 제2 실시예에 따른 이미지센서의 제조방법의 공정단면도.

도면

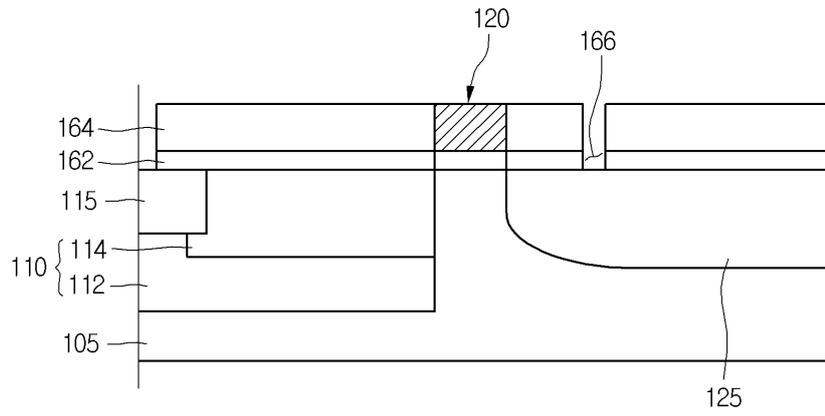
도면1



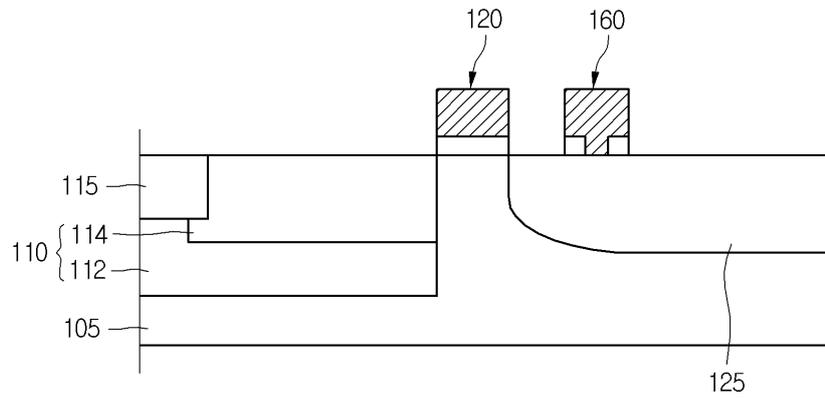
도면2



도면3



도면4



도면5

