



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I801752 B

(45) 公告日：中華民國 112 (2023) 年 05 月 11 日

(21) 申請案號：109131160

(22) 申請日：中華民國 109 (2020) 年 09 月 10 日

(51) Int. Cl. : H01L21/302 (2006.01)

H01L21/60 (2006.01)

H01L23/49 (2006.01)

(71) 申請人：力晶積成電子製造股份有限公司 (中華民國) POWERCHIP SEMICONDUCTOR
MANUFACTURING CORPORATION (TW)

新竹市力行一路 18 號

(72) 發明人：劉信宏 LIOU, SHIN HONG (TW) ; 黃彥智 HUANG, YEN-JHIH (TW)

(74) 代理人：葉璟宗 ; 卓俊傑

(56) 參考文獻：

TW 201909368A

審查人員：何立璋

申請專利範圍項數：10 項 圖式數：13 共 40 頁

(54) 名稱

半導體元件及其製造方法

(57) 摘要

本揭露提供一種半導體元件及其製造方法。半導體元件包括包含至少一第一導線和至少一第二導線的連接結構。第一導線設置在基底的元件區上且沿著第一方向延伸。第二導線設置在基底的元件區上且沿著第一方向延伸。在連接結構的端部處，第一導線於第一方向的長度小於第二導線於第一方向的長度。

The present disclosure provides a semiconductor device and a method for manufacturing the same. The semiconductor device includes a connection structure including at least one first conductive wire and at least one second conductive wire. The first conductive wire is disposed on an active area of a substrate and extended along a first direction. The second conductive wire is disposed on the active area of the substrate and extended along the first direction. The length of the first conductive wire in the first direction is less than that of the second conductive wire in the first direction at the end portion of the connection structure.

指定代表圖：

符號簡單說明：

200a: 第一導線

200b: 第二導線

300: 介電層

310: 阻障層

312: 導電層

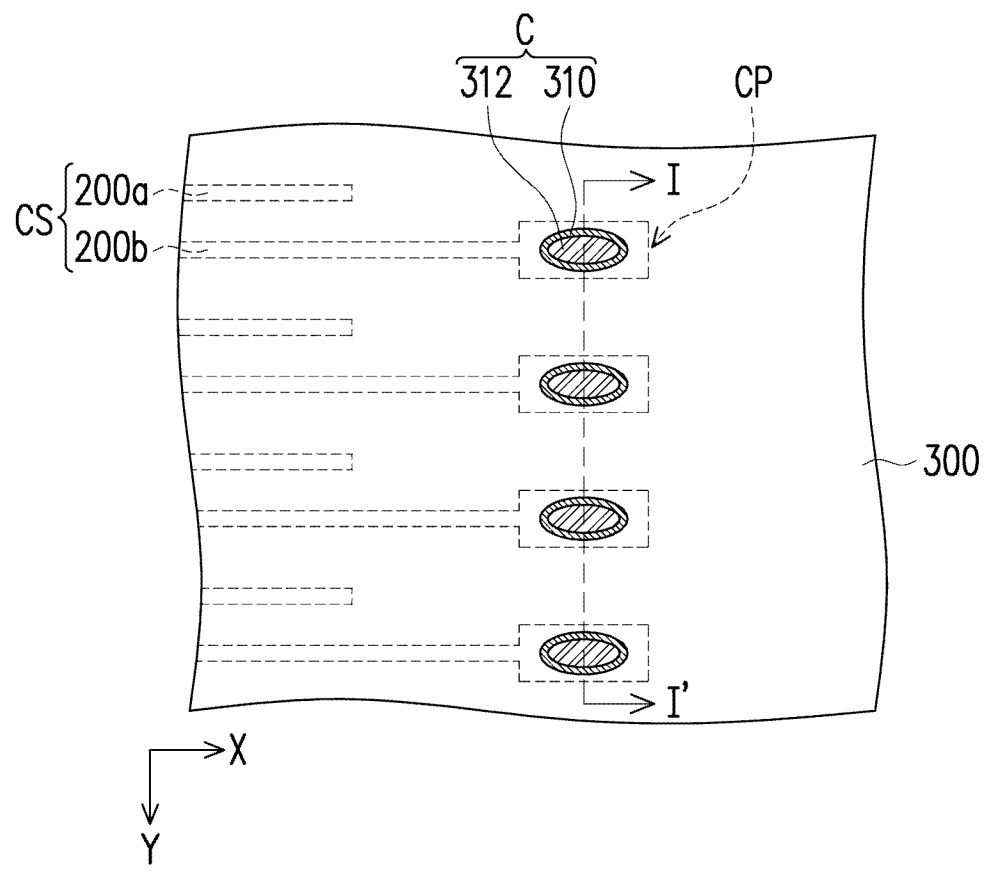
C: 接觸窗

CP: 接墊圖案

CS: 連接結構

X: 第一方向

Y: 第二方向



【圖13A】



I801752

【發明摘要】

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND METHOD

FOR MANUFACTURING THE SAME

【中文】本揭露提供一種半導體元件及其製造方法。半導體元件包括包含至少一第一導線和至少一第二導線的連接結構。第一導線設置在基底的元件區上且沿著第一方向延伸。第二導線設置在基底的元件區上且沿著第一方向延伸。在連接結構的端部處，第一導線於第一方向的長度小於第二導線於第一方向的長度。

【英文】The present disclosure provides a semiconductor device and a method for manufacturing the same. The semiconductor device includes a connection structure including at least one first conductive wire and at least one second conductive wire. The first conductive wire is disposed on an active area of a substrate and extended along a first direction. The second conductive wire is disposed on the active area of the substrate and extended along the first direction. The length of the first conductive wire in the first direction is less than that of the second conductive wire in the first direction at the end portion of the connection structure.

【指定代表圖】圖13A。

【代表圖之符號簡單說明】

200a:第一導線

200b:第二導線

300:介電層

310:阻障層

312:導電層

C:接觸窗

CP:接墊圖案

CS:連接結構

X:第一方向

Y:第二方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICE AND METHOD

FOR MANUFACTURING THE SAME

【技術領域】

【0001】本發明是有關於一種半導體元件及其製造方法，且特別是有關於一種自對準雙重圖案化半導體元件及其製造方法。

【先前技術】

【0002】隨著科技的進步，半導體元件不斷朝向「輕、薄、短、小」的型態發展，故如何減小線寬、線距並提高圖案轉移的精確度，已成為目前研發人員所關注的議題。舉例來說，可藉由自對準雙重圖案化（Self-Aligned Double Patterning，SADP）來達到小線寬、線距並提高圖案轉移的精確度。然而，在以自對準雙重圖案化製作半導體元件的過程中，容易受到導線末端斷切（line end cut）製程及蝕刻負載效應（etching loading effect）等影響而發生短路等問題，進而影響後續形成的元件，而導致元件良率不佳。因此，如何在滿足積集度以及小型化的需求的同時，還能夠防止短路、提升元件良率，已成為目前研發人員亟欲解決的問題之一。

【發明內容】

【0003】 本發明提供一種半導體元件及其製造方法，其能夠有效地避免因導線末端斷切製程或蝕刻負載效應等影響而造成的短路問題，使得半導體元件具有良好的電性效能。

【0004】 本發明一實施例提供一種半導體元件，其包括包含至少一第一導線和至少一第二導線的連接結構。至少一第一導線設置在基底的元件區上且沿著第一方向延伸。至少一第二導線設置在基底的元件區上且沿著第一方向延伸。在連接結構的端部處，至少一第一導線於第一方向的長度小於至少一第二導線於第一方向的長度。

【0005】 在本發明的一實施例中，上述至少一第一導線包括多條第一導線，上述至少一第二導線包括多條第二導線，且多條第一導線與多條第二導線沿著不同於第一方向的第二方向彼此交替排列。

【0006】 在本發明的一實施例中，上述半導體元件更包括接墊。接墊設置在至少一第二導線上。至少一第二導線具有與至少一第一導線相鄰的第一線段及自第一線段沿第一方向延伸的第二線段，且接墊設置在第一線段或第二線段上。

【0007】 本發明一實施例提供一種半導體元件的製造方法，其包括以下步驟。在基底的元件區上形成多個導體圖案，每個導體圖案包括彼此平行且沿第一方向延伸的第一段和第二段以及連接第一段和第二段的彎曲段，且多個導體圖案沿著不同於第一方向的第二方向排列。於多個導體圖案上覆蓋具波浪狀輪廓的圖案化罩

幕，圖案化罩幕暴露出彎曲段和第一段的鄰接彎曲段的一部分。移除圖案化罩幕所暴露出的彎曲段和第一段的鄰接彎曲段的部分，以形成包括多條第一導線和多條第二導線的連接結構，其中多條第一導線與多條第二導線沿著第二方向彼此交替排列，且在連接結構的端部處，多條第一導線於第一方向的長度小於多條第二導線於第一方向的長度。

【0008】 在本發明的一實施例中，上述波浪狀輪廓的波峰位於第二段上，波浪狀輪廓的波谷位於第一段上。

【0009】 在本發明的一實施例中，上述半導體元件的製造方法更包括於多條第二導線上形成多個接墊。每條第二導線具有第一線段及第二線段，第一線段位於相鄰的兩條第一導線之間，第二線段自第一線段沿著第一方向延伸，且接墊形成於第一線段或第二線段上。

【0010】 本發明另一實施例提供一種半導體元件的製造方法，其包括以下步驟。在基底的元件區上依序形成導體層、硬罩幕層及第一罩幕圖案，第一罩幕圖案包括彼此平行且沿第一方向延伸的第一段和第二段以及連接第一段和第二段的彎曲段，其中第一段包括第一部分和第二部分，且彎曲段包括鄰接第二部分的第三部分和第四部分，其中第二部分和第三部分的高度小於第一部分、第四部分和第二段的高度。以第一罩幕圖案為罩幕，對硬罩幕層進行圖案化以形成第一間隙壁和第二間隙壁，其中第一間隙壁於第一方向延伸的長度小於第二間隙壁於第一方向延伸的長度。以

第一間隙壁和第二間隙壁為罩幕，對導體層進行圖案化以形成包括第一導線和第二導線的連接結構，其中在連接結構的端部處，第一導線於第一方向延伸的長度小於第二導線於第一方向延伸的長度。

【0011】 在本發明的一實施例中，上述連接結構更包括接墊圖案，其中形成接墊圖案的步驟包括以下步驟。在形成第一間隙壁和第二間隙壁之前，於第一罩幕圖案的第二段上形成第二罩幕圖案。以第一罩幕圖案和第二罩幕圖案為罩幕，對硬罩幕層進行圖案化以形成第一間隙壁和第二間隙壁，其中第二間隙壁具有與接墊圖案相同的圖案。以第一間隙壁和第二間隙壁為罩幕，對導體層進行圖案化以形成第一導線和具有接墊圖案的第二導線。

【0012】 在本發明的一實施例中，第二導線具有與第一導線相鄰的第一線段及自第一線段沿第一方向延伸的第二線段，且接墊圖案位於第一線段處或第二線段處。

【0013】 在本發明的一實施例中，上述半導體元件的製造方法更包括在形成第一導線和第二導線之後，於基底的元件區上形成覆蓋第一導線和第二導線的介電層。於介電層中形成與接墊圖案連接的接觸窗。

【0014】 在本發明的一實施例中，第二部分和第三部分的高度與第一部分、第四部分和第二段的高度的比值介於 0 和 $1/3$ 之間。

【0015】 在本發明的一實施例中，第一罩幕圖案形成為多個且沿著不同於第一方向的第二方向排列，使得後續在對硬罩幕層進行

圖案化時，第一間隙壁和第二間隙壁形成為多個且沿著第二方向交替排列，而後續在對導體層進行圖案化時，第一導線和第二導線形成為多個且沿著第二方向交替排列。

【0016】 基於上述，在本發明的半導體元件及其製造方法中，可藉由使第一導線與第二導線的末端彼此間隔開來，如此可有效地避免因導線末端斷切製程或蝕刻負載效應等影響而造成的短路問題，使得半導體元件具有良好的電性效能。

【圖式簡單說明】

【0017】

圖 1 至圖 2 是本發明一實施例的半導體元件的製造方法的局部俯視示意圖。

圖 3A 至圖 13A 是本發明另一實施例的半導體元件的製造方法的局部俯視示意圖。

圖 3B 至圖 13B 分別是圖 3A 至圖 13A 中沿線 I-I' 的剖面示意圖。

【實施方式】

【0018】 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度會為了清楚起見而放大。相同或相似之參考號碼表示相同或相似之元件，以下段落將不再一一贅述。

【0019】 應當理解，當諸如元件被稱為在另一元件「上」或「連接到」另一元件時，其可以直接在另一元件上或與另一元件連接，或者也可存在中間元件。若當元件被稱為「直接在另一元件上」或「直接連接到」另一元件時，則不存在中間元件。如本文所使用的，「連接」可以指物理及/或電性連接，而「電性連接」或「耦合」可為二元件間存在其它元件。本文中所使用的「電性連接」可包括物理連接（例如有線連接）及物理斷接（例如無線連接）。

【0020】 本文使用的「約」包括所提到的值和在所屬技術領域中具有通常知識者能夠確定之特定值的可接受的偏差範圍內的平均值，考慮到所討論的測量和與測量相關的誤差的特定數量（即，測量系統的限制）。例如，「約」可以表示在所述值的一個或多個標準偏差內，或 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 內。再者，本文使用的「約」可依光學性質、蝕刻性質或其它性質，來選擇較可接受的偏差範圍或標準偏差，而可不用一個標準偏差適用全部性質。

【0021】 使用本文中所使用的用語僅為闡述例示性實施例，而非限制本揭露。在此種情形中，除非在上下文中另有解釋，否則單數形式包括多數形式。

【0022】 圖 1 至圖 2 是本發明一實施例的半導體元件的製造方法的局部俯視示意圖。

【0023】 首先，請參照圖 1，於基底 100 的元件區 AA 上形成多個導體圖案 110。此處，本文所稱「元件區」是指在基底 100 上形成有如主動元件等元件的區域。基底 100 可包括半導體基底。半導

體基底可例如是摻雜矽基底、未摻雜矽基底或絕緣體上矽 (SOI) 基底。摻雜矽基底可為 P 型摻雜、N 型摻雜或其組合。基底 100 可包括主動元件 (例如 PMOS、NMOS 或 CMOS)、內層介電層及/或接觸窗、金屬層間介電層 (IMD)、多重金屬內連線的導電圖案及/或介層窗等構件。然而，為了更清楚地描述本發明的半導體結構的製造方法，該些構件並未一一示出於圖示中。

【0024】 每個導體圖案 110 可包括彼此平行且沿第一方向 X 延伸的第一段 110a 和第二段 110b 以及連接第一段 110a 與第二段 110b 的彎曲段 110c，且導體圖案 110 可沿著不同於第一方向 X 的第二方向 Y 排列。在本實施例中，第二方向 Y 與第一方向 X 可彼此相交，但本發明不限於此。在本實施例中，導體圖案 110 可為具有 U 形末端的圖案，例如彎曲段 110c 可構成導體圖案 110 的 U 形末端，但本發明不限於此。

【0025】 接著，於多個導體圖案 110 上覆蓋具波浪狀輪廓的圖案化罩幕 120，其中圖案化罩幕 120 暴露出彎曲段 110c 和第一段 110a 的鄰接彎曲段 110c 的一部分 Pa。在本實施例中，導體圖案 110 中被圖案化罩幕 120 所覆蓋的部分可定義為第二段 110b，而導體圖案 110 中的第一段 110a 可被定義為由圖 1 的第二方向 Y 上觀測與第二段 110b 齊平的部分，如此彎曲段 110c 可構成導體圖案 110 的 U 形末端，且圖案化罩幕 120 暴露出彎曲段 110c 和第一段 110a 的鄰接彎曲段 110c 的一部分 Pa。在本實施例中，波浪狀輪廓的波峰 Wa 可位於第二段 110b 上，而波浪狀輪廓的波谷 Wb 可位於第

一段 110a 上。如此一來，後續製程中所形成之第一導線 130 與第二導線 132 在連接結構 CS 的端部處能夠在第一方向 X 上具有良好的長度差異，以避免短路的問題產生。在本實施例中，波浪狀輪廓可為具有鋸齒狀（zig-zag）的輪廓，但本發明不以此為限，只要在後續製程中能夠使第一導線 130 與第二導線 132 於連接結構 CS 的端部處具有良好的長度差異即可。圖案化罩幕 120 的材料可包括光阻材料，但本發明不限於此。

【0026】 然後，請參照圖 2，移除圖案化罩幕 120 所暴露出的彎曲段 110c 和第一段 110a 的一部分 Pa，以形成包括第一導線 130 和第二導線 132 的連接結構 CS。第一導線 130 與第二導線 132 可分別沿著第一方向 X 延伸且沿著第二方向 Y 彼此交替排列。在本實施例中，在連接結構 CS 的端部處，第一導線 130 沿第一方向 X 延伸的長度 L1 可小於第二導線 132 沿第一方向 X 延伸的長度 L2。如此一來，從基底 100 的俯視方向上觀察，第一導線 130 與第二導線 132 可彼此交錯排列，且第一導線 130 與第二導線 132 的末端位置可分別對應到波浪狀輪廓的波谷 Wb 和波峰 Wa，使得第一導線 130 與第二導線 132 的末端彼此間隔開來，故可有效地避免因導線末端斷切製程或蝕刻負載效應等影響而造成的短路問題，使得半導體元件具有良好的電性效能。在本實施例中，可採用蝕刻的方式移除圖案化罩幕 120 所暴露出的彎曲段 110c 和第一段 110a 的一部分 Pa。在本實施例中，在形成第一導線 130 和第二導線 132 之後可例如藉由灰化製程將圖案化罩幕 120 移除。

【0027】 第二導線 132 可具有第一線段 132a 及第二線段 132b。第二導線 132 的第一線段 132a 可定義為由圖 2 的第二方向 Y 上觀測與第一導線 130 齊平的部分，而第二導線 132 的第二線段 132b 可定義為自第一線段 132a 沿著第一方向 X 延伸的部分，但本發明不以此為限。舉例來說，在第一導線 130 和第二導線 132 形成為多條的情況下，第一線段 132a 可定義為位於相鄰的兩條第一導線 130 之間的部分；而第二線段 132b 可定義為自第一線段 132a 沿著第一方向 X 延伸的部分。

【0028】 之後，可在第二導線 132 的第一線段 132a 或第二線段 132b 上形成接墊 140。在一些實施例中，接墊 140 可形成在第二導線 132 的第二線段 132b 上。如此一來，由於第一導線 130 與第二導線 132 在連接結構 CS 的端部處彼此間隔開來，故當接墊 140 形成在第二線段 132b 上時能夠進一步避免短路問題或是進一步提升形成接墊 140 的製程裕度（process window）。

【0029】 圖 3A 至圖 13A 是本發明另一實施例的半導體元件的製造方法的局部俯視示意圖；圖 3B 至圖 13B 分別是圖 3A 至圖 13A 中沿線 I-I' 的剖面示意圖，其中使用與圖 1、圖 2 相同的元件符號來代表相同或相似的構件，且所省略的部分技術說明，如各層或區域的尺寸、材料、功能等均可參照圖 1、圖 2 的相關內容，因此於下文不再贅述。

【0030】 首先，請同時參照圖 3A 和圖 3B，在基底 100 的元件區 AA 上依序形成導體層 200、硬罩幕層 210、蝕刻停止層 220、第

一材料層 230 及圖案化罩幕層 240。導體層 200 的材料可包括金屬、金屬矽化物或金屬氮化物等導體材料。在本實施例中，金屬可例如是鎢或鈦。金屬矽化物可例如是矽化鎢。金屬氮化物可例如是氮化鈦。硬罩幕層 210 可以是單層或多層。為了清楚表達本發明，圖 3B 是以單層的硬罩幕層 210 作為示範性實施例來進行說明，但本發明並不以此為限，硬罩幕層 210 也可為多層，其可例如包括依序形成在導體層 200 上的氮化物層、氧化物層及碳層。氮化物層的材料可例如是氮化矽。氧化物層的材料可例如是氧化矽。碳層的材料可例如是非晶碳。蝕刻停止層 220 的材料可包括氮化物，例如氮化矽。第一材料層 230 的材料可包括非晶矽。

【0031】 在本實施例中，圖案化罩幕層 240 可包括沿第一方向 X 延伸的多個長條狀圖案。圖案化罩幕層 240 的材料可包括底抗反射塗佈（**Bottom Anti-Reflection Coating, BARC**）材料。形成圖案化罩幕層 240 的方法可藉由以下步驟形成。首先，在第一材料層 230 上形成罩幕材料層（未示出）。接著，對上述的罩幕材料層進行圖案化製程，以形成圖案化罩幕層 240。在一些實施例中，圖案化罩幕層 240 可例如採用以下步驟形成。首先，依序形成多層式光阻（**Multilayer Resist, MLR**）及罩幕圖案（未示出）。多層式光阻例如包括下部光阻層及上部光阻層。下部光阻層的材料例如為底抗反射塗佈材料。上部光阻層的材料例如為含矽的底抗反射塗佈（**Si-Bottom Anti-Reflection Coating, Si-BARC**）材料。接著，可採用乾蝕刻等方式，移除圖案化罩幕所暴露出的下部光阻層和

上部光阻層，以形成圖案化罩幕層 240。然後，將罩幕圖案和剩餘的上部光阻層移除。

【0032】 接著，請同時參照圖 4A 和圖 4B，於第一材料層 230 上形成第二材料層 250 以覆蓋第一材料層 230 和圖案化罩幕層 240。在本實施例中，第二材料層 250 可共形地形成於第一材料層 230 和圖案化罩幕層 240 上。舉例來說，第二材料層 250 可覆蓋圖案化罩幕層 240 所暴露出的第一材料層 230 的頂面以及圖案化罩幕層 240 的頂面和側面。形成第二材料層 250 的方法可為分子式堆疊沉積 (molecular layer deposition, MLD)。第二材料層 250 的材料可包括氧化矽、氮化矽或氮氧化矽，然而本發明不以此為限。

【0033】 然後，請同時參照圖 5A 和圖 5B，移除設置在圖案化罩幕層 240 和第一材料層 230 的頂面上的第二材料層 250，以形成位於圖案化罩幕層 240 的側壁上的圖案化第二材料層 252。由於圖案化罩幕層 240 可包括沿第一方向 X 延伸的多個長條狀圖案，故形成於該些長條狀圖案的側壁上的圖案化第二材料層 252 具有 U 形末端的輪廓。在一些實施例中，可採用回蝕 (etch back) 等方法移除設置在圖案化罩幕層 240 和第一材料層 230 的頂面上的第二材料層 250。接著，移除位於圖案化第二材料層 252 之間的圖案化罩幕層 240。在一些實施例中，可採用灰化製程來移除位於圖案化第二材料層 252 之間的圖案化罩幕層 240。

【0034】 之後，請同時參照圖 6A 和圖 6B，以圖案化第二材料層 252 為罩幕，移除圖案化第二材料層 252 所暴露的第一材料層

230，以形成圖案化第一材料層 232。圖案化第一材料層 232 可包括彼此平行且沿第一方向 X 延伸的第一段 232a 和第二段 232b 以及連接第一段 232a 和第二段 232b 的彎曲段 232c。在本實施例中，彎曲段 232c 可構成圖案化第一材料層 232 的 U 形末端。在一些實施例中，可採用乾蝕刻等方式移除圖案化第二材料層 252 所暴露出的第一材料層 230。而後，在形成圖案化第一材料層 232 後，可將圖案化第二材料層 252 移除。

【0035】 而後，請同時參照圖 7A 和圖 7B，於蝕刻停止層 220 上形成罩幕材料層（未示出）以覆蓋圖案化第一材料層 232。接著，對罩幕材料層進行圖案化製程，以形成暴露出圖案化第一材料層 232 的一部分 Pb 的圖案化罩幕層 260。在本實施例中，圖案化罩幕層 260 所暴露的部分 Pb 是指圖案化第一材料層 232 的第一段 232a 與彎曲段 232c 彼此鄰接的部分，而圖案化第一材料層 232 的第二段 232b 則被圖案化罩幕層 260 完整覆蓋而未暴露出來。圖案化罩幕層 260 的材料可包括光阻，但本發明不限於此。

【0036】 接著，請同時參照圖 8A 和圖 8B，部分移除圖案化罩幕層 260 所暴露出的圖案化第一材料層 232 的一部分 Pb，以形成第一罩幕圖案 234。第一罩幕圖案 234 可包括彼此平行且沿第一方向 X 延伸的第一段 234a 和第二段 234b 以及連接第一段 234a 和第二段 234b 的彎曲段 234c，其中第一段 234a 可包括第一部分 P1 和第二部分 P2，且彎曲段 234c 可包括鄰接第二部分 P2 的第三部分 P3 和第四部分 P4。在本實施例中，第二部分 P2 和第三部分 P3 可對

應到被圖案化罩幕層 260 所暴露的圖案化第一材料層 232 的一部分 Pb。由於是採用部分移除的方式來移除圖案化罩幕層 260 所暴露出的圖案化第一材料層 232 的一部分 Pb，所以第一段 234a 的第二部分 P2 和彎曲段 234c 的第三部分 P3 的高度 H1 可小於第一段 234a 的第一部分 P1、彎曲段 234c 的第四部分 P4 和第二段 234b 的高度 H2。舉例來說，第二部分 P2 和第三部分 P3 的高度 H1 與第一部分 P1、第四部分 P4 和第二段 234b 的高度 H2 的比值 ($H1/H2$) 可介於 0 和 $1/3$ 之間。當高度 H1 與高度 H2 的比值 ($H1/H2$) 約為 $1/3$ 時，不僅可進一步降低製造成本，還可藉由剩餘的第二部分 P2 和第三部分 P3 維持第一罩幕圖案 234 的結構穩定性，避免後續製程中產生結構倒塌等問題，進而改善後續製程中所形成的圖案的解析度。在本實施例中，第一罩幕圖案 234 可形成為多個且沿著不同於第一方向 X 的第二方向 Y 排列，但本發明不限於此。在一些實施例中，可採用蝕刻的方式來部分移除圖案化罩幕層 260 所暴露出的圖案化第一材料層 232 的一部分 Pb，但本發明不以此為限。在形成完第一罩幕圖案 234 之後可將圖案化罩幕層 260 移除。在一些實施例中，可採用灰化製程來移除圖案化罩幕層 260，但本發明不以此為限。

【0037】 然後，請同時參照圖 9A 和圖 9B，可於第一罩幕圖案 234 上形成第三材料層 270。第三材料層 270 可以是單層或多層。在本實施例中，第三材料層 270 可包括依序形成於蝕刻停止層 220 上的下層罩幕層 272 和上層罩幕層 274。第一罩幕圖案 234 可嵌埋至

下層罩幕層 272 中。舉例來說，下層罩幕層 272 的高度 H3 可大於高度 H1 和高度 H2，但本發明不限於此。下層罩幕層 272 的材料例如為底抗反射塗佈材料。上層罩幕層 274 的材料例如為含矽的底抗反射塗佈材料。

【0038】 接著，可於第三材料層 270 上形成第二罩幕圖案 280，其中第二罩幕圖案 280 可定義出後續欲形成之接墊圖案的區域。在本實施例中，如圖 9B 所示，第二罩幕圖案 280 可形成於第一罩幕圖案 234 的第二段 234b 上。如圖 9A 所示，第二罩幕圖案 280 可形成於鄰接至彎曲段 234c 的第二段 234b 上，且與彎曲段 234c 的一部分重疊，但本發明不限於此。在其他實施例中，第二罩幕圖案 280 可形成於遠離彎曲段 234c 的第二段 234b 上，即從基底 100 的俯視方向上觀察，第二罩幕圖案 280 可位於相鄰的兩個第一段 234a 之間。第二罩幕圖案 280 的材料可包括光阻材料。

【0039】 之後，請同時參照圖 10A 和圖 10B，以第一罩幕圖案 234 和第二罩幕圖案 280 為罩幕，對硬罩幕層 210 進行圖案化以形成第一間隙壁 210a 和第二間隙壁 210b，其中第二間隙壁 210b 具有與後續製程中所形成之接墊圖案 CP 相同的圖案 PP。在本實施例中，第一間隙壁 210a 沿第一方向 X 延伸的長度可小於第二間隙壁 210b 沿第一方向 X 延伸的長度。在本實施例中，第一間隙壁 210a 和第二間隙壁 210b 可形成為多個且沿著第二方向 Y 交替排列，但本發明不限於此。

【0040】 在本實施例中，可採用乾蝕刻的方式移除第一罩幕圖案

234 和第二罩幕圖案 280 所暴露出的硬罩幕層 210，而在形成第一間隙壁 210a 和第二間隙壁 210b 之後可將第二罩幕圖案 280、剩餘的第三材料層 270、剩餘的蝕刻停止層 220 和剩餘的第一罩幕圖案 234 移除。

【0041】 接著，請同時參照圖 11A 和圖 11B，以第一間隙壁 210a 和第二間隙壁 210b 為罩幕，對導體層 200 進行圖案化以形成包括第一導線 200a 和第二導線 200b 的連接結構 CS，其中第二導線 200b 具有接墊圖案 CP。在本實施例中，第一導線 200a 於第一方向 X 的長度 L1' 可小於第二導線 200b 於第一方向 X 的長度 L2'。在本實施例中，第一導線 200a 和第二導線 200b 可形成為多個且沿著第二方向 Y 交替排列，但本發明不限於此。如此一來，從基底 100 的俯視方向上觀察，第一導線 200a 與第二導線 200b 可彼此交錯排列，使得第一導線 200a 與第二導線 200b 的末端彼此間隔開來，如此可有效地避免因導線末端斷切製程或蝕刻負載效應等影響而造成的短路問題，使得半導體元件具有良好的電性效能。

【0042】 在本實施例中，移除第一間隙壁 210a 和第二間隙壁 210b 所暴露出的導體層 200 的方法可為乾蝕刻，而在形成第一導線 200a 和第二導線 200b 之後可將第一間隙壁 210a 和第二間隙壁 210b 移除。

【0043】 在本實施例中，第二導線 200b 可具有與第一導線 200a 相鄰的第一線段 S1 及自第一線段 S1 沿第一方向 X 延伸的第二線段 S2，且接墊圖案 CP 可位於第二線段 S2 處。在一些實施例中，

接墊圖案 CP 也可位於第一線段 S1 處。在一些實施例中，第二導線 200b 的第一線段 S1 可定義為由圖 11A 的第二方向 Y 上觀測與第一導線 200a 齊平的線段，而第二導線 200b 的第二線段 S2 可定義為自第一線段 S1 沿著第一方向 X 延伸的部分，但本發明不以此為限。

【0044】 在一些實施例中，也可省略圖 9A 和圖 9B 所示的步驟，以第一罩幕圖案 234 為罩幕來進行後續如圖 10A、圖 10B、圖 11A 和圖 11B 所示的步驟。如此一來，由於第一罩幕圖案 234 的第一段 234a 的第二部分 P2 和彎曲段 234c 的第三部分 P3 的高度 H1 不足以阻檔後續蝕刻製程所要移除的膜層，故所形成的連接結構（未示出）也可包括第一導線和於第一方向延伸的長度大於第一導線的第二導線，而接墊圖案可如前述製程採用另一道製程形成於第二導線上。

【0045】 然後，請同時參照圖 12A 和圖 12B，於基底 100 的元件區 AA 上形成覆蓋第一導線 200a 和第二導線 200b 的介電層 300，且於介電層 300 中形成暴露出接墊圖案 CP 的接觸窗開口 O。介電層 300 可包括旋塗式介電材料（spin-on dielectric，SOD），但本發明不限於此。接觸窗開口 O 可例如是藉由以下步驟形成。首先，於介電層 300 上形成圖案化罩幕（未示出）。接著，移除圖案化罩幕所暴露出的介電層 300，以形成暴露出部分第二導線 200b 的接觸窗開口 O。然後，將圖案化罩幕移除。在一些實施例中，可採用乾蝕刻的方式移除圖案化罩幕所暴露出的介電層 300，但本發明

不以此為限。

【0046】 之後，請同時參照圖 13A 和圖 13B，將導體材料填入接觸窗開口 O，以形成接觸窗 C。在本實施例中，接觸窗 C 可與第二導線 200b 電性連接。導體材料可例如是金屬、金屬合金、金屬氮化物、金屬矽化物或其組合。在一些示範實施例中，金屬與金屬合金可例如是銅 (Cu)、鋁 (Al)、鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉑 (Pt)、鉻 (Cr)、鉬 (Mo) 或其合金。金屬氮化物可例如是氮化鈦、氮化鎢、氮化鉭、氮化矽鉭、氮化矽鎢或其組合。金屬矽化物可例如是矽化鎢、矽化鈦、矽化鉬、矽化鉻、矽化鉑、矽化鉬、矽化銅、矽化鎳或其組合。接觸窗 C 可包括阻障層 310 和導電層 312。接觸窗 C 可藉由以下步驟形成。首先，於接觸窗開口 O 的表面形成阻障層 310。接著，於阻障層 310 上形成導電層 312。阻障層 310 的材料可例如是氮化鈦。導電層 312 的材料可例如是金屬、金屬合金、金屬氮化物、金屬矽化物或其組合。在一些示範實施例中，金屬與金屬合金可例如是 Cu、Al、Ti、Ta、W、Pt、Cr、Mo 或其合金。金屬氮化物可例如是氮化鈦、氮化鎢、氮化鉭、氮化矽鉭、氮化矽鎢或其組合。金屬矽化物例如是矽化鎢、矽化鈦、矽化鉬、矽化鉻、矽化鉑、矽化鉬、矽化銅、矽化鎳或其組合。

【0047】 以下，將藉由圖 13A 和圖 13B 來說明本實施例的半導體元件。應注意的是，本實施例的半導體元件的製造方法雖然是以上述製造方法為例進行製造，但本實施例的半導體元件的製造方

法並不以此為限。

【0048】 請同時參照圖 13A 和圖 13B，半導體元件可包括包含第一導線 200a 和第二導線 200b 的連接結構 CS。第一導線 200a 可設置在基底 100 的元件區 AA 上且沿著第一方向 X 延伸。第二導線 200b 可設置在基底 100 的元件區 AA 上且沿著第一方向 X 延伸。第一導線 200a 與第二導線 200b 沿著不同於第一方向 X 的第二方向 Y 彼此交替排列，且在所述連接結構 CS 的端部處，第一導線 200a 於第一方向 X 的長度可小於第二導線 200b 於第一方向 X 的長度。

【0049】 在本實施例中，連接結構 CS 可包括接墊圖案 CP。接墊圖案 CP 可設置在第二導線 200b 上。每條第二導線 200b 具有第一線段 S1 及第二線段 S2（如圖 11A 所示），其中第一線段 S1 位於相鄰的兩條第一導線 200a 之間，第二線段 S2 自第一線段 S1 沿著第一方向 X 延伸。接墊圖案 CP 可設置在第一線段 S1 或第二線段 S2 上。

【0050】 綜上所述，在上述實施例的半導體元件及其製造方法中，藉由使第一導線與第二導線的末端彼此間隔開來，如此可有效地避免因導線末端斷切製程或蝕刻負載效應等影響而造成的短路問題，使得半導體元件具有良好的電性效能。

【符號說明】

【0051】

- 100:基底
- 110:導體圖案
 - 110a:第一段
 - 110b:第二段
 - 110c:彎曲段
- 120:圖案化罩幕
- 130:第一導線
 - 132:第二導線
 - 132a、S1:第一線段
 - 132b、S2:第二線段
- 140:接墊
- 200:導體層
 - 200a:第一導線
 - 200b:第二導線
- 210:硬罩幕層
 - 210a:第一間隙壁
 - 210b:第二間隙壁
- 220:蝕刻停止層
- 230:第一材料層
 - 232:圖案化第一材料層
 - 234:第一罩幕圖案
 - 232a、234a:第一段

232b、234b:第二段

232c、234c:彎曲段

240、260:圖案化罩幕層

250:第二材料層

252:圖案化第二材料層

270:第三材料層

272:下層罩幕層

274:上層罩幕層

280:第二罩幕圖案

300:介電層

310:阻障層

312:導電層

AA:元件區

C:接觸窗

CS:連接結構

CP:接墊圖案

H1、H2、H3:高度

L1、L2、L1'、L2':長度

O:接觸窗開口

P1:第一部分

P2:第二部分

P3:第三部分

P4:第四部分

Pa、Pb:部分

PP:圖案

Wa:波峰

Wb:波谷

X:第一方向

Y:第二方向

【發明申請專利範圍】

【請求項1】 一種半導體元件，包括：

連接結構，包括：

至少一第一導線，設置在基底的元件區上且沿著第一方向延伸；以及

至少一第二導線，設置在所述基底的所述元件區上且沿著所述第一方向延伸，

其中在所述連接結構的端部處，所述至少一第一導線於所述第一方向的長度小於所述至少一第二導線於所述第一方向的長度，

其中所述至少一第一導線包括多條第一導線，所述至少一第二導線包括多條第二導線，所述多條第一導線與所述多條第二導線沿著不同於所述第一方向的第二方向彼此交替排列，且所述多條第二導線彼此間隔開來。

【請求項2】 如請求項1所述的半導體元件，更包括：

接墊，設置在所述至少一第二導線上，

其中所述至少一第二導線具有與所述至少一第一導線相鄰的第一線段及自所述第一線段沿所述第一方向延伸的第二線段，且所述接墊設置在所述第一線段或所述第二線段上。

【請求項3】 一種半導體元件的製造方法，包括：

在基底的元件區上形成多個導體圖案，每個導體圖案包括彼此平行且沿第一方向延伸的第一段和第二段以及連接所述第一段

和所述第二段的彎曲段，且所述多個導體圖案沿著不同於所述第一方向的第二方向排列；

於所述多個導體圖案上覆蓋具波浪狀輪廓的圖案化罩幕，所述圖案化罩幕暴露出所述彎曲段和所述第一段的鄰接所述彎曲段的一部分；以及

移除所述圖案化罩幕所暴露出的所述彎曲段和所述第一段的鄰接所述彎曲段的所述部分，以形成包括多條第一導線和多條第二導線的連接結構，

其中所述多條第一導線與所述多條第二導線沿著所述第二方向彼此交替排列，所述多條第二導線彼此間隔開來，且在所述連接結構的端部處，所述多條第一導線於所述第一方向的長度小於所述多條第二導線於所述第一方向的長度。

【請求項4】 如請求項3所述的半導體元件的製造方法，其中所述波浪狀輪廓的波峰位於所述第二段上，所述波浪狀輪廓的波谷位於所述第一段上。

【請求項5】 如請求項3所述的半導體元件的製造方法，更包括：

於所述多條第二導線上形成多個接墊，

其中每條第二導線具有第一線段及第二線段，所述第一線段位於相鄰的兩條第一導線之間，所述第二線段自所述第一線段沿著所述第一方向延伸，且所述接墊形成於所述第一線段或所述第二線段上。

【請求項6】 一種半導體元件的製造方法，包括：

在基底的元件區上依序形成導體層、硬罩幕層及第一罩幕圖案，所述第一罩幕圖案包括彼此平行且沿第一方向延伸的第一段和第二段以及連接所述第一段和所述第二段的彎曲段，其中所述第一段包括第一部分和第二部分，且所述彎曲段包括鄰接所述第二部分的第三部分和第四部分，其中所述第二部分和所述第三部分的高度小於所述第一部分、所述第四部分和所述第二段的高度；

以所述第一罩幕圖案為罩幕，對所述硬罩幕層進行圖案化以形成第一間隙壁和第二間隙壁，其中所述第一間隙壁於第一方向延伸的長度小於所述第二間隙壁於所述第一方向延伸的長度；以及

以所述第一間隙壁和所述第二間隙壁為罩幕，對所述導體層進行圖案化以形成包括第一導線和第二導線的連接結構，其中在所述連接結構的端部處，所述第一導線於所述第一方向延伸的長度小於所述第二導線於所述第一方向延伸的長度，

其中所述第一罩幕圖案形成為多個且沿著不同於所述第一方向的第二方向排列，使得後續在對所述硬罩幕層進行圖案化時，所述第一間隙壁和所述第二間隙壁形成為多個且沿著所述第二方向交替排列，而後續在對所述導體層進行圖案化時，所述第一導線和所述第二導線形成為多個且沿著所述第二方向交替排列，且多個所述第二導線彼此間隔開來。

【請求項7】 如請求項6所述的半導體元件的製造方法，其中所述連接結構更包括接墊圖案，其中形成所述接墊圖案的步驟包括：

在形成所述第一間隙壁和所述第二間隙壁之前，於所述第一罩幕圖案的所述第二段上形成第二罩幕圖案；

以所述第一罩幕圖案和所述第二罩幕圖案為罩幕，對所述硬罩幕層進行圖案化以形成第一間隙壁和第二間隙壁，其中所述第二間隙壁具有與所述接墊圖案相同的圖案；以及

以所述第一間隙壁和所述第二間隙壁為罩幕，對所述導體層進行圖案化以形成所述第一導線和具有所述接墊圖案的所述第二導線。

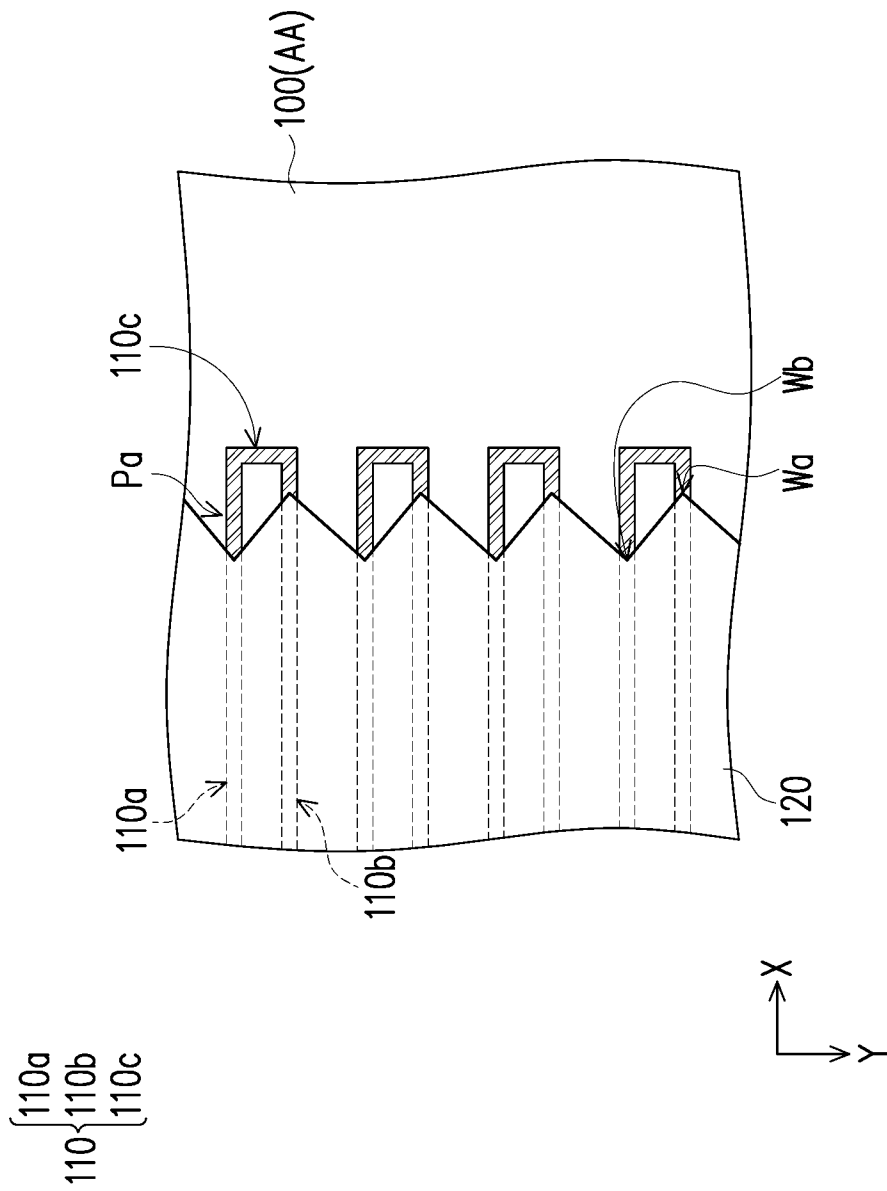
【請求項8】 如請求項7所述的半導體元件的製造方法，其中所述第二導線具有與所述第一導線相鄰的第一線段及自所述第一線段沿所述第一方向延伸的第二線段，且所述接墊圖案位於所述第一線段處或所述第二線段處。

【請求項9】 如請求項7所述的半導體元件的製造方法，更包括：
在形成所述第一導線和所述第二導線之後，於所述基底的所述元件區上形成覆蓋所述第一導線和所述第二導線的介電層；以及

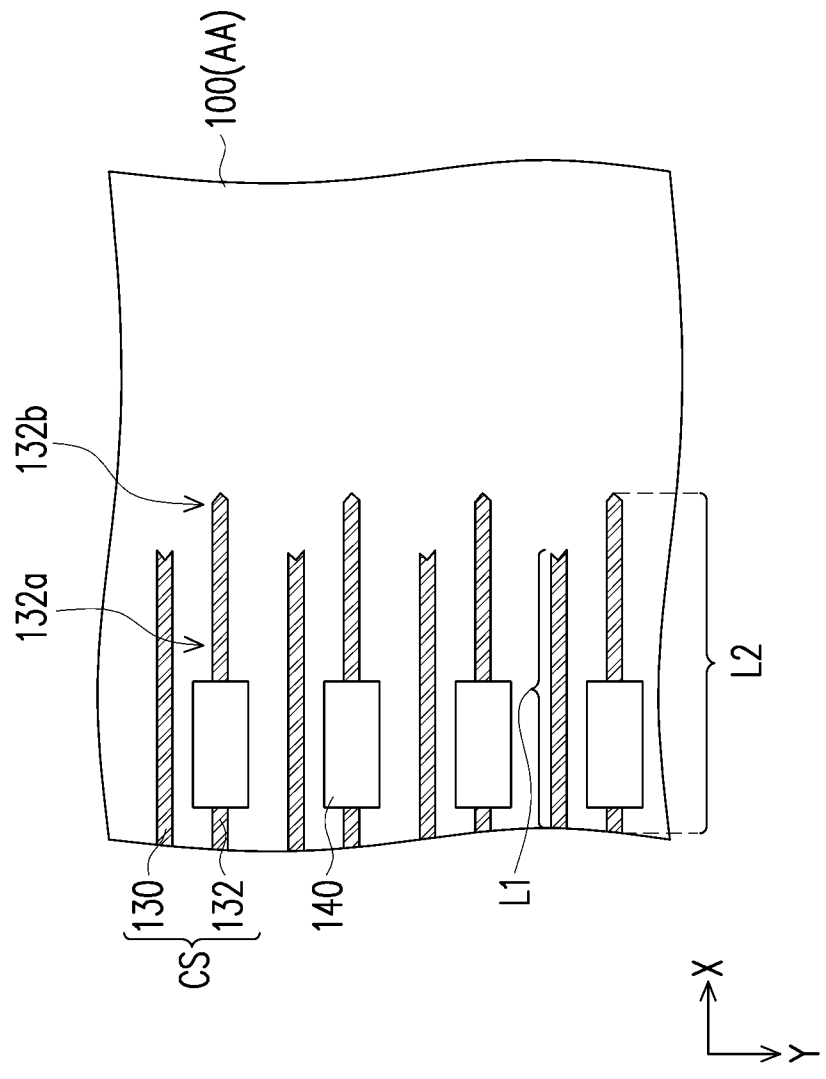
於所述介電層中形成與所述接墊圖案連接的接觸窗。

【請求項10】 如請求項6所述的半導體元件的製造方法，其中所述第二部分和所述第三部分的高度與所述第一部分、所述第四部分和所述第二段的高度的比值介於0和1/3之間。

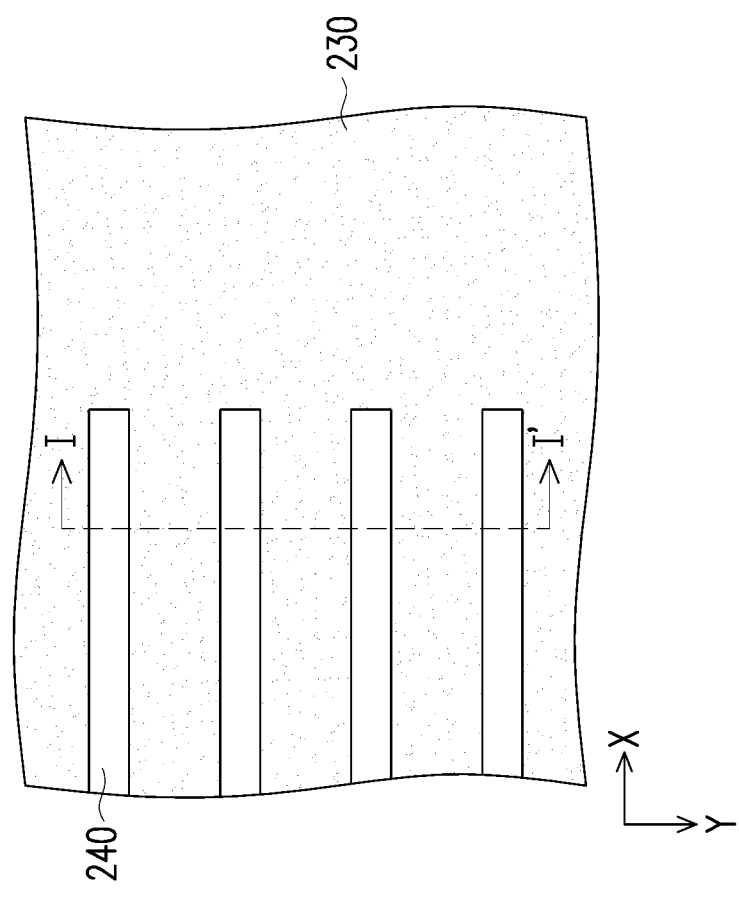
【發明圖式】



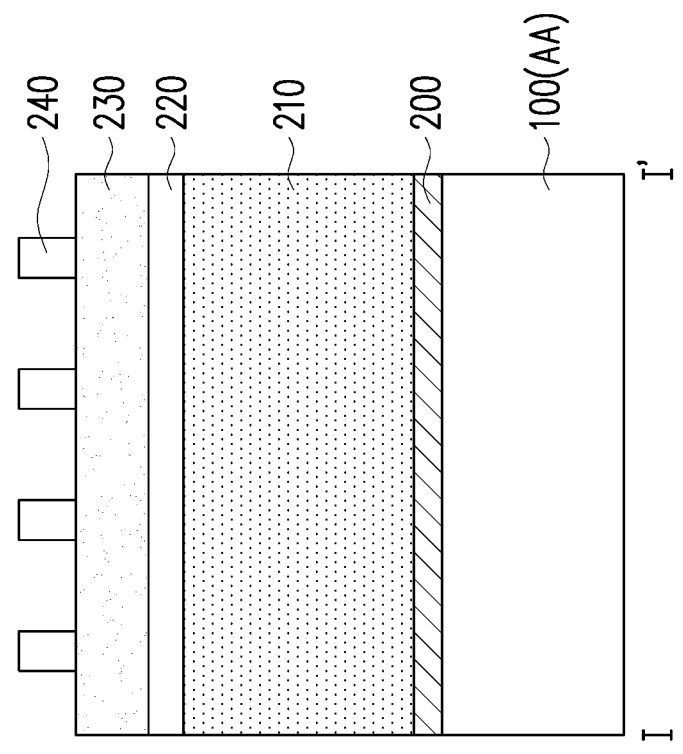
【圖1】



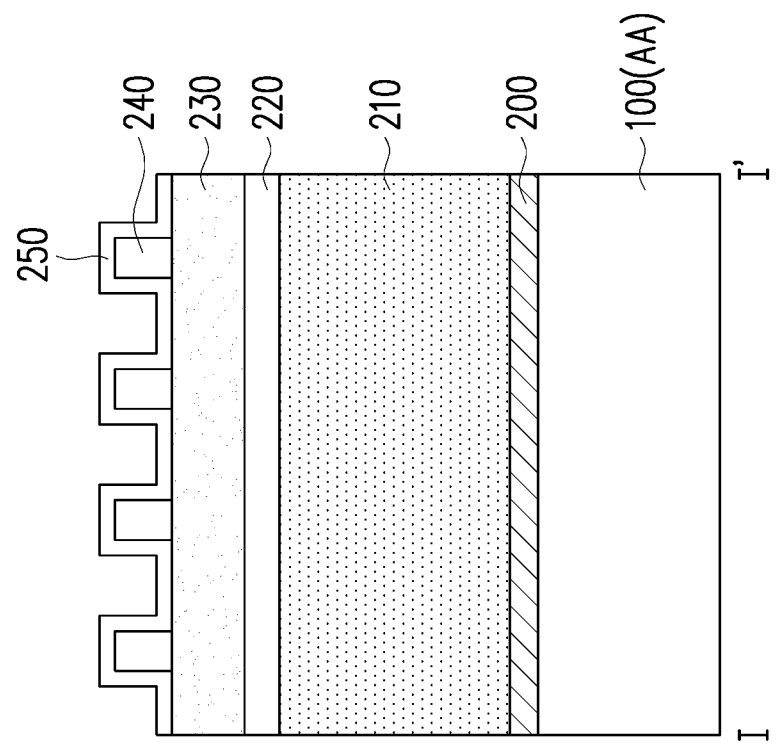
【圖2】



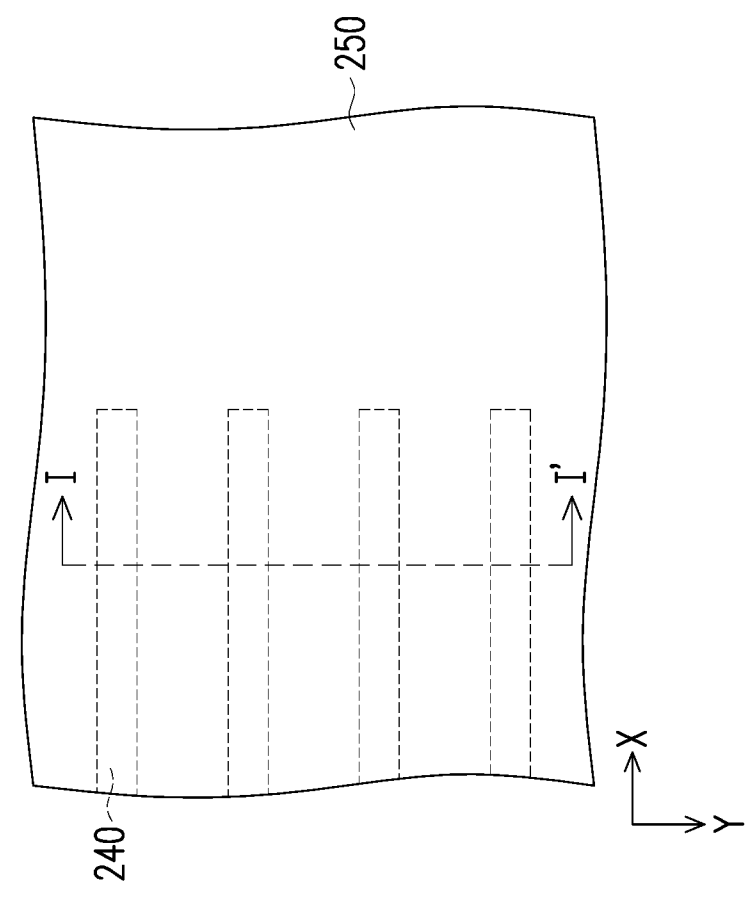
【圖3A】



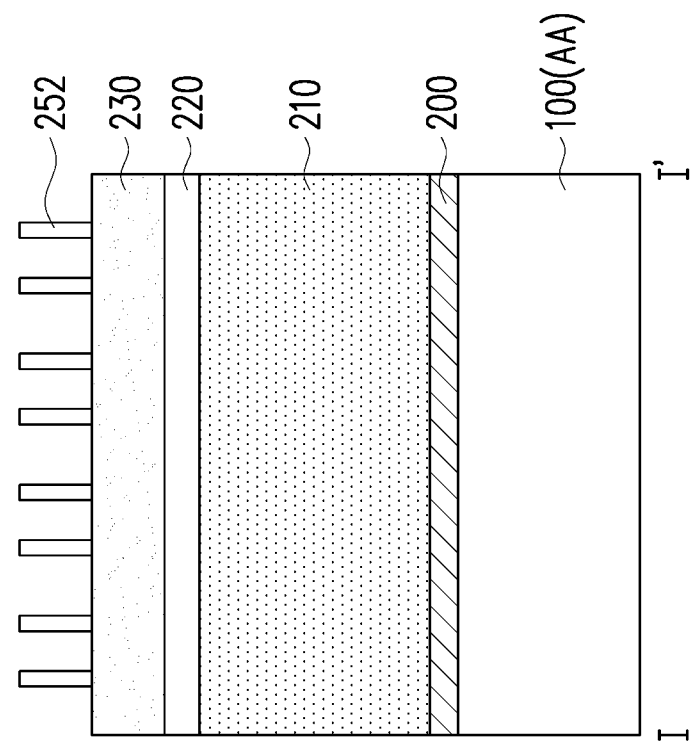
【圖3B】



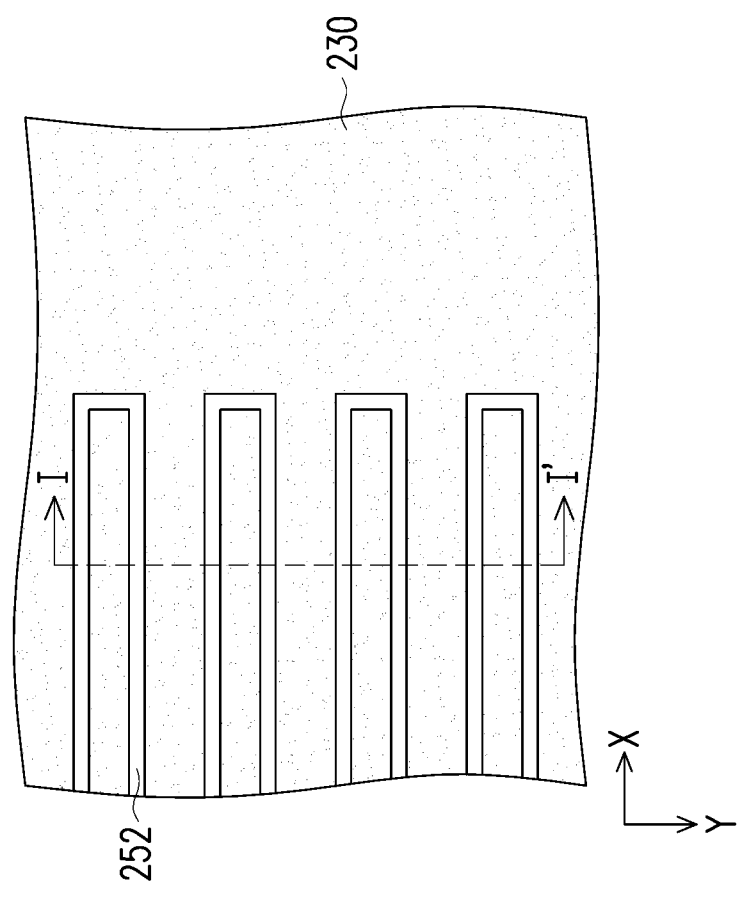
【圖4B】



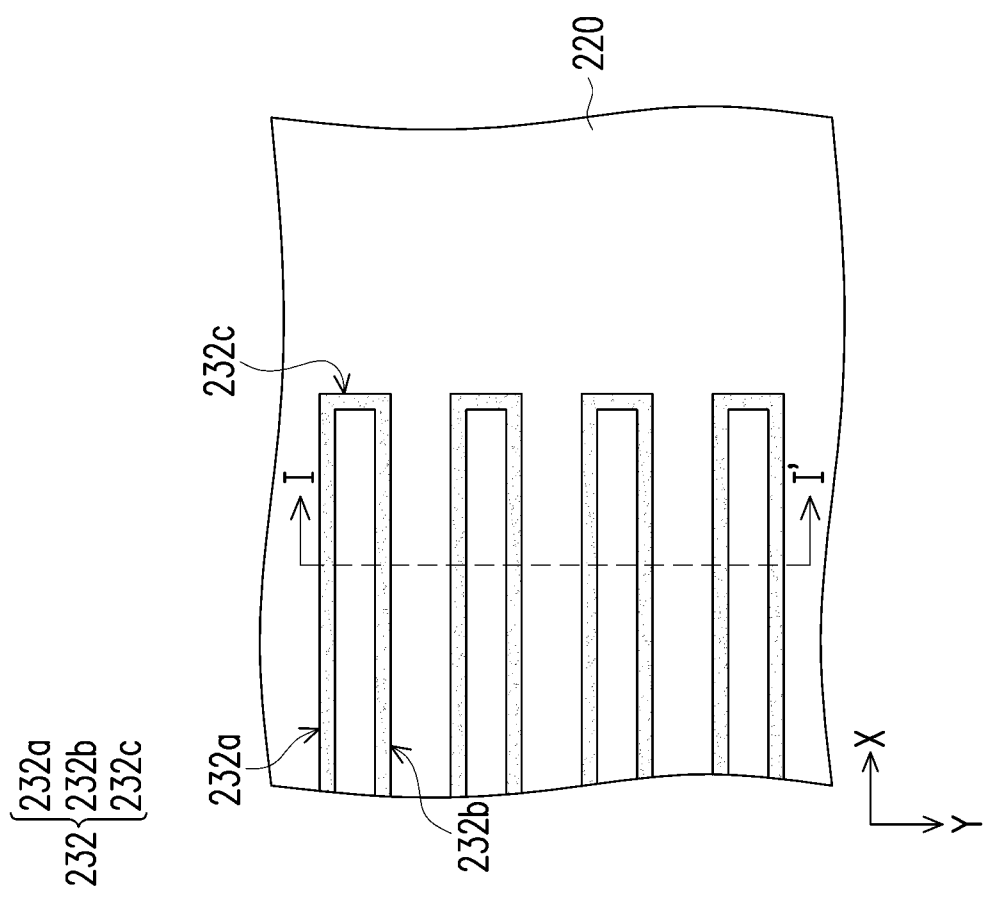
【圖4A】



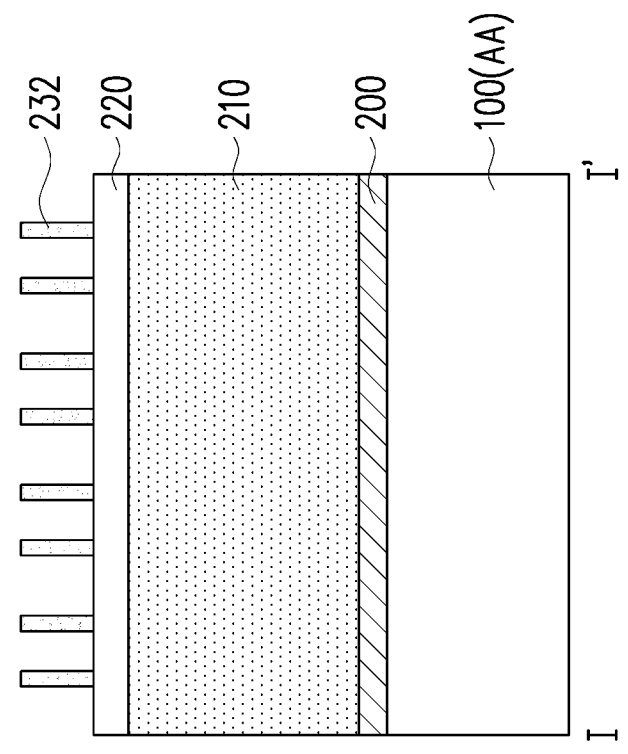
【圖5B】



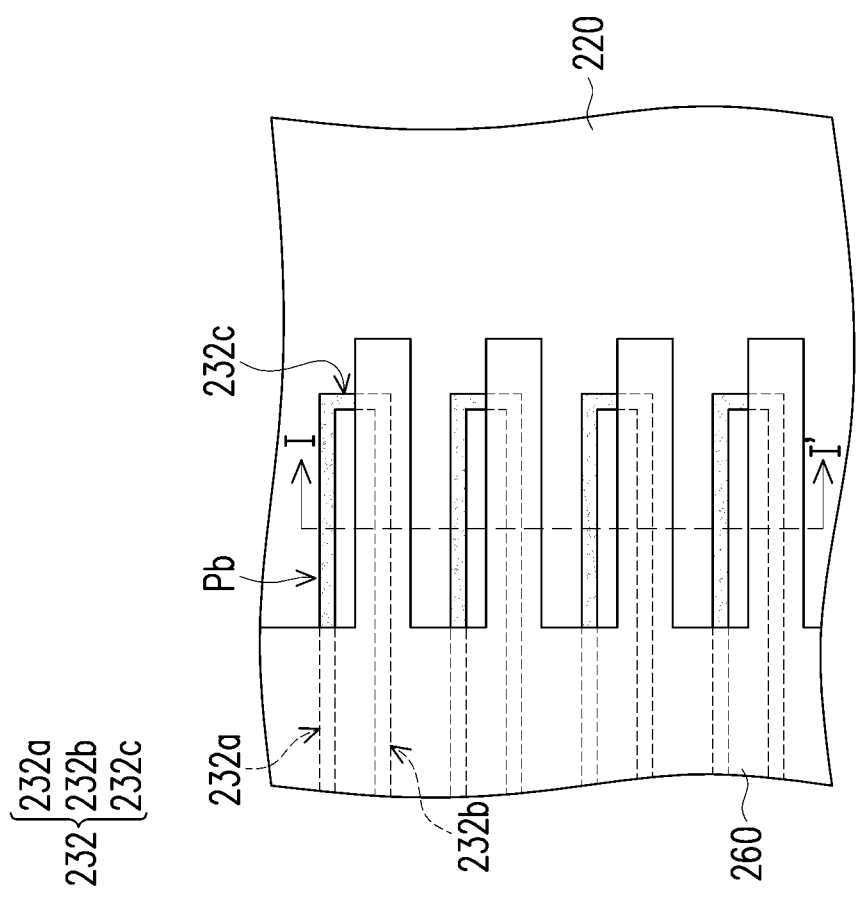
【圖5A】



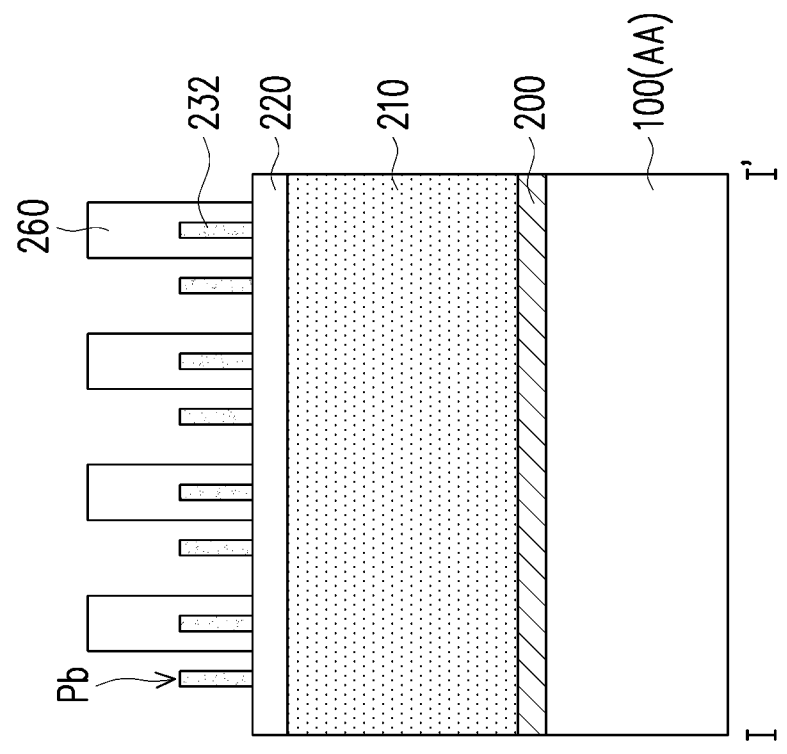
【圖6A】



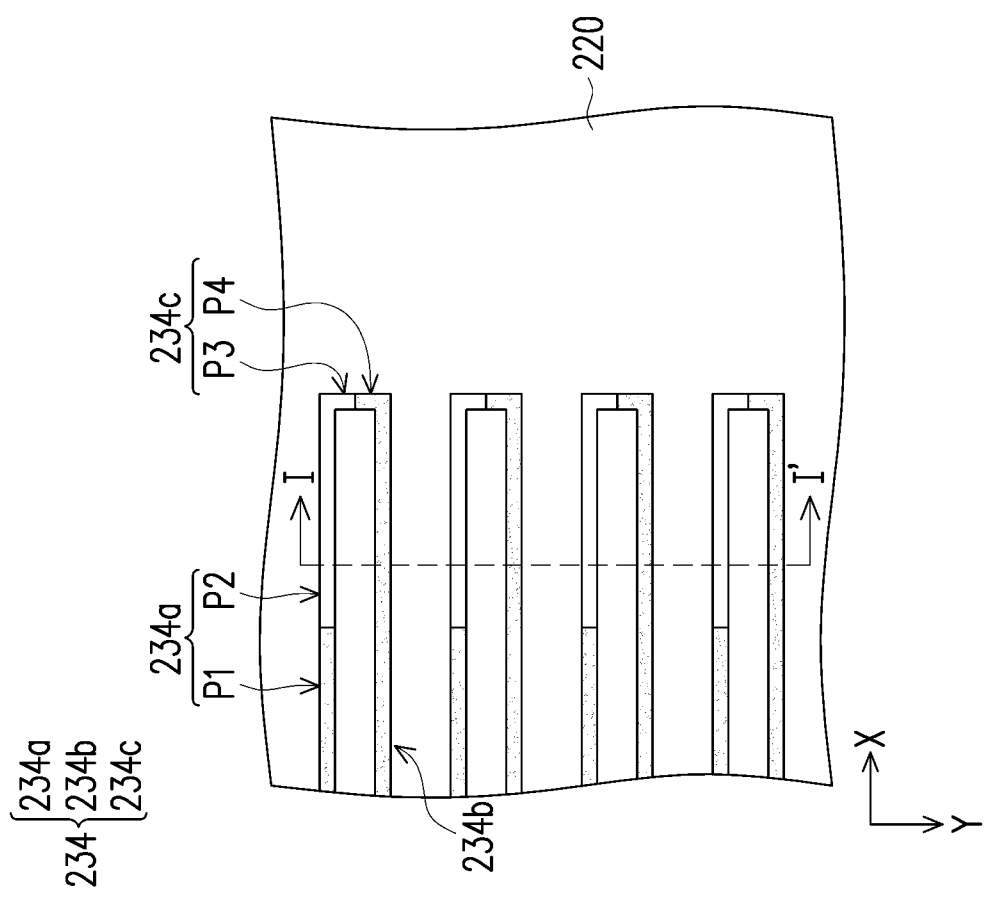
【圖6B】



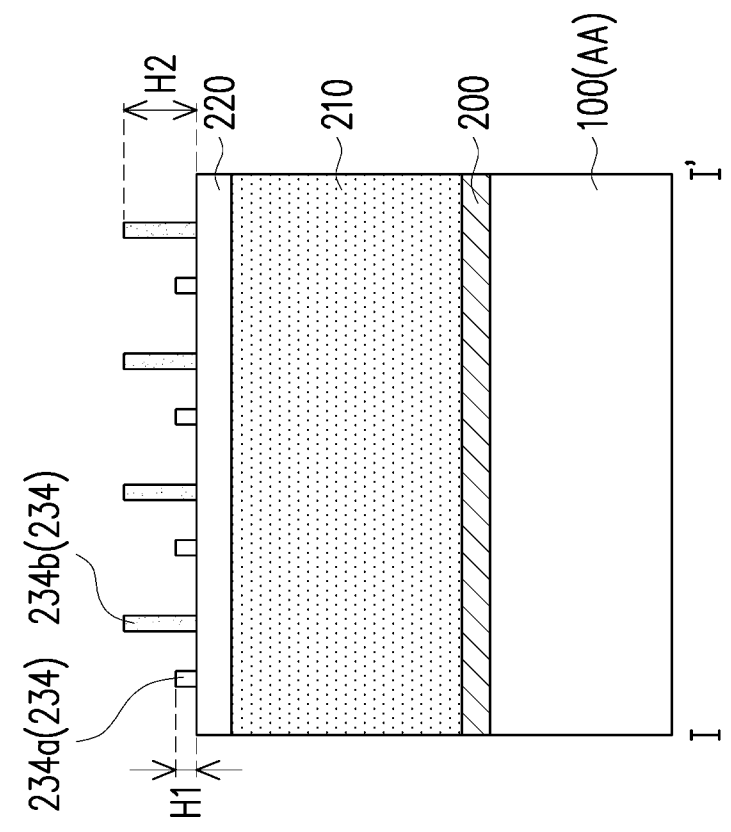
【圖7A】



【圖7B】

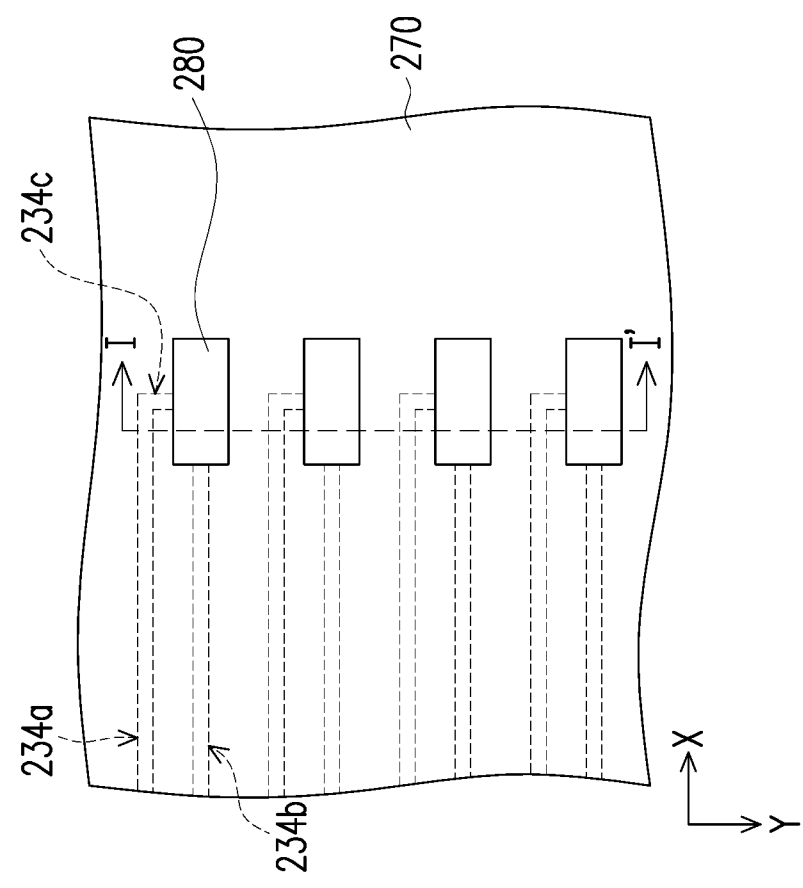


【圖8A】

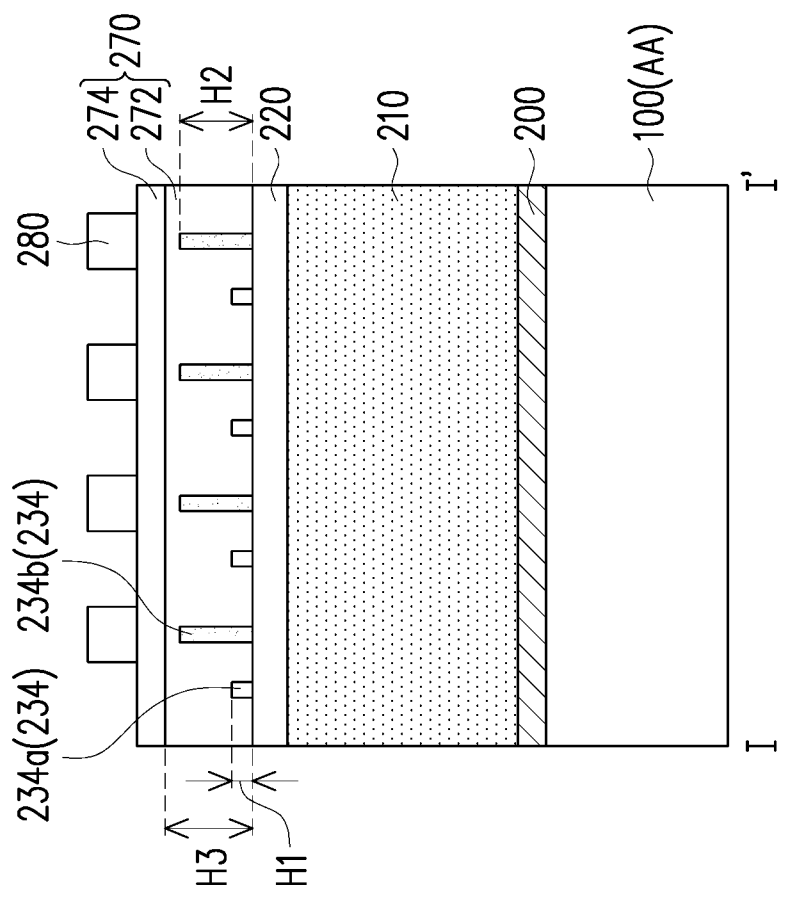


【圖8B】

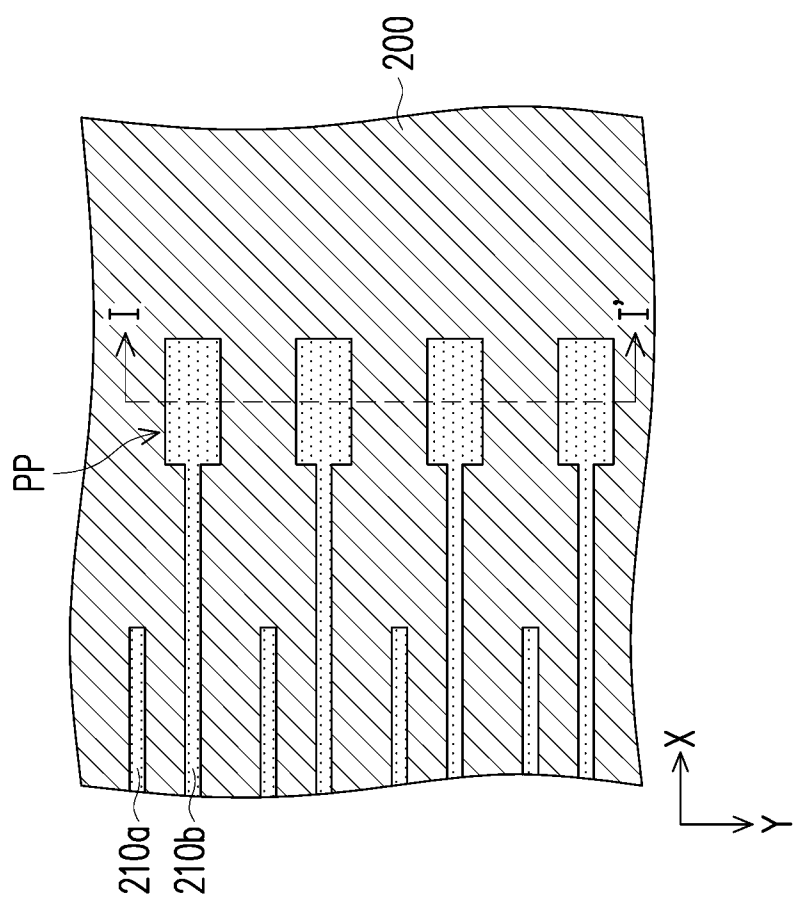
234a
234b
234c



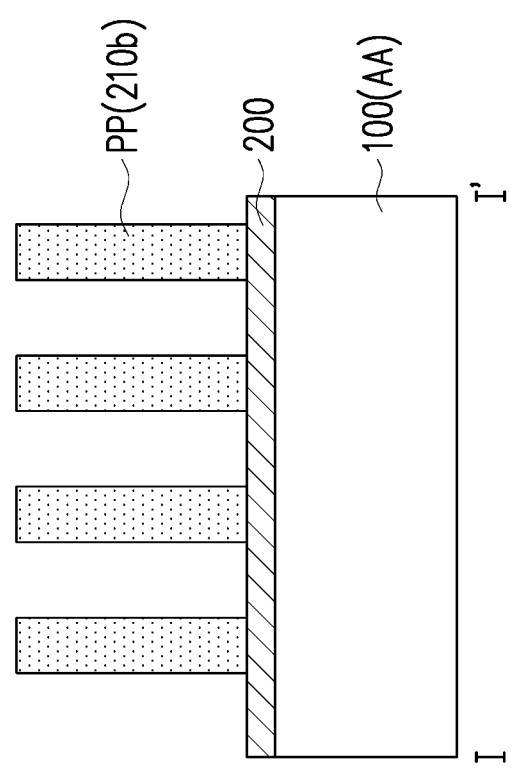
【圖9A】



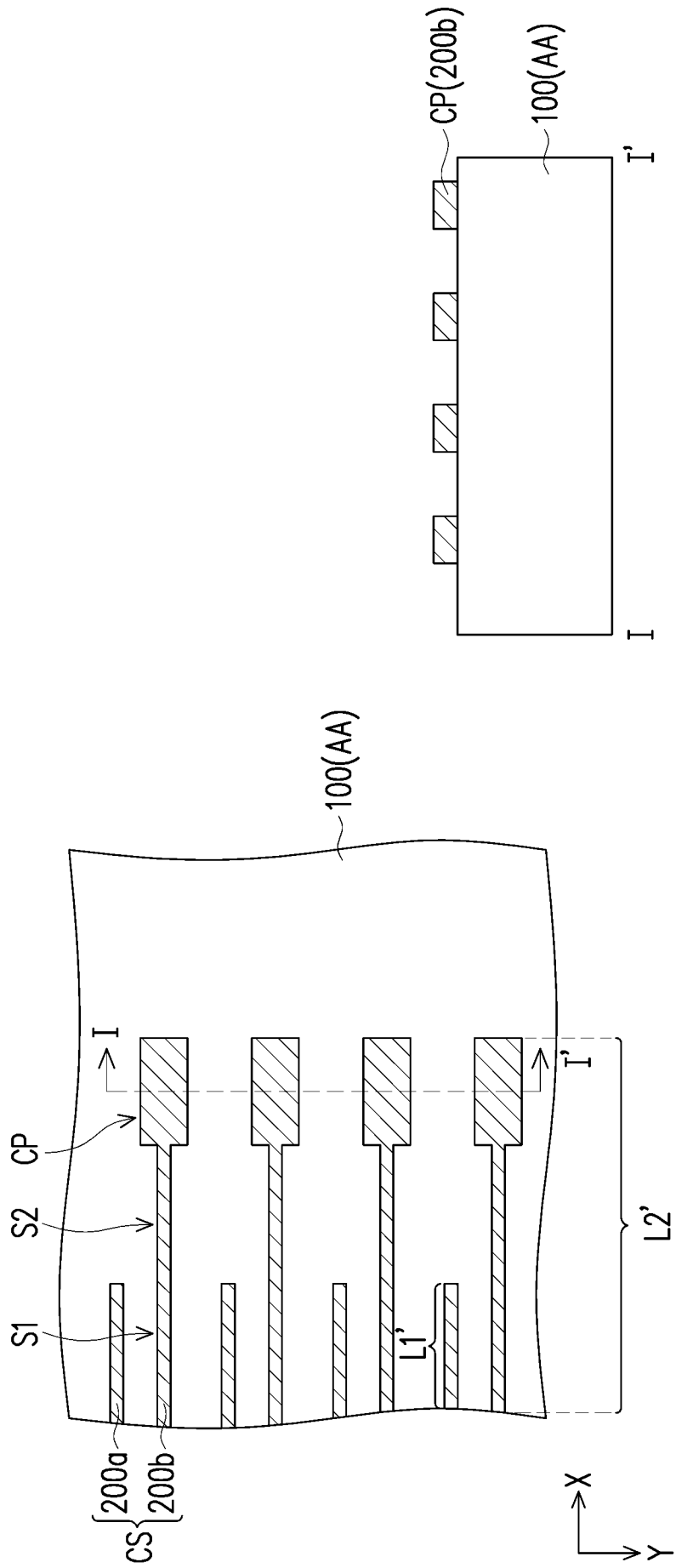
【圖9B】



【圖10A】

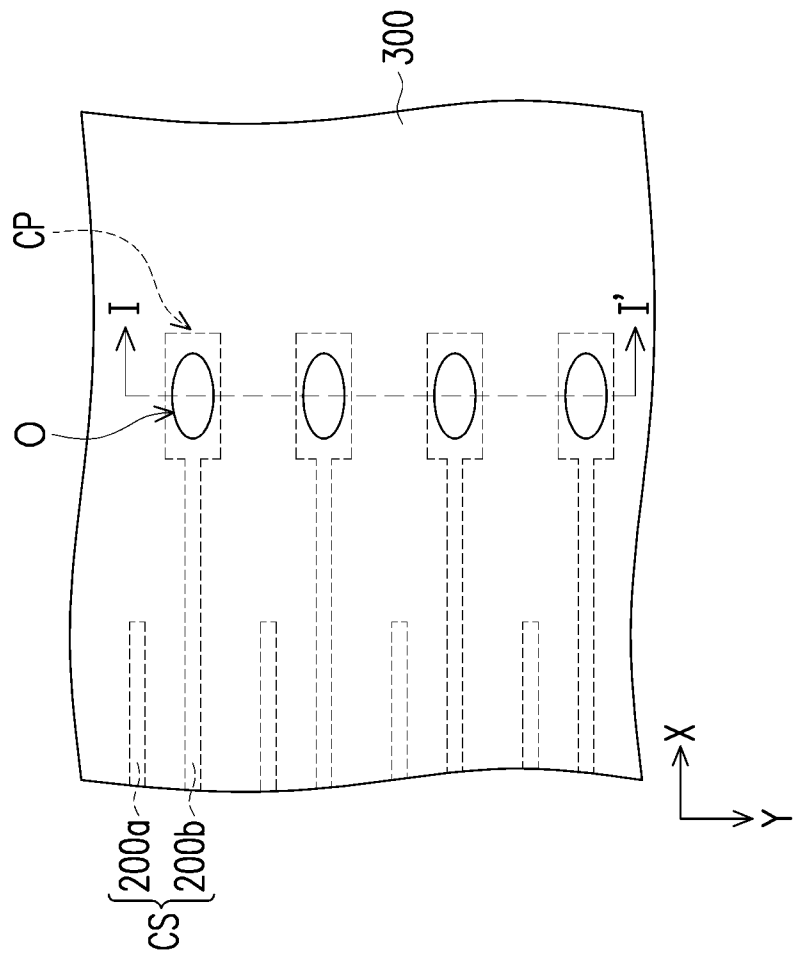


【圖10B】

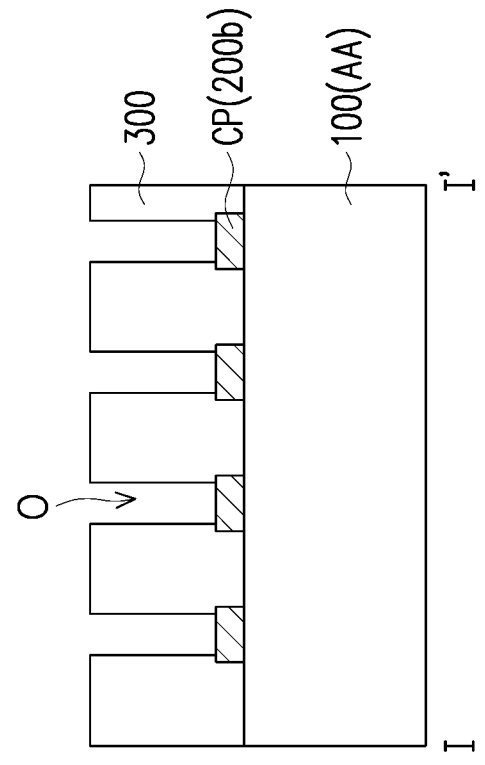


【圖11A】

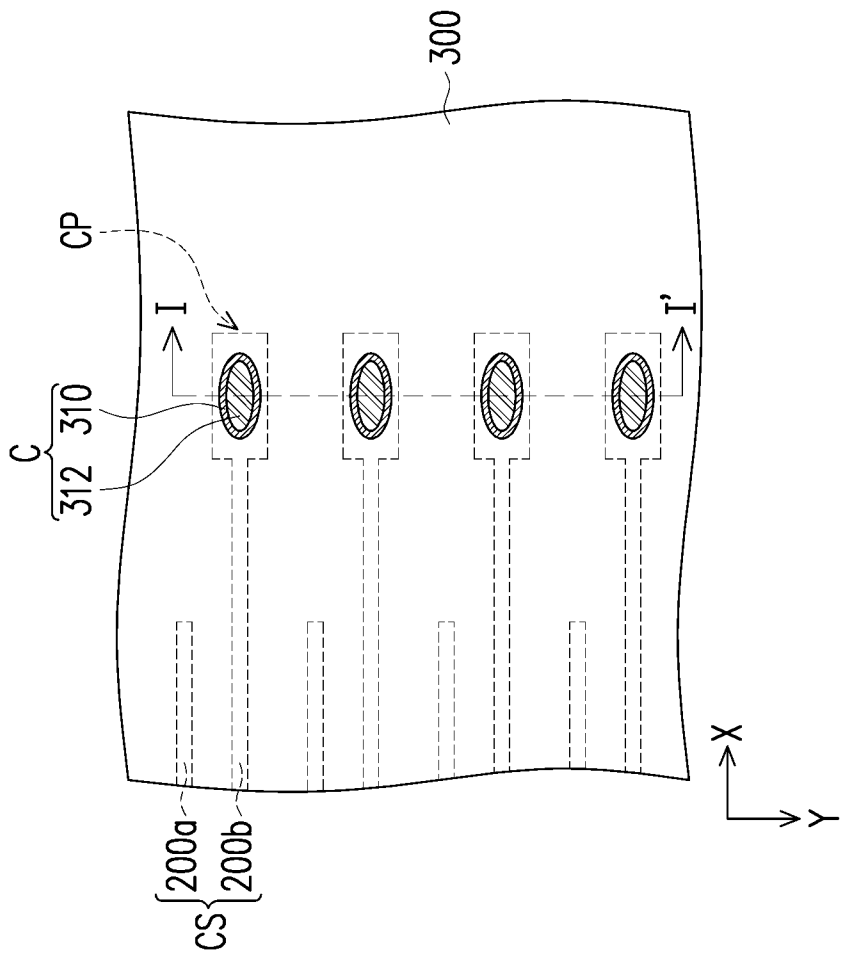
【圖11B】



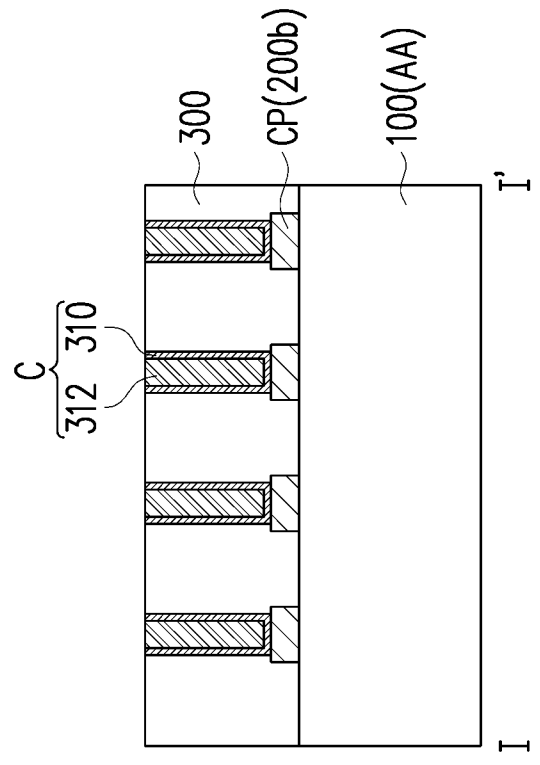
【圖12A】



【圖12B】



【圖13A】



【圖13B】