

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5876893号
(P5876893)

(45) 発行日 平成28年3月2日(2016.3.2)

(24) 登録日 平成28年1月29日(2016.1.29)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 T
HO 1 L 23/522 (2006.01)	HO 1 L 23/12 5 O 1 P
HO 1 L 23/12 (2006.01)	

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2014-76386 (P2014-76386)	(73) 特許権者	308033711
(22) 出願日	平成26年4月2日(2014.4.2)		ラピスセミコンダクタ株式会社
(62) 分割の表示	特願2008-66257 (P2008-66257) の分割		神奈川県横浜市港北区新横浜二丁目4番地 8
原出願日	平成20年3月14日(2008.3.14)	(74) 代理人	100079049
(65) 公開番号	特開2014-132691 (P2014-132691A)		弁理士 中島 淳
(43) 公開日	平成26年7月17日(2014.7.17)	(74) 代理人	100084995
審査請求日	平成26年4月30日(2014.4.30)		弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	山田 茂
			神奈川県横浜市港北区新横浜二丁目4番地 8 ラピスセミコンダクタ株式会社内
		審査官	河合 俊英

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の第1主面と前記第1主面上に形成された導電層とを被覆し前記導電層の一部を露出させる第1開口部を有する絶縁層を備え、前記第1開口部により露出された前記導電層に接して前記半導体基板の第1主面に形成された半導体回路の特性検査がなされた前記半導体基板を準備する工程と、

前記半導体基板の第2主面と、前記半導体基板の第2主面より前記半導体基板を厚さ方向に貫き前記第1開口部に対応する領域を接することなく内包する領域を露出する第2開口部を有する貫通口の内壁とに形成され、前記第2開口部を介して前記導電層に電氣的に接続する配線層を形成する配線層形成工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板の第1主面と前記第1主面上に形成された一つのパッド導電層とを被覆し前記一つのパッド導電層の一部を露出させる第1開口部を有する絶縁層を備え、前記第1開口部により露出された前記一つのパッド導電層に接して前記半導体基板の第1主面に形成された半導体回路の特性検査がなされた前記半導体基板を準備する工程と、

前記半導体基板の第2主面と、前記半導体基板を厚さ方向に貫き前記半導体基板の第2主面の前記第1開口部に対応する第1領域とは離間した第2領域に第2開口部を備える貫通口の内壁とに形成され、前記第2開口部を介して前記一つのパッド導電層に電氣的に接続する配線層を形成する配線層形成工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

前記絶縁層は、パッシベーション膜であることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 領域と前記第 2 領域とは $10 \mu\text{m}$ 以上離間していることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】

半導体基板の第 1 主面に形成された半導体回路と、

半導体基板の第 1 主面と前記半導体基板の第 1 主面上に形成された一つのパッド導電層とを被覆し、前記一つのパッド導電層の一部を露出させる前記半導体回路の特性評価用の第 1 開口部を有する絶縁層と、

前記半導体基板を厚さ方向に貫き前記半導体基板の第 2 主面の前記第 1 開口部に対応する第 1 領域とは離間した第 2 領域に第 2 開口部を備える貫通口と、

前記貫通口の内壁と前記半導体基板の第 2 主面に形成され、前記第 2 開口部を介して前記一つのパッド導電層に電氣的に接続される配線層と、

を備えることを特徴とする半導体装置。

【請求項 6】

前記絶縁層は、パッシベーション膜であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 領域と前記第 2 領域とは $10 \mu\text{m}$ 以上離間していることを特徴とする請求項 5 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOS センサ、CCD センサなどの画像センサ用半導体装置パッケージや照度センサ、UV センサなどの各種センサ用半導体装置パッケージ、半導体チップ積層（メモリ、メモリ+ロジック）パッケージなどの半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、CSP（チップサイズパッケージ）と呼ばれ、半導体基板の裏面側から貫通ビア（貫通口）を形成して、半導体基板表面に形成されたパッド電極を露出させ、当該ビアホールにより露出されたパッド電極から配線を形成して導通を取り、半導体基板裏面側に外部端子を設けた半導体装置が提案されている（例えば特許文献 1）。

【0003】

このような半導体装置では、一般的に半導体基板表面には、パッシベーション膜（絶縁層）で覆われている。パッシベーション膜は、パッド電極も覆って形成されているが、電気特性検査や他の電氣的接続形成のために電極層の一部を露出するように除去され、開口部が形成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2006 - 128171

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来の半導体装置では、パッド電極の厚みが非常に薄いため（例えば $1 \sim 3 \mu\text{m}$ ）、応力に対して弱く、半導体装置に対し物理的な衝撃などの力が加わったとき、貫通ビアの周囲でパッド電極にクラックが発生し、電気特性が得られなくなるとい

10

20

30

40

50

った問題があった。

【0006】

そこで、本発明の課題は、半導体基板に設けられる貫通口により露出された半導体基板の第1主面に設けられた導電層のクラック発生を抑制した半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0007】

上記課題は、以下の手段により解決される。即ち、

第1の本発明の半導体装置の製造方法は、

半導体基板の第1主面と前記第1主面上に形成された導電層とを被覆し前記導電層の一部を露出させる第1開口部を有する絶縁層を備え、前記第1開口部により露出された前記導電層に接して前記半導体基板の第1主面に形成された半導体回路の特性検査がなされた前記半導体基板を準備する工程と、

前記半導体基板の第2主面と、前記半導体基板の第2主面より前記半導体基板を厚さ方向に貫き前記第1開口部に対応する領域を接することなく内包する領域を露出する第2開口部を有する貫通口の内壁とに形成され、前記第2開口部を介して前記導電層に電氣的に接続する配線層を形成する配線層形成工程と、

を含むことを特徴とする。

【0008】

第2の本発明の半導体装置の製造方法は、

半導体基板の第1主面と前記第1主面上に形成された一つのパッド導電層とを被覆し前記一つのパッド導電層の一部を露出させる第1開口部を有する絶縁層を備え、前記第1開口部により露出された前記一つのパッド導電層に接して前記半導体基板の第1主面に形成された半導体回路の特性検査がなされた前記半導体基板を準備する工程と、

前記半導体基板の第2主面と、前記半導体基板を厚さ方向に貫き前記半導体基板の第2主面の前記第1開口部に対応する第1領域とは離間した第2領域に第2開口部を備える貫通口の内壁とに形成され、前記第2開口部を介して前記一つのパッド導電層に電氣的に接続する配線層を形成する配線層形成工程と、

を含むことを特徴とする。

【0009】

第1の本発明の半導体装置は、

半導体基板の第1主面に形成された半導体回路と、

半導体基板の第1主面と前記半導体基板の第1主面上に形成された一つのパッド導電層とを被覆し、前記一つのパッド導電層の一部を露出させる前記半導体回路の特性評価用の第1開口部を有する絶縁層と、

前記半導体基板を厚さ方向に貫き前記半導体基板の第2主面の前記第1開口部に対応する第1領域とは離間した第2領域に第2開口部を備える貫通口と、

前記貫通口の内壁と前記半導体基板の第2主面に形成され、前記第2開口部を介して前記一つのパッド導電層に電氣的に接続される配線層と、

を備えることを特徴とする。

【発明の効果】

【0010】

本発明によれば、半導体基板に設けられる貫通口により露出された半導体基板の第1主面に設けられた導電層のクラック発生を抑制した半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【0011】

【図1】第1実施形態に係る半導体装置の概略平面図である、

【図2】図1のA-A概略断面図である。

【図3】第1実施形態に係る半導体装置の製造工程を示す工程図である。

10

20

30

40

50

【図4】第1実施形態に係る半導体装置の製造工程において、シリコンウエハー（シリコン基板）にパッド電極を配設した様子を示す概略斜視図である。

【図5】第1実施形態に係る半導体装置の製造工程において、シリコンウエハー（シリコン基板）に開口部を有するパッシベーション膜を配設した様子を示す概略斜視図である。

【図6】第1実施形態に係る半導体装置の製造工程において、シリコンウエハー（シリコン基板）に貫通ビアを配設した様子を示す概略斜視図である。

【図7】第1実施形態に係る半導体装置の概略平面図である、

【図8】図7のA - A概略断面図である。

【図9】第1実施形態に係る半導体装置の製造工程を示す工程図である。

【図10】第1実施形態に係る半導体装置の製造工程において、シリコンウエハー（シリコン基板）に開口部を有するパッシベーション膜を配設した様子を示す概略斜視図である。

10

【図11】第1実施形態に係る半導体装置の製造工程において、シリコンウエハー（シリコン基板）に貫通ビアを配設した様子を示す概略斜視図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することがある。

【0013】

20

（第1実施形態）

図1は、第1実施形態に係る半導体装置の概略平面図である、図2は、図1のA - A概略断面図である。図3は、第1実施形態に係る半導体装置の製造工程を示す工程図である。

【0014】

第1実施形態に係る半導体装置100は、例えば、CSP（チップサイズパッケージ）の半導体装置である。

【0015】

第1実施形態に係る半導体装置100は、図1及び図2示すように、シリコン基板10（半導体基板）を備えている。そして、シリコン基板10の第1主面中央部には、半導体回路12（半導体素子）が配設されている。この半導体回路12は、例えば、センサ素子回路（画像センサ（例えばCMOSセンサ、CCDセンサなど）、その他センサ（照度センサ、UVセンサなど））、メモリ回路、ロジック回路などの半導体回路である。

30

【0016】

シリコン基板10の第1主面端部には、パッド電極14（電極層）が配設されている。パッド電極14は、例えば、アルミ電極などが適用され、例えば、半導体回路12と電氣的に接続されている（図示せず）。本実施形態では、パッド電極14は、例えば、シリコン基板10の第1主面の対向する2辺の各々に沿って、5個ずつ配設されている。なお、本実施形態では、図面上、シリコン基板10の第1主面上に直接、パッド電極14を配設しているが、通常、パッド電極14は、シリコン酸化膜などの絶縁膜を介してシリコン

40

【0017】

シリコン基板10の第1主面全面には、半導体回路12及びパッド電極14を覆ってパッシベーション膜16（絶縁層）が配設されている。このパッシベーション膜16には、例えば、窒化ケイ素膜などが適用される。そして、パッシベーション膜16には、パッド電極14の一部（本実施形態では中央部）を露出する開口部16Aが設けられている。当該開口部16Aは、電気特性検査や他の電氣的接続形成のためにパッド電極14の一部を露出するためのものであるが、本実施形態では、電気特性検査のために設けたものである。

【0018】

50

シリコン基板 10 の第 1 主面上には、半導体装置 100 を保護するためのガラス基板 18 (保護基板) が配設されている。ガラス基板 18 は、接着膜 20 を介してパッシベーション膜 16 上に貼り合せて配設されている。

【0019】

一方、シリコン基板の第 2 主面には、その厚み方向に貫く貫通ビア 22 (貫通口) が配設されている。この貫通ビア 22 は、パッド電極 14 の一部 (本実施形態では中央部) をシリコン基板の第 2 主面側に露出するように形成されてる。本実施形態では、貫通ビア 22 は、パッド電極 14 の配設位置に応じて、例えば、シリコン基板 10 の第 2 主面の対向する 2 辺の各々に沿って、5 個ずつ配設されている。

【0020】

そして、貫通ビア 22 は、その開口径 (パッド電極 14 と接する個所の開口径) がパッシベーション膜 16 の開口部 16 A の開口径 (パッド電極 14 と接する個所の開口径) よりも大きく、且つその開口縁 (パッド電極 14 と接する個所の開口縁) がパッシベーション膜 16 の開口部 16 A の開口縁 (パッド電極 14 と接する個所の開口縁) よりも外側に位置して配設されている。言い換えれば、パッシベーション膜 16 の開口部 16 A は、その開口径 (パッド電極 14 と接する個所の開口径) が貫通ビア 22 の開口径 (パッド電極 14 と接する個所の開口径) よりも小さく、且つその開口縁 (パッド電極 14 と接する個所の開口縁) が貫通ビア 22 の開口縁 (パッド電極 14 と接する個所の開口縁) よりも内側に位置して配設されている。

【0021】

ここで、開口径とは、最大径のことを意味する。そして、貫通ビアの開口径 (パッド電極 14 と接する個所の開口径) と、パッシベーション膜 16 の開口部 16 A の開口径 (パッド電極 14 と接する個所の開口径) との差は、例えば 10 μm 以上であることがよい。

【0022】

また、シリコン基板 10 の第 2 主面には、前記貫通ビア 22 に埋め込んで露出されたパッド電極 14 と導通を図ると共に、当該第 2 主面上に引き回された配線 24 (例えば銅線など) が配設されている。配線 24 の一部上には、外部端子 26 (例えば半田ボールなど) が配設されている。図示しないが、貫通ビア 22 側壁及びシリコン基板 10 第 2 主面上では絶縁膜 (例えばシリコン酸化膜など) 及びバリアメタル膜 (例えば Ti 膜など) などを介して貫通ビア 22 側壁、シリコン基板 10 第 2 主面上に配設されている。

【0023】

なお、本実施形態では、配線 24 は、貫通ビア 22 に埋め込んでパッド電極 14 と導通を図っているが、配線 24 は貫通ビア 22 に埋め込む必要なく、貫通ビア 22 により露出されたパッド電極 14 表面から、貫通ビア 22 側壁を通じ、シリコン基板 10 の第 2 主面上に延在していればよい。

【0024】

また、シリコン基板の第 2 主面全面には、外部端子 26 との接続部を除いて配線 24 表面を覆って、保護膜 28 (例えばソルダーレジスト膜など) が配設されている。

【0025】

以下、上記構成の本実施形態に係る半導体装置 100 の製造方法について説明する。

【0026】

まず、図 3 (A) に示すように、シリコンウエハー 10 A (シリコン基板 10) の第 1 主面に、複数個の素子領域に区分し、当該領域ごとに、半導体プロセスにより半導体回路 12 を形成する。そして、レジストの塗布・露光・エッチングによりマスクを形成した後、スパッタ、メッキ等によりアルミからなるパッド電極 14 を形成する (図 4 参照)。

【0027】

次に、図 3 (B) に示すように、シリコンウエハー 10 A (シリコン基板 10) の第 1 主面上に、半導体回路 12 及びパッド電極 14 を覆うように、窒化シリコン膜からなるパッシベーション膜 16 を形成すると共に、当該パッシベーション膜 16 にパッド電極 14 の一部を露出する開口部 16 A を形成する (図 5 参照)。パッシベーション膜 16 は、例

10

20

30

40

50

えば、窒化シリコン膜をプラズマを用いた化学的気相堆積法 (Plasma assisted chemical vapor deposition: P-CVD) で SiH_4 、 NH_3 及び N_2 を原料ガスとして用いて形成する。そして、パッシベーション膜 16 の開口部 16A は、例えば、パッシベーション膜 16 上にレジストの塗布・露光・エッチングによりマスクを形成した後、パッシベーション膜 16 をエッチングして形成する。

【0028】

ここで、パッシベーション膜 16 を形成したシリコンウエハー 10A は、例えば、センサウエハー、メモリウエハーなどと呼ばれ、この状態でパッケージング工程を行うために出荷や別ラインに運ばれることが多い。このため、出荷や、別ラインに運ばれる前や、別ラインで後工程 (パッケージング工程) を行う前に、パッシベーション膜 16 に設けた開口部 16A により露出されたパッド電極 14 を通じて、電気特性検査が行われる。したがって、このパッド電極 14 を露出するための開口部 16A は、製造過程上重要なものである。

10

【0029】

次に、図 3 (C) に示すように、シリコンウエハー 10A に配設したパッシベーション膜 16 上に接着膜 20 を、スピコート法などを利用して塗布した後、ガラス基板 18 を貼り付ける。このガラス基板 18 を貼り付ける工程は、パッシベーション膜 16 形成後、後述する個片化の前であれば、いつ行ってもよい。

【0030】

次に、図 3 (D) に示すように、シリコンウエハー 10A (シリコン基板 10) の第 2 主面を切削 (バイト、砥石、パフ等) して、例えば、 $100\ \mu\text{m}$ 程度になるまでシリコンウエハー 10A (シリコン基板 10) の薄化を行う。

20

【0031】

次に、図 3 (E) に示すように、シリコンウエハー 10A (シリコン基板 10) の第 2 主面に対して、ドライエッチング加工や、ウェットエッチング加工、レーザ加工を利用して、パッド電極 14 が露出するまで切削を行い、シリコンウエハー 10A (シリコン基板 10) の厚み方向に貫通した貫通ビア 22 を形成する (図 6 参照)。この貫通ビア 22 により、パッド電極 14 が露出される。

【0032】

次に、図 3 (F) に示すように、レジストの塗布・露光・エッチングによりマスクを形成した後、スパッタ、メッキ等により銅配線からなる配線 24 を、貫通ビア 22 に埋め込むと共に、シリコンウエハー 10A (シリコン基板 10) の第 2 主面に引き回して形成する。その後、スピコート法などを利用して、ソルダーレジスト膜などの保護膜 28 を形成した後、配線 24 の一部を露出するための開口部を形成し、当該開口部において露出する配線 24 上に半田ボールなどの外部端子 26 を形成する。

30

【0033】

そして、図 3 (G) に示すように、ダイシングなどにより、個片化を行い、CSP (チップサイズパッケージ) の半導体装置 100 が得られる。

【0034】

以上説明した、本実施形態に係る半導体装置 100 では、貫通ビア 22 の開口径 (パッド電極 14 と接する個所の開口径) がパッシベーション膜 16 の開口部 16A の開口径 (パッド電極 14 と接する個所の開口径) よりも大きく、且つ貫通ビア 22 の開口縁 (パッド電極 14 と接する個所の開口縁) がパッシベーション膜 16 の開口部 16A の開口縁 (パッド電極 14 と接する個所の開口縁) よりも外側に位置して配設されている。

40

【0035】

このため、パッド電極 14 は、貫通ビア 22 の開口縁内側周辺がパッシベーション膜 16 により保持或いは支持されつつ、貫通ビア 22 により露出されていることから、パッド電極 14 は、例えば、その製造過程において生じる衝撃などに起因する応力によりクラック発生が抑制される。

【0036】

50

(第2実施形態)

図7は、第2実施形態に係る半導体装置の概略平面図である、図8は、図7のA-A概略断面図である。図9は、第2実施形態に係る半導体装置の製造工程を示す工程図である。

【0037】

第2実施形態に係る半導体装置101では、貫通ビア22は、その開口縁(パッド電極14と接する個所の開口縁)がパッシベーション膜16の開口部16Aの開口縁(パッド電極14と接する個所の開口縁)とは重ならない位置に配設されている。言い換えれば、パッシベーション膜16の開口部16Aは、その開口縁(パッド電極14と接する個所の開口縁)が貫通ビア22の開口縁(パッド電極14と接する個所の開口縁)とは重ならない位置に配設されている。

10

【0038】

具体的には、例えば、貫通ビア22は、パッド電極14の一端部側が露出するように偏在させて配設させている。一方、パッシベーション膜16の開口部16Aは、パッド電極14の他端部側が露出するように偏在させて配設させている。ここで、貫通ビア22の開口縁とパッシベーション膜16の開口部16Aの開口縁とは、パッド電極14厚み方向に同一平面上に投影したときに重ならないことを意味する。また、貫通ビア22の開口縁とパッシベーション膜16の開口部16Aの開口縁との距離(両者をパッド電極14厚み方向に同一平面上に投影したときの最短距離)は、例えば10 μ m以上であることがよい。

【0039】

これら以外は、第1実施形態と同様な構成であるので、説明を省略する。

20

【0040】

以下、本実施形態に係る半導体装置101の製造方法について説明する。

まず、図9(B)において、パッシベーション膜16の開口部16Aを、パッド電極14の他端部側が露出するように偏在させて配設する(図10参照)。そして、図9(E)において、貫通ビア22を、その開口縁がパッシベーション膜16の開口部16Aの開口縁(パッド電極14と接する個所の開口縁)とは重ならない位置となるように、パッド電極14の一端部側が露出するように偏在させて配設する(図11参照)。

【0041】

これら以外は、第1実施形態と同様な工程であるので、説明を省略する。

30

【0042】

以上説明した、本実施形態に係る半導体装置101では、貫通ビア22の開口縁(パッド電極14と接する個所の開口縁)がパッシベーション膜16の開口部16Aの開口縁(パッド電極14と接する個所の開口縁)とは重ならない位置に配設されている。

【0043】

このため、パッド電極14は、貫通ビア22の開口縁内側全てがパッシベーション膜16に保持或いは支持されつつ、貫通ビア22により露出されていることから、パッド電極14は、例えば、その製造過程において生じる衝撃などに起因する応力によりクラック発生が抑制される。

【0044】

上記いずれの実施形態に係る半導体装置においては、貫通ビア22とパッシベーション膜16の開口部16Aの形状や位置関係を工夫することで、クラック発生が抑制される。したがって、追加操作(工程)や特別な工程を行う必要がなく、製造工程数を増加させることなく簡易に半導体装置が作製され、しいては低コスト化が実現される。これに対し、従来(例えば、特開2006-128171公報)では、貫通ビアに露出されるパッド電極は、その貫通ビア22に露出される領域において、これに接続される配線層により保持或いは支持されているが、当該配線層を別途形成しなければならず、製造工程数の低減化、低コスト化は難しい。この点において、上記いずれの実施形態に係る半導体装置は、上述のように、製造工程数を増加させることなく、低コストで、パッド電極のクラック発生が抑制される。

40

50

【0045】

上記いずれの実施形態に係る半導体装置は、CMOSセンサ、CCDセンサなどの画像センサ用半導体装置パッケージや照度センサ、UVセンサなどの各種センサ用半導体装置パッケージ、半導体チップ積層（メモリ、メモリ+ロジック）パッケージなどに適用される。

【0046】

なお、上記いずれの実施形態においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【符号の説明】

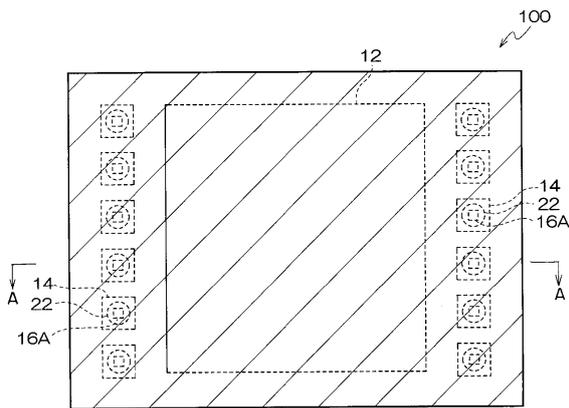
【0047】

- 10 シリコン基板
- 10A シリコンウエハー
- 12 半導体回路
- 14 パッド電極
- 16 パッシベーション膜
- 16A 開口部
- 18 ガラス基板
- 20 接着膜
- 22 貫通ビア
- 24 配線
- 26 外部端子
- 28 保護膜
- 100、101 半導体装置

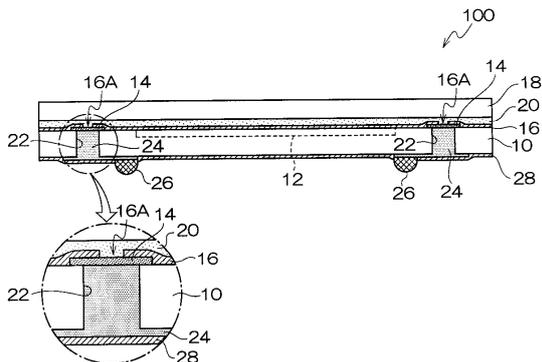
10

20

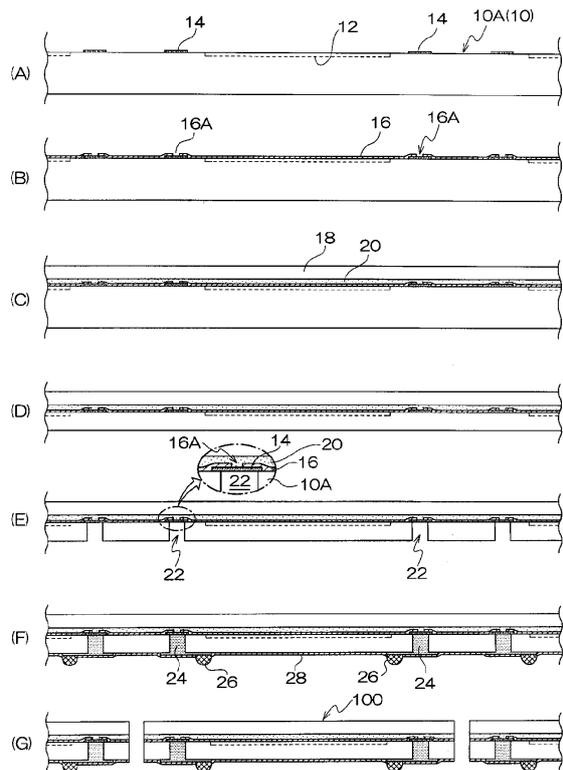
【図1】



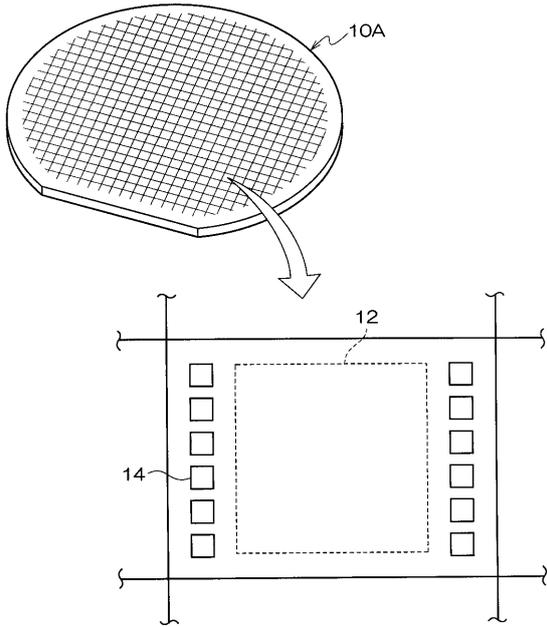
【図2】



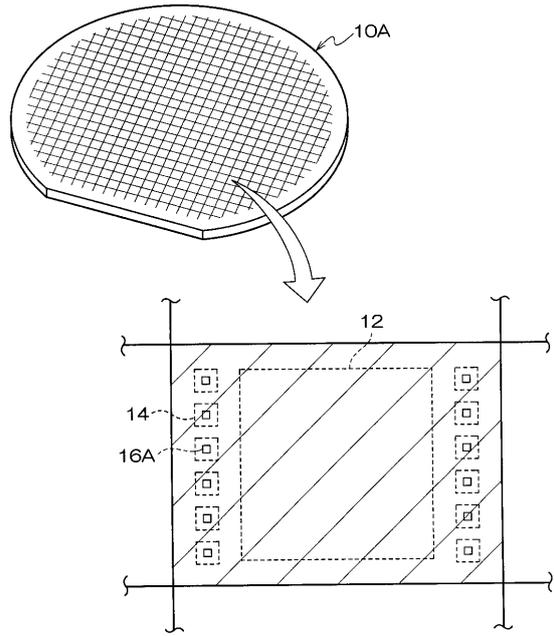
【図3】



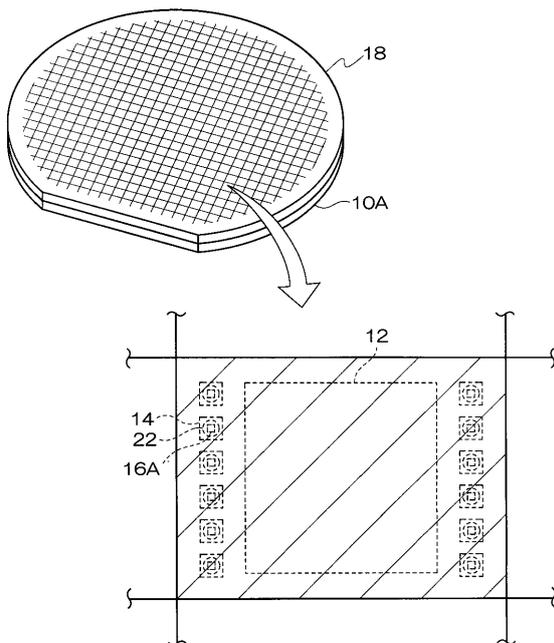
【図4】



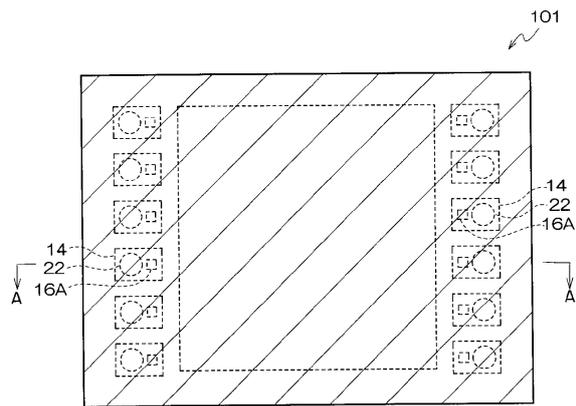
【図5】



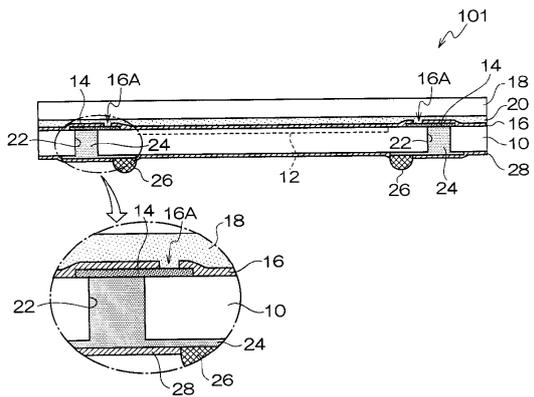
【図6】



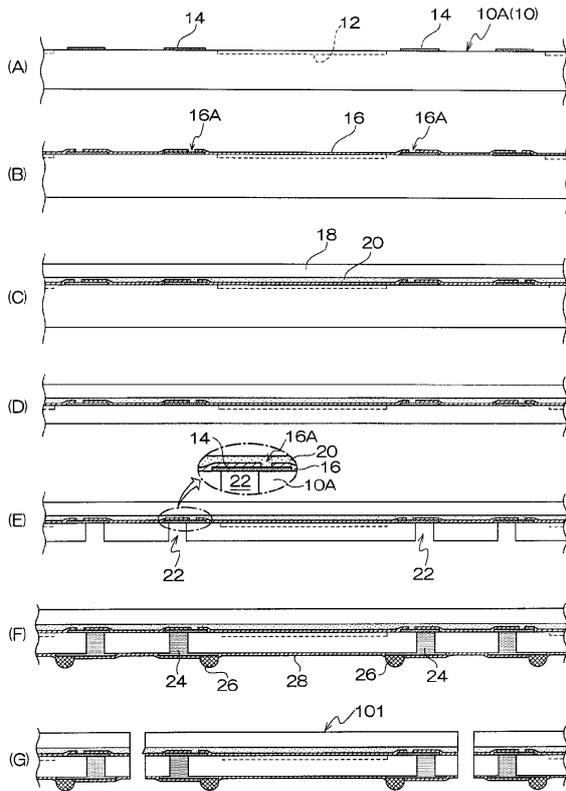
【図7】



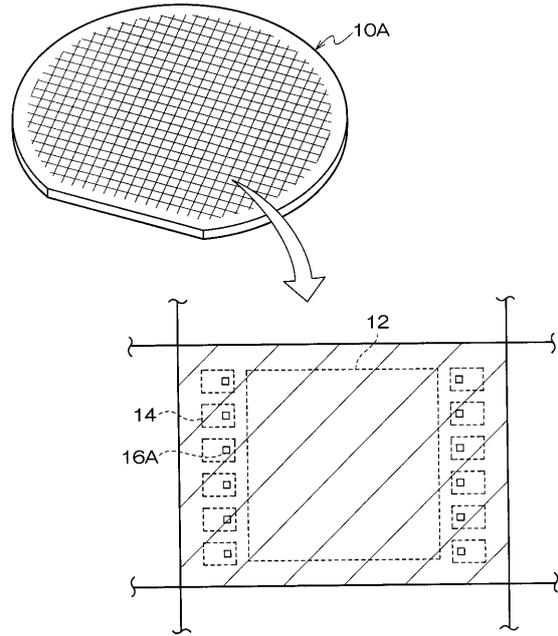
【図8】



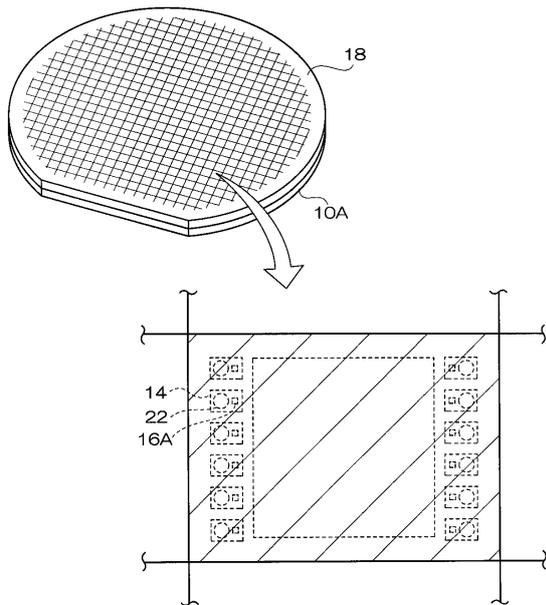
【図9】



【図10】



【図11】



フロントページの続き

- (56)参考文献 特開2006-128171(JP,A)
特開2006-060067(JP,A)
特開2007-096030(JP,A)
特開2004-153260(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/768
H01L 23/12
H01L 23/522