



# [12] 发明专利申请公开说明书

[21] 申请号 200410087106.6

[43] 公开日 2005年5月4日

[11] 公开号 CN 1612088A

[22] 申请日 2004.10.27

[21] 申请号 200410087106.6

[30] 优先权

[32] 2003.10.27 [33] JP [31] 366042/2003

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 竹岁修 田中功 和田享

[74] 专利代理机构 北京市金杜律师事务所

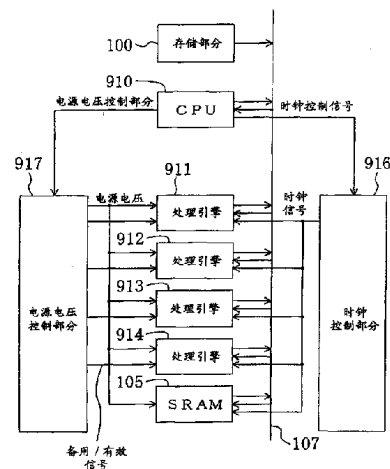
代理人 王茂华

权利要求书 3 页 说明书 46 页 附图 42 页

[54] 发明名称 处理器系统、指令序列优化装置和指令序列优化程序

[57] 摘要

为了减小一个包括多个处理器的处理器系统的功耗，而不使处理能力降级，一个 CPU 检测加到指令代码的方式设置信息，并且分别向一个时钟控制部分和一个电源电压控制部分输出一个时钟控制信号和一个电源电压控制信号。当多个处理引擎并行执行一条指令时，供给具有比预定频率低的频率的时钟信号和比预定电压低的电源电压。结果，使功耗减小，并且通过并行执行而保持处理能力。



1. 一种包括多个处理器的处理器系统，包括：  
分配控制装置，用于读出由各自处理器所执行的指令，并且控制  
5 对所述处理器的所述指令的分配；  
时钟控制装置，用于按照所述处理器根据所述分配所执行的所述  
指令，控制将供给所述各自处理器的时钟信号的频率；和  
电压控制装置，用于按照所述时钟控制装置对所述时钟信号的所  
述频率的控制，至少控制将供给各自处理器的电源电压，或将供给  
10 构成所述各自处理器的晶体管的衬底节点的衬底电压，  
其中当所述分配控制装置使多个处理器并行执行指令时，所述时  
钟控制装置和所述电压控制装置分别供给各具有比预定频率低的频  
率的时钟信号，和低于预定电压的电源电压或用于提供比预定阈值  
电压高的阈值电压的衬底电压。
- 15 2. 根据权利要求 1 的处理器系统，其中所述分配控制装置、所述  
时钟控制装置和所述电压控制装置根据所述指令中包括的控制信  
息，分别控制对所述处理器的所述分配、所述时钟信号的所述频率，  
和所述电源电压或所述衬底电压。
3. 根据权利要求 2 的处理器系统，其中所述控制信息指示对所述  
20 对处理器的分配、时钟信号的频率，和电源电压或衬底电压的多个  
组合中的一个。
4. 根据权利要求 1 的处理器系统，还包括：  
指令分析装置，用于分析所述指令是否可由多个处理器并行执  
行，  
25 其中所述分配控制装置、所述时钟控制装置和所述电压控制装置  
根据所述指令分析装置的所述分析的结果，分别控制对所述处理器  
的所述分配、所述时钟信号的所述频率，和所述电源电压或所述衬  
底电压。
5. 根据权利要求 4 的处理器系统，其中所述指令分析装置分析按

照所述指令执行的过程是否为具有重负载的过程。

6. 根据权利要求 5 的处理器系统, 其中具有重负载的所述过程包括执行预定次数或更多次数的循环过程。

7. 根据权利要求 2 的处理器系统, 其中所述多个处理器包含包括  
5 关于衬底电压具有第一阈值电压的晶体管的处理器, 和包括关于所述衬底电压具有第二阈值电压的晶体管的处理器, 所述第二阈值电压比所述第一阈值电压高, 并且

10 所述分配控制装置、所述时钟控制装置和所述电压控制装置根据所述指令中包括的控制信息和所述处理器中包括的所述晶体管的所述阈值电压, 分别控制对所述处理器的所述分配、所述时钟信号的所述频率, 和所述电源电压或所述衬底电压。

8. 根据权利要求 4 的处理器系统, 其中所述多个处理器包含包括  
15 关于衬底电压具有第一阈值电压的晶体管的处理器, 和包括关于所述衬底电压具有第二阈值电压的晶体管的处理器, 所述第二阈值电压比所述第一阈值电压高, 并且

所述分配控制装置、所述时钟控制装置和所述电压控制装置根据所述指令分析装置的所述分析的结果和所述处理器中包括的所述晶体管的所述阈值电压, 分别控制对所述处理器的所述分配、所述时钟信号的所述频率, 和所述电源电压或所述衬底电压。

20 9. 根据权利要求 1 的处理器系统, 其中所述电压控制装置停止对所述分配控制装置没有对其分配执行指令的处理器电源电压的供给。

10. 根据权利要求 1 的处理器系统, 还包括故障信息保持装置, 用于保持指示各处理器是否正常操作的信息,

25 其中所述分配控制装置仅对正常操作的处理器分配执行指令。

11. 根据权利要求 10 的处理器系统, 还包括故障检测装置, 用于使各处理器执行测试操作, 以确定所述处理器是否正常操作。

12. 根据权利要求 11 的处理器系统, 其中所述故障检测装置使各处理器执行测试程序, 以根据所述执行的结果确定所述处理器是否

正常操作。

13. 一种指令序列优化装置, 用于使包括多个处理器的处理器系统所执行的指令序列优化, 所述装置包括:

5 指令分析装置, 用于分析所述指令序列中包括的指令是否可由所述各自处理器执行; 和

控制信息添加装置, 用于根据所述指令分析装置的所述分析的结果及指示功耗和处理能力的信息, 对所述指令序列加上控制信息, 所述控制信息指示对所述对处理器的分配、时钟信号的频率, 和电源电压或衬底电压。

10 14. 根据权利要求 13 的装置, 其中所述控制信息添加装置用多个处理器并行执行的指令来代替一个处理器执行的指令。

15 15. 一种指令序列优化程序, 用于使包括多个处理器的处理器系统所执行的指令序列优化, 所述程序使计算机执行:

指令分析步骤, 分析所述指令序列中包括的指令是否可由多个处理器执行; 和

控制信息添加步骤, 根据所述指令分析步骤中得到的所述分析的结果及指示功耗和处理能力的信息, 对所述指令序列加上控制信息, 所述控制信息指示对所述对处理器的分配、时钟信号的频率, 和电源电压或衬底电压。

20 16. 根据权利要求 15 的程序, 其中在所述控制信息添加步骤中, 用多个处理器并行执行的指令来代替一个处理器执行的指令。

## 处理器系统、指令序列优化装置和指令序列优化程序

### 5 技术领域

本发明涉及一种用于减小处理器系统的功耗的技术，这种处理器系统包括多个相同类型或不同类型的处理器，例如称为中央处理单元（CPU）的处理单元、一个硬件引擎（HWE）、一个协处理器或一个数字信号处理器（DSP），并且能够执行并行处理。

10

### 背景技术

已经有一种已知技术，用于当 CPU 处理中的负载轻时，通过减小时钟信号的频率，减小 CPU 的功耗（例如，日本未审专利出版物 No. 9-34599）。还已知一种技术，用于当在一个包括多个单元例如 CPU  
15 和一个协处理器的处理器系统中，解码指令是“无操作”时，通过关断一个关联单元的电源，减小整个系统或来自整个系统的功耗和热释放（例如，日本未审专利出版物 No. 2000-112756）。

还已知一种技术，用于按照处理负载或操作环境的设置，通过控制同时操作的 CPU 数，提高处理能力或减小功耗（例如，日本未审  
20 专利出版物 No. 9-138716）。

上述仅减小时钟信号的频率的技术在处理负载轻时适用，但是当要求高处理能力时不适用。因此，并不总能大大降低整个系统的功耗。

另外，应用关断一个不执行处理的单元的电源的技术，并不减小  
25 处理本身中的功耗，并且因而也不实现功耗的较大减小。

而且，控制同时操作的 CPU 数的技术在要求高处理能力时不能减小功耗，所以并不同时实现处理能力的提高和功耗的减小。

### 发明内容

因此本发明的一个目的是大大减小特别是包括多个处理器的处理系统的功耗，同时能够既保持处理能力也减小功耗。

为了实现这个目的，第一处理器系统是包括多个处理器的处理器系统。该处理器系统包括：分配控制装置，用于读出由各自处理器所执行的指令，并且控制对处理器的指令分配；时钟控制装置，用于按照处理器根据分配所执行的指令，控制供给各自处理器的时钟信号的频率；和电压控制装置，用于按照时钟控制装置对时钟信号的频率的控制，至少控制供给各自处理器的电源电压，或供给构成各自处理器的晶体管的衬底节点的衬底电压。当分配控制装置使多个处理器并行执行指令时，时钟控制装置和电压控制装置分别供给各具有比预定频率低的频率的时钟信号，和比预定电压低的电源电压，或用于提供比预定阈值电压高的阈值电压的衬底电压。

在这种系统中，供给具有比预定频率低的频率的时钟信号，以便增大电路中延迟的容限。因此，供给低于预定电压的电源电压，或用于提供比预定阈值电压高的阈值电压的衬底电压，用于操作。结果，使功耗减小。另外，由多个处理器并行执行指令，因而保证保持处理能力。

第二处理器系统是第一处理器系统，其中分配控制装置、时钟控制装置和电压控制装置根据指令中包括的控制信息，分别控制对处理器的分配，时钟信号的频率，和电源电压或衬底电压。

第三处理器系统是第二处理器系统，其中控制信息指示对处理器的分配、时钟信号的频率和电源电压或衬底电压的多个组合中的一个。

在这些系统中，根据指令中包括的控制信息，控制对处理器的分配和其他，并且例如不必提供一个用于分配的指令分析电路。结果，以小电路规模使功耗减小。

第四处理器系统是第一处理器系统，并且还包括：指令分析装置，用于分析指令是否可由多个处理器并行执行，其中分配控制装置、时钟控制装置和电压控制装置根据指令分析装置的分析结果，控制

对处理器的分配、时钟信号的频率和电源电压或衬底电压。

第五处理器系统是第四处理器系统，其中指令分析装置分析按照指令执行的过程是否为一个具有重负载的过程。

5 第六处理器系统是第五处理器系统，其中具有重负载的过程包括一个执行预定次数或更多次数的循环过程。

在这些系统中，根据指令的分析确定对处理器的分配和其他。因此，即使在不包括特别指示对处理器的分配和其他的信息的这样指令代码的指令情况下，也控制分配和其他，以便减小功耗，并且高速执行大量循环过程。为了容易地减小功耗或增大处理速度，例如，  
10 一名人员如程序开发人员只需指定功耗或处理能力，而不考虑时钟信号的频率。

当供分析所参考的指令数增大时，甚至能并行处理稍微复杂的重复过程，因而进一步保证容易地减小功耗。然而，指令数的增大导致用于分析的电路规模的增大。因此，例如，需要按照处理器系统  
15 要求的处理能力和功耗，确定所分析的指令数。分配给一个处理器的指令数不限于一个。如果一个过程的指令序列可由一个或多个处理器高效率地执行，这样指令序列可以作为一个单元来分配。

第七处理器系统是第二处理器系统，其中多个处理器包含一个包括关于衬底电压具有第一阈值电压的晶体管的处理器，和一个包括  
20 关于衬底电压具有第二阈值电压的晶体管的处理器，第二阈值电压比第一阈值电压高，并且分配控制装置、时钟控制装置和电压控制装置根据指令中包括的控制信息和处理器中包括的晶体管的阈值电压，分别控制对处理器的分配、时钟信号的频率和电源电压或衬底电压。

25 第八处理器系统是第四处理器系统，其中多个处理器包含一个包括关于衬底电压具有第一阈值电压的晶体管的处理器，和一个包括关于衬底电压具有第二阈值电压的晶体管的处理器，第二阈值电压比第一阈值电压高，并且分配控制装置、时钟控制装置和电压控制装置根据指令分析装置的分析结果和处理器中包括的晶体管的阈值

电压，分别控制对处理器的分配、时钟信号的频率和电源电压或衬底电压。

- 在这些系统中，包括一个具有低阈值电压的晶体管的处理器的操作保证保持处理能力。另外，包括一个具有高阈值电压的晶体管的处理器的操作减小有效泄漏电流，并且从而进一步容易地减小功耗。

第九处理器系统是第一处理器系统，其中对一个分配控制装置不对其分配执行指令的处理器，电压控制装置停止供给电源电压。

在这个系统中，在不操作的处理器中不出现泄漏电流，因而进一步减小功耗。

- 第十处理器系统是第一处理器系统，并且还包含故障信息保持装置，用于保持指示各处理器是否正常操作的信息，其中分配控制装置仅把执行指令分配给正常操作的处理器。

第十一处理器系统是第十处理器系统，并且还包含故障检测装置，用于使各处理器执行测试操作，以确定处理器是否正常操作。

- 第十二处理器系统是第十一处理器系统，其中故障检测装置使各处理器执行一个测试程序，以根据执行结果，确定各处理器是否正常操作。

在这些系统中，对没有故障的处理器控制时钟频率和电源电压，因而保证保持处理能力并且减小功耗。

- 第一指令序列优化装置是一个用于使一个包括多个处理器的处理器系统所执行的指令序列优化的指令序列优化装置。该装置包括：指令分析装置，用于分析指令序列中包括的指令是否可由各自处理器执行；和控制信息添加装置，用于根据指令分析装置的分析结果及指示功耗和处理能力的信息，对指令序列加上控制信息，控制信息指示对处理器的分配、时钟信号的频率和电源电压或衬底电压。

第一指令序列优化程序是一个用于使一个包括多个处理器的处理器系统所执行的指令序列优化的指令序列优化程序。该程序使一台计算机执行：一个指令分析步骤，用于分析指令序列中包括的指令是否可由多个处理器执行；和一个控制信息添加步骤，用于根据



指令分析步骤中得到的分析结果及指示功耗和处理能力的信息，对指令序列加上控制信息，控制信息指示对处理器的分配、时钟信号的频率和电源电压或衬底电压。

而后，如第二处理器系统所述，用一个小电路刻度控制对处理器的分配。另外，容易地产生一个可由一个能使其功耗减小的处理器系统所执行的指令序列。

第二指令序列优化装置是第一指令序列优化装置，其中控制信息添加装置用多个处理器并行执行的指令来代替一个处理器所执行的指令。

10 第二指令序列优化程序是第一指令序列优化程序，其中在控制信息添加步骤中，由一个处理器所执行的指令用多个处理器并行执行的指令来代替。

于是，容易地由多个处理器并行执行处理。

## 15 附图说明

图 1 是表示根据实施例 1 的处理器系统的主要部分的配置的方块图。

图 2 表示指令代码的一例。

图 3 表示加到指令代码的时钟控制标志的一例。

20 图 4 是表示根据实施例 1 的时钟控制部分 106 的具体配置的方块图。

图 5 是表示实施例 1 的处理器系统的操作的流程图。

图 6 表示实施例 1 的处理器系统的操作状态。

图 7 是表示根据实施例 2 的指令序列优化装置的配置的方块图。

25 图 8A 和图 8B 表示在实施例 2 的指令序列优化装置中，处理器的指令分配关于时钟频率和执行周期的关系的例子。

图 9 是表示实施例 2 的指令序列优化装置的操作的流程图。

图 10 是表示根据实施例 2 的一个变更例子的指令序列优化装置的配置的方块图。

图 11 是表示实施例 2 的变更例子的指令序列优化装置的操作的流程图。

图 12 是表示实施例 2 的另一个变更例子的指令序列优化装置的操作的流程图。

5 图 13A 至 13E 表示执行指令的顺序关于时钟频率和执行周期的关系的例子。

图 14 是表示根据实施例 3 的处理器系统的主要部分的配置的方块图。

图 15 是表示实施例 3 的处理器系统的操作的流程图。

10 图 16 是表示根据实施例 3 的一个变更例子的处理器系统的主要部分的配置的方块图。

图 17 是表示根据实施例 3 的一个变更例子的处理器系统的操作的流程图。

15 图 18 是表示根据实施例 4 的处理器系统的主要部分的配置的方块图。

图 19 是表示实施例 4 的处理器系统的操作的流程图。

图 20 是表示根据实施例 5 的指令序列优化装置的配置的方块图。

图 21 是表示实施例 5 的指令序列优化装置的操作的流程图。

20 图 22 是表示根据实施例 6 的处理器系统的主要部分的配置的方块图。

图 23 是表示根据实施例 6 的电源电压控制部分 701 的具体配置的方块图。

图 24 是表示根据实施例 6 的一个变更例子的处理器系统的主要部分的配置的方块图。

25 图 25 是表示根据实施例 6 的变更例子的电源电压控制部分 701 的具体配置的方块图。

图 26 是表示根据实施例 7 的处理器系统的主要部分的配置的方块图。

图 27 是表示根据实施例 8 的处理器系统的主要部分的配置的方

块图。

图 28 是表示根据实施例 9 的处理器系统的主要部分的配置的方块图。

5 图 29 是表示根据实施例 10 的处理器系统的主要部分的配置的方块图。

图 30 是表示实施例 10 中的操作方式、对处理器的分配、电源电压和时钟频率的组合的表。

图 31 是表示根据实施例 10 的时钟控制部分 916 的具体配置的方块图。

10 图 32 表示根据实施例 10 的频率控制寄存器 106c 的配置。

图 33 是表示根据实施例 10 的电源电压控制部分 917 的具体配置的方块图。

图 34 表示根据实施例 10 的电源电压控制寄存器 701a 的配置。

15 图 35 是表示根据实施例 11 的指令序列优化装置的操作的流程图。

图 36 是表示根据实施例 12 的处理器系统的操作的流程图。

图 37 是表示根据实施例 13 的处理器系统的主要部分的配置的方块图。

20 图 38 是表示根据实施例 13 的电源电压控制部分 927 的具体配置的方块图。

图 39 表示根据实施例 13 的电源电压控制寄存器 701a 的配置。

图 40 是表示实施例 13 中的操作方式、对处理器的分配、电源电压和时钟频率的组合的表。

25 图 41 是表示根据实施例 14 的处理器系统的主要部分的配置的方块图。

图 42 是表示根据实施例 14 的时钟控制部分 936 的具体配置的方块图。

图 43 表示根据实施例 14 的频率控制寄存器 106c 的配置。

图 44 是表示根据实施例 15 的处理器系统的主要部分的配置的方

块图。

图 45 表示根据实施例 15 的故障寄存器 941 的配置。

### 具体实施方式

5 以下，将参考附图描述本发明的实施例。

(例如，本发明的概要和功耗与时钟频率之间的关系)

首先，将描述一种与根据本发明使功耗减小的机制有关的功耗、时钟频率和其他方面之间的关系。

(功耗与时钟频率和电源电压的关系)

10 如果忽略泄漏电流，一个 CMOS 晶体管电路的功耗关于时钟频率和电源电压一般具有以下关系：

$$P \propto K \times C \times V_{dd}^2 \times f \quad (1)$$

其中： P: 功耗

K: 晶体管的转换概率

15 C: 受驱动的负载容量

V<sub>dd</sub>: 电源电压

f: 时钟频率 (晶体管的工作频率)

如以上表达式所示，如果使电源电压或时钟频率减小，功耗减小。具体地，在一个给定周期期间，如果在一个时钟频率下执行循环数大于一个过程 (由过程和数据的详细的组合所确定的过程) 所必需的执行循环数，因为给定过程所必需的执行循环数恒定，所以执行晶体管的非必要触发 (ON/OFF 转换)。鉴于此，如果使时钟频率减小，以减小给定周期之内的执行循环数，则使非必要触发操作数减小，并且从而使功耗减小。

20

25 另外，时钟频率的减小增大电路延迟的容限，所以如下所述允许电源电压减小。因此，使功耗 (如上所述，它与电源电压的平方成比例) 进一步减小。当在两个处理器之间分布一个过程，并且并行执行这些分布过程时，如果时钟频率减小到 1/2，也使电源电压减小，并且处理能力相同。结果，使功耗减小。

(电路的延迟时间与电源电压和晶体管的阈值电压的关系,以及  
泄漏电流与阈值电压之间的关系)

电路的延迟时间(门延迟时间)关于电源电压和晶体管的阈值电压具有以下关系:

$$5 \quad t_d \propto V_{dd} \times C / (V_{dd} - V_t)^2 \quad (2)$$

其中:  $t_d$ : 电路的延迟时间

$C$ : 受驱动负载容量

$V_{dd}$ : 电源电压

$V_t$ : 晶体管的阈值电压

10 假定受驱动负载容量恒定,延迟时间由电源电压和阈值电压确定。具体地,例如,在阈值电压是 0.4 V 的情况下,假定用 2.5 V 电源电压的延迟时间是  $t_{d1}$ , 以及用 1.75 V 电源电压的延迟时间是  $t_{d2}$ , 则建立关系  $t_{d2}/t_{d1} \approx 1.69$ 。如果电源电压从 2.5 V 减小到 1.75 V, 延迟时间增大约 1.69 倍。在  $f$  的时钟频率下用 2.5 V 的电源电压正常操作的电路, 只要时钟频率约是  $f/1.69 \approx 0.59 \times f$  或更低, 即使用减小的 1.75 V 电源电压也可操作。如果电路在约  $0.59 \times f$  的时钟频率下操作, 允许电源电压减小到低达 1.75 V。因此, 如表达式 (1) 所示, 如果时钟频率减小, 不仅通过减小时钟频率本身, 而且通过减小电源电压, 使功耗减小。

20 如果通过减小时钟频率使电路延迟的容限增大, 如上所述使电源电压减小。类似地, 如果阈值电压增大, 泄漏电流减小。也就是, 泄漏电流和阈值具有以下关系:

$$I_{leak} \propto \exp\{-V_t / (S \times \ln 10)\} \quad (3)$$

其中:  $I_{leak}$ : 泄漏电流

25  $S$ :  $S$  因子

具体地, 如果阈值电压用 2.5 V 电源电压从 0.3 V 增大到 0.6 V, 根据公式 (2) 使延迟时间增大 1.34 倍 (如果时钟频率是  $0.75 \times f$  或较低, 电路可操作)。然而, 如果  $S$  因子是 100 mV, 泄漏电流减到约 27%。因此, 由于泄漏电流的减小, 时钟频率的减小也实现功耗的

减小。

具体地，应用最近半导体工艺中电路的小型化，通过在半导体芯片中结合大容量存储器，使阈值电压减小（缩放比例），并且使电路规模增大，例如，导致泄漏电流的增大趋于越来越显著。另一方面，如果减小时钟频率，以允许增大延迟时间，例如通过控制衬底电压以便增大阈值电压，使功耗减小。

如上所述这样的阈值电压例如可以通过设置杂质浓度而静态地设置。另一方面，阈值电压例如还可以通过控制半导体衬底的电压，即通过对一个衬底节点（如果设置，一个阱）和晶体管的一个源节点施加反向偏置电压而动态地设置。

根据本发明，利用上述功耗与时钟频率、电源电压和阈值电压的关系，以便将指令分配给执行各自指令的多个处理器，并且按照处理器的处理（执行指令的处理时间），例如控制供给各处理器的时钟频率。这样能够使功耗大大减小而不使总处理能力恶化。

以下，将描述本发明的具体实施例。

#### （实施例1）

如实施例1，将描述一个例子，其中在一个由半导体集成电路构成的处理器系统中，根据加到指令的标志，执行对各自模块（功能块）例如CPU和硬件引擎（HWE）的指令分配，和时钟频率的控制。

图1是表示一个处理器系统的主要部分的配置的方块图。该处理器系统包括：一个存储部分100；一个标志检测器101；一个指令分配控制部分102；一个CPU103；一个HWE104；一个SRAM105；一个时钟控制部分106；和一条总线107。（标志检测器101和指令分配控制部分102构成一个分配控制装置，并且标志检测器101和时钟控制部分106构成一个时钟控制装置。）

存储部分100存储待执行的指令的指令代码，并且例如由一个ROM构成，其中预先存储指令代码，或由一个RAM构成，其中装入存储在硬盘上的指令代码。指令代码包含指示与CPU103和HWE104的时钟频率有关的操作方式的信息。具体地，如图2所示，例如，构

成指令代码，以便对表示指令细节的指令代码的本身，加上分配控制标志，指示 CPU 103 和 HWE 104 中的哪一个执行指令，和时钟控制标志，指示用于操作 CPU 103 和 HWE 104 的时钟信号的频率。更具体地，如图 3 所示，例如，在时钟控制标志中，两个最高有效位指示供给 CPU 103 的时钟信号的频率，并且两个最低有效位指示供给 HWE 104 的时钟信号的频率。这样标志例如不仅能由程序设计员加上，而且能使用后面将要描述的指令序列优化装置自动地加上。CPU 103 的各时钟频率不一定与 HWE 104 的各时钟频率独立地指定，并且反之亦然。可选择地，可以指定时钟频率的组合。如果时钟频率不特别地指定，可以选择最高时钟频率。

标志检测器 101 向指令分配控制部分 102 输出从存储部分 100 读出的指令代码，和根据指令代码中包含的控制标志的分配控制信号，并且还向时钟控制部分 106 输出根据时钟控制标志的时钟控制信号。

指令分配控制部分 102 按照从标志检测器 101 输出的分配控制信号，把指令代码传送给 CPU 103 或 HWE 104。例如，标志检测器 101 和指令分配控制部分 102 可以由硬件构成，或可以由比 CPU 103 较高级别的处理器构成。指令代码不一定直接传送给 CPU 103 或 HWE 104，而可以通过总线 107 传送到那里。

CPU 103 可以是一个多种用途处理器，例如，它使用其中包括的计算资源或 SRAM 105，执行各种类型的通用指令。（CPU 103 可以具有控制整个半导体集成电路的各种操作的功能。）

另一方面，HWE 104 是一个处理器，例如，利用它通过一条或一系列指令，以高速（用少数处理循环）并且独立于（即分离于）CPU 103 的处理，执行具体操作（程序处理），例如 MPEG-4 操作、维特比解码或乘法累积操作。（在这种情况下，为了简单起见，例如，根据图 2 所示从地址 0000 至地址 0003 的循环过程以高速执行的假定，给出描述。）

SRAM 105 通过总线 107 与 CPU 103 和 HWE 104 连接，并且用作

一个共享存储器，其中存储用于 CPU 103 或 HWE 104 的处理的临时数据或其他类似数据。关于这样存储器，一般使用能够高速操作的 SRAM（静态 RAM），但是本发明不限于此。

5 时钟控制部分 106 向 CPU 103、HWE 104 和 SRAM 105 供给时钟信号，这些时钟信号具有根据从标志检测器 101 输出的时钟控制信号的频率。具体地，如图 4 所示，时钟控制部分 106 包括：一个时钟发生器 106a，用于产生具有给定频率的时钟信号；多个分频器 106b，用于按给定比划分时钟信号的频率；一个频率控制寄存器 106c，用于保持从标志检测器 101 输出的时钟控制信号；和一个选择器 106d，  
10 用于向 CPU 103、HWE 104 和 SRAM 105 选择地输出一个时钟信号，它具有根据频率控制寄存器 106c 中保持的信息的频率。

现在，将描述这样构成的处理器系统怎样操作。图 5 是表示当执行存储在存储部分 100 中的指令时所执行的控制操作的流程图。图中示意表示处理器系统的控制操作。然而，实际中并不按图中所示  
15 的顺序执行各自步骤，并且一般并行执行各自部分的操作。

(S100)标志检测器 101 预取存储在存储部分 100 中的指令代码（或指令代码集），并且检测指令代码中包含的分配控制标志和时钟控制标志。

(S101)至(S103)其次，根据分配控制标志的检测结果，标志  
20 检测器 101 然后向指令分配控制部分 102 输出一个指示 CPU 103 或 HWE 104 的分配控制信号和指令代码。此时，标志可以保留在指令代码中，或可以从那里移去。

(S104)其后，根据时钟控制标志的检测结果，标志检测器 101 向时钟控制部分 106 输出一个时钟控制信号。

25 (S105)时钟控制部分 106 按照时钟控制信号，分别转换输出给 CPU 103 和 HWE 104 的时钟信号的频率。具体地，在图 2 所示的程序例子中，当执行地址 0000 至 0004 的指令代码时，向 HWE 104 供给具有  $f$  频率的时钟信号。另一方面，当执行地址 0005 至 0008 的指令代码时，向 CPU 103 供给具有  $f/2$  频率的时钟信号，而当执行



地址 0009 的指令代码时，对其供给具有  $f$  频率的时钟信号。在供给 CPU 103 和 HWE 104 的时钟信号中，向 SRAM 105 供给具有较高频率的时钟信号。

(S106)指令分配控制部分 102 按照从标志检测器 101 输出的分配控制信号，向 CPU 103 或 HWE 104 传送指令代码。在图 2 所示的程序例子中，把地址 0000 至 0004 的指令代码传送给 HWE 104 执行。把地址 0005 至 0009 的指令代码传送给 CPU 103 执行。

现在，将简短描述图 2 所示程序的内容。地址 0000 至 0003 的指令代码指示执行循环操作，其中使地址 0001 至 0002 的指令代码重复四次。地址 0004 的指令代码指示循环操作使数据保持在 HWE 104 中的一个寄存器 (A) 中，并且然后存储在 SRAM 105 中由地址 xxxx 表示的区域中。地址 0009 的指令代码指示在由 CPU 103 进行地址 0005 至 0008 的处理之后，把由 HWE 104 存储在 SRAM 105 中的数据加到已经保持在 CPU 103 中的寄存器 (A) 中的数据。

如图 6 所示，在执行这样的程序中，把地址 0000 至 0004 的指令代码传送给 HWE 104 执行。另一方面，把地址 0005 至 0008 的指令代码顺序地传送执行，并与 HWE 104 的执行同时。

例如，假定由 HWE 104 对地址 0000 至 0003 的指令代码的执行在一个循环中用两个时钟执行，并且是如 CPU 103 那样有效的两倍，而且地址 0004 的指令代码的执行用一个时钟执行，于是总计需要九个时钟 (两个时钟  $\times$  四个循环 + 一个时钟)。另一方面，假定由 CPU 103 对地址 0005 至 0008 的指令代码的执行用四个时钟执行，那么需要的时钟数是 HWE 104 的循环操作所必需的时钟数的约  $1/2$ 。

因此，如果向 CPU 103 和 HWE 104 供给具有  $f$  相同频率的时钟信号，CPU 103 在一个约是 HWE 104 所用周期的  $1/2$  的周期内，完成直至地址 0008 的指令代码的执行。在这种情况下，下一个地址 0009 的指令代码参考 HWE 104 的循环操作的结果，并且因而在这个循环操作终止以前不执行。在这个周期期间，CPU 103 浪费电功率。具体地，在其中 CPU 103 和 HWE 104 的处理也需要集成的情况下，即使

CPU 103 和 HWE 104 中的一个的处理较早完成（因为由于相对过剩的操作性能引起的高处理能力），完成的处理需要在保持其内部状态下等待另一个处理的结果。在这个等待周期期间，空闲状态继续，以便因为不必要触发而连续地消耗功率。

5       如上所述，在本实施例的处理器系统中，当 CPU 103 执行地址 0005 至 0009 的指令代码时，根据时钟控制标志向 CPU 103 供给一个具有  $f/2$  频率的时钟信号。因此，使 CPU 103 消耗的功率减小为约  $1/2$ ，并且 CPU 103 的处理几乎与对其供给一个具有  $f$  频率的时钟信号的 HWE 104 的处理终止同时终止（即这些处理在相同周期之内执行）。

10       这样避免使整个处理器系统的处理能力降级。也就是，在一种其中使时钟频率的组合优化的操作方式下，执行各种过程，以实现高处理能力和低功耗两者。另外，如上所述，根据加到指令代码的标志来执行对处理器的分配和时钟频率的控制，所以不必提供复杂的解码电路或其他类似电路。结果，使电路规模减小。

15       根据各指令的必需时钟数和能够供给的频率，可能不会消除等待时间。即使这样情况，如果通过使用低于最大值的频率来缩短等待时间，也使功耗减小而不使处理能力降级。

      例如，如果 CPU 103 和 HWE 104 中的一个不操作，即不对其分配执行指令，或终止处理器的指令执行的定时相互不精确地一致，以引起等待时间，可以停止时钟信号的供给（或可以禁止输入时钟信号）。

20

      （实施例 2）

      现在，将描述一种用于产生指令代码的指令序列优化装置的例子，如上所述，对其加上用于控制对处理器的分配和时钟频率的标志。

25

      该指令序列优化装置由一台用于执行程序例如编译程序和优化程序的计算机机构。图 7 示出其功能配置。

      在图中，存储部分 201 存储在加上标志之前和之后的源程序和目标程序。源程序的例子包括由指令代码序列构成的可执行机器语言

程序、汇编程序和更抽象的 C 语言程序。在汇编程序或 C 语言程序的情况下，例如，可以与翻译成机器语言程序同时地加上标志，或可以在产生一个包含指示加上标志的信息的插入程序之后，产生一个对其加上标志的机器语言程序。

- 5       指令分析器 202（指令分析装置）分析一个源程序，以确定哪个处理器能够执行源程序中包含的指令（包括由指令序列形成的指令集），以及指令是否能够并行执行。指令分析器 202 还确定指令之间的关系（过程之间的依赖关系），即执行定时的约束，如果参考一条指令 I1 的执行结果以执行另一条指令 I2，则指令 I2 在指令 I1
- 10 完成以前不执行。

- 标准执行周期估计部分 203（执行周期估计装置）估计一个在其期间由处理器以标准时钟频率（例如，最大频率：以下，称为“标准时钟频率”）执行一条指令的标准执行周期。具体地，通过参考一个记录由各处理器执行各种指令所必需的时钟数的表，并且通过
- 15 把这个时钟数乘以标准时钟频率的倒数（ $1/f$ ）得到标准执行周期。关于必需时钟数，按上述方式得到一个给定参考处理器执行所必需的时钟数，并且把得到的必需时钟数乘以另一个处理器执行的效率（关于给定参考处理器的处理能力比），从而容易地估计另一个处理器执行所必需的时钟数。例如，在程序中包括循环操作或条件分支
- 20 的情况下，必需时钟数不总是精确地得到。在这样情况下，例如，如果例如使用样本数据、程序设计员的规范或其他类似条件，通过模拟设置循环操作或条件分支数，则得到适当估计值或最坏值作为必需时钟数。

- 转换执行时间计算部分 204 计算一种情况所必需的转换执行周
- 25 期，这种情况中指令由各自处理器在各种时钟频率下执行。具体地，通过标准执行周期 $\times$ （标准时钟频率/各时钟频率）得到各转换执行周期。可选择地，通过参考一个表可以得到转换执行周期，在这个表中预先记录与标准执行周期和各种时钟频率的各自组合相应的转换执行周期。

关于标准执行周期和转换执行周期,照字面意义可以使用以时间为单位的值,或可以代替使用时钟数。具体地,例如,必需时钟数可以用作标准执行周期,并且可以根据各时钟频率,将必需时钟数 $\times$ (标准时钟频率/各时钟频率)用作一个转换执行周期。

5 分配/时钟频率确定部分 205(分配确定装置和时钟频率确定装置)根据指示能够执行指令的处理器约束和指令分析器 202 确定的执行定时两者的信息,并且还根据由转换执行时间计算部分 204 计算的各自指令的转换执行周期,确定在执行各自指令中,对处理器的指令分配和供给的时钟信号的频率,以便使功耗最小。具体地,  
10 如图 8A 和 8B 所示,例如,在其中处理器 A 和 B 执行指令 a 和 b 的情况下,假定时钟频率是  $f$ ,处理器 A 和 B 两者对于指令 a 需要相同执行周期,处理器 A 对指令 b 的执行周期是处理器 B 对指令 b 的执行周期的  $1/2$ ,并且在完成指令 a 和 b 两者的执行以前,不执行下一条指令。于是,如果指令 b 由处理器 A 执行,处理器 A 的处理具有  
15 一个容限。因此,如果把处理器 A 的时钟频率调整为  $f/2$ ,则使功耗降低而不影响总处理时间。

标志添加部分 206(分配控制信息添加装置和时钟控制信息添加装置)根据分配/时钟频率确定部分 205 确定的分配和频率,对如图 2 所示包括各自指令的指令代码加上分配控制标志和时钟控制标志。  
20 代替或连同分配控制标志的添加,可以用一个并行处理指令来代替能够由 CPU 103 和 HWE 104 并行执行的一条或一系列指令集。

现在,将参考图 9 描述指令序列优化装置怎样操作。

(S1000)首先,分析源程序,并且确定能够执行各自指令的处理器。如果并行执行多条指令,检测指令执行定时的约束,即在所有  
25 当前指令的执行完成以前,禁止下一条指令的执行的约束。

(S1001)其次,确定源程序中包括的所有指令是否仅可由一个给定处理器执行。如果确定结果为 Yes,因为所有指令仅需由给定处理器例如在最大时钟频率下执行,所以过程进到(S1006),将在后面描述。

(S1002) 如果在 (S1001) 的确定结果为 No, 估计在其期间由各自处理器在它们的标准频率下执行指令的标准执行周期。

(S1003) 其后, 计算处理器在各种时钟频率下执行指令所必需的转换执行周期。

- 5 (S1004) 根据这样计算的转换执行周期和在 (S1000) 检测的指令之间的关系 (执行指令的定时的约束), 确定对处理器的指令分配和执行指令所供给的时钟信号频率, 以便使功耗最小。

具体地, 首先, 如参考图 8 所述, 在能够执行指令的处理器指令分配的所有组合之中, 检测一个当所有处理器例如在标准时钟频率下操作时在其处理中具有容限的处理器, 即一个等待其他处理器的处理终止的处理器。然后, 得到不影响具有容限的处理器总处理时间的最小时钟频率, 即允许一个其结果由一个随后指令参考的操作, 以在其他处理器的操作之前终止的最小频率 (例如, 或这样频率与标准时钟频率之间的比)。(应该注意, 实际中, 把各标准执行周期与关联的转换执行周期比较, 以便可以得到与等于或短于标准执行周期的转换执行周期中的最长转换执行周期相应的频率。)

按这样方式, 在各分配组合中, 使处理器的指令执行与各自执行的时钟频率相关联, 以便得到各分配组合的功耗 (实际中, 例如, 它可以是指令执行所必需的总时钟数)。

- 20 因此, 如果得到实现最低功耗的分配组合, 则确定了使功耗减小而不使处理能力降级的指令分配和时钟频率。

(S1005) 把根据确定的指令分配和时钟频率的分配控制标志和时钟控制标志加到源程序中包括的指令的指令代码, 并且把得到的指令代码作为目标程序存储在存储部分 201 中。

- 25 (S1006) 另一方面, 如果在 (S1001) 确定源程序中包括的所有指令仅可由一个给定处理器执行, 如上所述, 这些指令仅需由给定处理器例如在最大时钟频率下执行。因此, 把指示对给定对处理器的分配的分配标志和指示最大时钟频率的时钟控制标志加到源程序中包括的指令的指令代码。

(S1007) 重复从 (S1002) 至 (S1005) 的过程, 直至完成源程序中包括的所有指令的处理。

因此, 产生指令代码, 其中按上述方式加上分配控制标志和时钟控制标志, 因而得到一个程序, 允许一个如实施例 1 所述包括多个处理器的处理器系统以大大减小的功耗, 并且不使处理能力降级地操作。

在 (S1004), 在所有分配的组合数大的情况下, 例如, 可以省略其中对少数处理器分配极大量指令的组的考虑, 以便能减小优化装置的处理负载。具体地, 例如, 在确定对处理器的分配中, 例如可以根据由图 7 和图 9 虚线指示的预定处理比例设置信息 (通过一个处理比例设置装置), 使各处理器的处理量的比例 (例如, 处理时间或总必需时钟数) 限制为给定范围, 以便在给定范围之内从分配组合中选择一个实现最低功耗的组合。然后, 以高速执行如上所述的标志添加。在这样情况下, 增加处理器在执行指令时的并行性 (同时操作的处理器数), 导致以较高速执行所有指令。特别地, 如果有可能个别地设置处理比例, 则根据处理器系统的目的调整处理器系统的功耗, 处理器系统中执行指令的速度, 和优化装置在标志添加时的负载。另外, 如上所述的这样过程不一定一次对源程序中包括的所有指令执行, 并且可以对每个给定指令序列执行。即使在这样情况下, 如果适当设置指令序列的长度, 以减小局部功耗, 也大大减小总功耗, 并且还减小分配的组合数, 因而也减小优化装置的处理负载。

在计算功耗时, 例如, 可以在考虑处理器之间的功耗的差下, 执行给定系数的乘法, 以便保证功耗的减小。

在前述例子中, 转换执行周期用来确定一个在其处理时具有容限的处理器和不影响总处理时间的最小时钟频率。然而, 本发明不限于本例, 并且可以使用标准执行周期。具体地, 例如根据标准执行周期之间的差, 可以确定容限的存在, 或例如根据标准执行周期之间的比, 例如可以得到最小时钟频率。

(实施例 2 的变更例子)

将描述另一个指令序列优化装置,其中按如实施例 2 的指令序列优化装置的相同方式,对指令代码加上一个标志。以下,例如,与实施例 1 和 2 所述的那些具有类似功能的部件用同样标号指示,并且因而将省略其描述。

在本指令序列优化装置中,确定对处理器的指令分配,以便一条可由多个处理器执行的指令由一个表现最短标准执行周期的处理器来执行,并且确定时钟频率,以便根据分配使功耗减小。具体地,如图 10 所示,例如,本装置不同于实施例 2 的装置(图 7 所示),在于提供一个分配确定部分 311 和一个时钟频率确定部分 312,以代替分配/时钟频率确定部分 205。

分配确定部分 311 确定分配,以便一条可由多个处理器执行的指令,由一个表现由标准执行周期估计部分 203 所计算的最短标准执行周期(即具有最小必需时钟数)的处理器来执行。

时钟频率确定部分 312 确定时钟频率,以便关于如上所述确定的分配,当所有处理器在标准时钟频率下操作时,使一个在其处理时具有容限的处理器在不影响总处理时间(即,以便使等待时间最小)的最小时钟频率下操作。

如图 11 所示,这样构成的指令序列优化装置的操作在以下过程不同于实施例 2(图 9 所示)的操作。

(S1151)在计算了标准执行周期之后(S1002),确定对处理器的分配,以便一条可由多个处理器执行的指令由一个表现最短标准执行周期的处理器来执行。

(S1104)和图 9 中的(S1004)不同,仅确定时钟频率。具体地,执行这个确定,以便当各指令由在(S1151)分配的处理器在标准时钟频率下执行时,对一个其中为其他处理器的终止出现等待时间(即具有容限)的处理器,供给一个具有使等待时间减小并且不影响总处理时间的最小频率的时钟信号。因此,在如上所述的处理器分配的范围之内,在不使处理器系统的处理能力降级下,减小功耗。

在这样确定对处理器的分配和时钟频率之后,按如实施例 2 那样的相同方式,在(S1005)把根据这个确定的分配控制标志和时钟控制标志加到指令代码。

5 如上所述,各指令由一个表现最短标准执行周期的处理器来执行,提高执行指令代码的效率,以便减小总必需时钟数。另外,对一个在其执行周期中具有容限的处理器供给一个减小频率的时钟信号,使得晶体管的不必要触发减小,因而大大减小功耗。而且,仅对一组对处理器的分配组合执行时钟频率的确定,以便使优化装置的处理负载减小,并且高速执行标志添加。

10 如上所述,在执行分配以便使各指令由一个表现最短执行周期的处理器执行的情况下,一个包括大量相同类型指令的程序可能分配给一个或少数处理器。在这种情况下,虽然功耗减小,但使处理器处理的并行性减小,使得整个程序执行所需要的时间变长。因此,为了缩短整个程序的执行周期,甚至允许在某种程度上增大功耗,如实施例 2 那样,例如,根据图 10 和 11 虚线所示的比例设置信息,使各处理器的处理量的比例限制为给定范围。

20 例如,代替分配给一个表现最短标准执行周期的处理器,可以把各指令分配给一个处理器,以便当所有处理器在它们的标准时钟频率下操作时,使整个程序(或一个给定指令序列的全部)的执行周期最短。具体地,可由多个处理器执行的各指令不一定分配给一个表现最短执行周期的处理器。如果把这样指令分配给另一个能够与该处理器同时执行指令的处理器,以提高处理器执行指令的并行性,则例如使整个程序的执行周期缩短。即使在这样情况下,对一个在其执行周期内具有容限的处理器供给减小频率的时钟信号,也抑制  
25 晶体管的不必要触发,从而减小功耗。在这种情况下,同样,例如如果如上所述使各处理器的处理量的比例限制为给定范围,以便确定分配,使得这个范围之内缩短执行周期,则使优化装置的处理负载减小。

而且,例如,当分配确定部分 311(重排装置)确定对处理器的



分配时，可以按不同顺序重排指令的执行。更具体地，如图 12 所示，例如，除图 11 所示的步骤外，可以在 (S1251) 重排指令。

具体地，例如在把如图 13A 所示的指令 a 至 d 写入一个源程序的情况下，假定指令 a 和 c 各自可由处理器 A 用四个时钟顺序地执行，指令 b 在传送到处理器 B 之后可独立于处理器 A 的操作用 12 个时钟执行，以及指令 d 可在指令 a 至 c 的执行终止之后执行。于是，如果按源程序所述的顺序执行处理，如下按图 13B 所示的方式执行指令：

(1) 当顺序地传送给处理器 A 的时候，在时钟频率是  $f$  并且必需时钟数是 4 的条件下，执行指令 a。

(2) 在指令 a 终止之后，一次把整个指令 b 传送给处理器 B，并且然后在时钟频率是  $f$  且必需时钟数是 12 的条件下执行。

(3) 与指令 b 的执行并行，当顺序地传送时，在时钟频率是  $f/3$  且必需时钟数是 4 (当时钟频率是  $f$  时转换执行周期与 12 个时钟相应) 的条件下，执行指令 c。

在按如图 13C 所示的不同顺序重排指令的执行的条件下，如下按图 13D 所示的方式执行指令：

(1) 一次把整个指令 b 传送给处理器 B，并且然后在时钟频率是  $f \times 3/4$  且必需时钟数是 12 (转换执行周期与 16 个时钟相应) 的条件下执行。

(2) 与指令 b 的执行并行，当顺序地传送给处理器 A 的时候，在时钟频率是  $f/2$  且必需时钟数是 4 (转换执行周期与 8 个时钟相应) 的条件下，执行指令 a。

(3) 随后，在时钟频率是  $f/2$  且必需时钟数是 4 (转换执行周期与 8 个时钟相应) 的条件下，同样执行指令 c。

也就是，按不同次序重排指令的执行，以便提高处理器处理的并行性，从而增大执行周期的容限。因此，能在低时钟频率下执行各指令 a 至 c，因而大大减小功耗。如果使时钟频率减小，例如由于后面将要描述的电源电压的减小，能进一步减小功耗。然而，如重排

之后那样通过使时钟频率关于指令 a 和 c 减小到  $f/2$  而使功耗的减小,要大于在原执行序列中通过使时钟频率仅关于指令 c 减小到  $f/3$  而使功耗的减小。可以执行上述指令执行的重排,以便如图 13E 所示,在  $f$  时钟频率下执行指令 b,并且在  $f \times 2/3$  频率下执行指令 a 和 b。在这样情况下,与指令执行的重排之前比较,提高总处理速度,并且减小功耗。

(实施例 3)

现在,将描述一个处理器系统的例子,在某种程度上如实施例 1 所述那样根据加到指令代码的标志,通过控制时钟频率和其他方面,甚至使用不包含标志的通常指令代码,也能够减小功耗。代替检测加到指令代码的标志,如实施例 2 的指令序列优化装置那样,本处理器具有确定指令分配和时钟频率的功能,以便根据确定来控制指令分配和时钟频率。

具体地,如图 14 所示,例如,提供一个指令分析器 402 (指令分析装置);一个标准执行周期估计部分 403 (执行周期估计装置);一个转换执行周期计算部分 404;一个分配/时钟频率确定部分 405 (分配确定装置和时钟频率确定装置),以代替实施例 1 的标志检测器 101 (图 1 所示)。这些部件分别具有与实施例 2 (图 7 所示)的指令分析器 202、标准执行周期估计部分 203、转换执行周期计算部分 204 和分配/时钟频率确定部分 205 的那些功能类似的功能。应该注意,如实施例 2 所述的指令序列优化装置设有前述软件功能和计算机,而本实施例的处理器系统一般地由硬件构成,用于根据 CPU 103 和 HWE 104 在执行指令时的速度定时控制。(然而,本发明不限于此,并且例如可以由一个处理器或其他比 CPU 103 较高级别的处理器来实现控制。)

如图 15 所示,一般地,本处理器系统的操作与实施例 1 和 2 (图 5 和 9 所示)所述的操作组合的操作类似。

(S1300) 首先,指令分析器 402 预取存储在存储部分 100 中的给定量的指令代码序列。基本上按在实施例 2 中 (S1000) 那样的类

似方式分析指令代码。然而，如果指令分析器 402 由硬件构成，整个指令代码不一定一次分析，并且可以分析根据硬件的规模的给定量的每个指令代码序列。

(S1301)其次，如果预取指令代码序列中包括的指令可仅由 CPU 103 和 HWE 104 中的一个执行，并且 CPU 103 和 HWE 104 中能执行指令的这一个在操作状态下（即在一种其中没有完成其他指令的执行的执行的状态下），过程进到 (S1306)，将在后面描述，并且然后输出一个分配信号，指示 CPU 103 和 HWE 104 中能够执行指令的一个，和一个时钟控制信号，例如指示最大时钟频率。也就是，在这样情况下，CPU 103 和 HWE 104 不并行操作，所以整个前述处理能力取决于各自指令的执行周期。因此，如上所述需要设置分配和时钟频率。

(S1002)至 (S1004)另一方面，如果指令代码序列中包括的指令可分别在 CPU 103 和 HWE 104 中的不同个执行，或可在 CPU 103 和 HWE 104 中不在执行另一个指令的一个执行，则能执行并行处理。因此，按如实施例 2 (图 9) 所述的相同方式，估计标准执行周期，并且计算转换执行周期。然后，确定对处理器的分配和时钟频率，以便在预取指令代码序列的执行期间使功耗最小。

(S1305)分别向指令分配控制部分 102 和时钟控制部分 106，输出根据指令分配和时钟频率确定的分配控制信号和时钟控制信号。

(S1306)如 (S1301)所述，如果预取指令代码序列中包括的各指令可仅由 CPU 103 和 HWE 104 中的一个执行，并且 CPU 103 和 HWE 104 中能够执行指令的这一个确定在一种其中没有完成另一个指令的执行的执行的状态下，则输出一个分配信号，指示 CPU 103 和 HWE 104 中能够执行指令的一个，和一个时钟控制信号，指示最大时钟频率。

(S105)至 (S106)时钟控制部分 106 按照时钟控制信号转换输出给 CPU 103、HWE 104 和 SRAM 105 的时钟信号的频率。指令分配控制部分 102 按照分配控制信号把指令代码传送给 CPU 103 或 HWE 104 以执行指令。

如上所述，通过分析执行期间的指令代码，确定对处理器的分配和时钟频率，以便即使在使用其中没有加上标志的通常指令代码的情况下，也使功耗减小。

在本实施例的处理器系统中，例如，根据处理比例设置信息，如图 14 和图 15 虚线所示，把各处理器的处理量的比例限制为给定范围（通过处理比例设置装置），以在这个范围之内从分配组合中选择一个实现最低功耗的组合。因此，用于得到使功耗最小的分配组合的硬件规模减小，并且 CPU 103 和 HWE 104 处理的并行性增大，从而提高执行整个指令序列的速度。

10 （实施例 3 的变更例子）

将描述另一个处理器系统，如实施例 3 的处理器系统那样，它能够甚至通过使用不包含标志的通常指令代码来减小功耗。

本处理器系统具有与实施例 2 的变更例子（图 10 所示）所述的功能类似的功能，以控制指令分配和时钟频率，而实施例 3 的处理器系统（图 14 所示）如实施例 2 的指令序列优化装置（图 7 所示）那样，具有确定指令分配和时钟频率的功能。具体地，确定指令的分配，以便可由 CPU 103 和 HWE 104 中的任何一个执行的指令，由这些处理器中表现较短标准执行周期的一个执行，并且根据分配以减小功耗这样方式确定时钟频率，从而控制分配和频率。更具体地，如图 16 所示，例如，本变更例子不同于实施例 3（图 14 所示），在于提供一个分配确定部分 511 和一个时钟频率确定部分 512，代替分配/时钟频率确定部分 405。

分配确定部分 511 和时钟频率确定部分 512 具有与实施例 2 的变更例子（图 10 所示）的分配确定部分 311 和时钟频率确定部分 312 的那些功能类似的各自功能。具体地，分配确定部分 511 确定分配，以便根据标准执行周期估计部分 403 计算的标准执行周期，使处理器中表现较短标准执行周期（即具有较少必需时钟数）的一个执行可由处理器两者执行的各指令。

应用这样确定的分配，时钟频率确定部分 512 确定时钟频率，以

便当处理器两者例如在标准时钟频率下操作时，使处理器中在其处理时具有较大容限的一个在不影响总处理时间的最小时钟频率下操作。

5 这样构成的处理器系统的操作不同于如图 17 所示的实施例 3(图 15 所示)的操作。(这个不同与实施例 2 的指令序列优化装置的操作(图 9 所示)和其变更例子的装置的操作(图 11 所示)之间的不同类似。)

(S1151)在计算了标准执行周期之后(S1002)，确定分配，以便根据标准执行周期，使处理器中表现较短标准执行周期的一个执行  
10 行可由处理器两者执行的指令。

(S1004)不同于图 15 的(S1004)，仅确定时钟频率。具体地，当由在(S1151)分配的各自处理器在标准时钟频率下执行指令时，确定时钟频率，以便对一个其中在其他处理器终止之前出现一个等待时间(即具有容限)的处理器，供给一个具有减小这个等待时间  
15 且不影响总处理时间的最小频率的时钟信号。因此，在如上所述的对处理器的分配的范围之内，在不使处理器系统的处理能力降级下，使功耗减小。

在如上所述确定了对处理器的分配和时钟频率之后，如实施例 3 那样在(S1305)根据确定对指令分配控制部分 102 和时钟控制部分  
20 106，输出分配控制信号和时钟控制信号。在(S105)至(S106)，时钟控制部分 106 转换输出给 CPU 103、HWE 104 和 SRAM 105 的时钟信号的频率，并且指令分配控制部分 102 把指令代码传送给 CPU 103 或 HWE 104 以执行指令。

如上所述，各指令由一个表现较短标准执行周期的处理器执行，  
25 以便提高执行指令代码的效率，并且从而减小总必需时钟数。另外，减小供给一个在其执行周期内具有容限的处理器时钟信号的频率，所以抑制晶体管的不必要触发，因而大大减小功耗。而且，用于确定具有较短标准执行周期的处理器的过程，比如实施例 3 那样从分配的各种组合中，得到一个实现最低功耗的组合的过程容易。

另外，仅对一组对处理器的分配的组确定时钟频率，所以使分配确定部分 511 和时钟频率确定部分 512 的电路规模减小。

在实施例 3 的变更例子中，为了减小用于确定一个表现较短标准执行周期的处理器的硬件规模，以及通过增大处理器处理的并行性，  
5 缩短整个指令代码序列的执行周期，同时在某种程度上允许增大功耗，例如根据如图 16 和 17 虚线所示的处理比例设置信息，把各处理器的处理量的比例限制为一个给定范围。

代替对各指令由一个表现最短标准执行周期的处理器来执行的分配，可以确定对处理器的分配，以便例如当所有处理器在标准时钟频率下操作时，总执行周期最短。另外，通过把各处理器的处理量的比例限制为给定范围，以及通过确定分配以在给定范围之内减小执行周期，可以减小用于确定对处理器的分配的硬件规模。  
10

(实施例 4)

在实施例 1 中，对处理器的分配和时钟频率的控制两者都根据加到指令代码的标志。在实施例 3 中，分配和控制根据处理器系统对指令代码的分析。可选择地，可以仅使对处理器的分配根据标志，以及可以使时钟频率的控制根据分析。  
15

如图 18 所示，例如，根据本实施例的处理器系统不同于实施例 3 (图 14 所示) 的处理器系统，在于包括：一个标志检测器 601；一个指令分析器 602；和一个时钟频率确定部分 512，以代替实施例 3 的指令分析器 402 和分配/时钟频率确定部分 405。  
20

标志检测器 601 仅在检测指令代码中包括的分配控制标志方面不同于实施例 1 (图 1 所示) 的标志检测器 101，并且把从存储部分 100 读出的指令代码输出给一个指令分配控制部分 102，以及检测一个分配控制标志，以向指令分配控制部分 102 和时钟频率确定部分 512 输出根据这个标志的一个分配控制信号。  
25

除实施例 2 的变更例子 (图 10 所示) 的指令分析器 202 的功能以外，指令分析器 602 具有一个功能，以分析用于确定时钟频率所必需的信息，即指令之间的关系 (过程之间的依赖关系) 或执行定

时的约束。

时钟频率确定部分 512 与实施例 3 的变更例子（图 15 所示）的那样相同，并且根据从标志检测器 601 输出的分配控制信号，确定时钟频率，以便当 CPU 103 和 HWE 104 例如在它们的标准时钟频率下操作时，使这些处理器中在其处理时具有较大容限的一个在不影响总处理时间的最小时钟频率下操作。

以下，将参考图 19 描述这样构成的处理器系统怎样操作。

（S1400）标志检测器 601 预取存储在存储部分 100 中的指令代码（或指令代码集），并且检测指令代码中包含的分配控制标志。

10 指令分析器 602 例如分析在预取指令代码中对执行定时的约束。

（S101）至（S103）然后，标志检测器 601 根据分配控制标志的检测结果，把一个指示 CPU 103 或 HWE 104 的分配控制信号输出给指令分配控制部分 102。使指令代码在对其加上或从其移去标志下输出给指令分配控制部分 102。

15 （S1002）标准执行周期估计部分 403 估计标准执行周期，在其期间处理器在各自标准时钟频率下执行指令。

（S1003）转换执行周期计算部分 404 计算处理器在各种时钟频率下各自执行指令所必需的转换执行周期。

（S1404）时钟频率确定部分 512 根据从标志检测器 601 输出的分配控制标志，根据分配控制信号，确定供给处理器的时钟信号的频率。具体地，当指令由处理器根据标志在标准时钟频率下执行时，确定时钟频率，以便对一个其中在其他处理器的处理终止之前出现一个等待时间（即具有容限）的处理器，供给一个具有减小这个等待时间且不影响总处理时间的最小频率的时钟信号。因此，如上所述在对处理器的分配的范围之内，在不使处理器系统的处理能力降级下，使功耗减小。

（S1405）时钟频率确定部分 512 根据对时钟频率的确定，向时钟控制部分 106 输出一个时钟控制信号。

（S105）至（S106）时钟控制部分 106 按照时钟控制信号，转换

输出给 CPU 103、HWE 104 和 SRAM 105 的时钟信号的频率。指令分配控制部分 102 按照分配控制信号把指令代码传送给 CPU 103 或 HWE 104，并且然后执行指令。

如上所述，按上述方式执行对处理器的分配和时钟频率的控制，因而减小功耗而不使处理能力降级。另外，根据分配控制标志执行对处理器的分配。因此，指令分析器 602 例如仅需分析确定时钟频率所必需的执行定时的约束。时钟频率确定部分 512 仅需对一组对处理器的分配的组合确定时钟频率。因此，与实施例 3 的处理器系统比较，减小指令分析器 602 和时钟频率确定部分 512 的电路规模。

10 (实施例 5)

例如，通过如图 20 所示的指令序列优化装置，能产生指令代码，以如实施例 4 所述，仅对其加上一个用于控制对处理器的分配的标志。

具体地，对实施例 2 的变更例子（图 10 所示）的指令序列优化装置，提供加上一个分配控制标志所必需的功能，并且按照分配确定部分 311 的确定，使标志添加部分 706 仅对指令代码加上一个分配控制标志。

如图 21 所示，这个指令序列优化装置的操作不同于实施例 2 的变更例子（图 11 所示）那样，仅在于省略用于确定时钟频率的过程（S1003）和（S1104），并且在（S1505）和（S1506）仅加上一个分配控制标志。

如实施例 2 的变更例子那样，在本实施例中，例如根据图 20 和图 21 虚线所示的处理比例设置信息，也可以把各处理器的处理量的比例限制为给定范围，也可以确定对处理器的分配，以便使总执行周期最小，或也可以按不同次序重排指令的执行。

25 (实施例 6)

将描述一个处理器系统的例子，其中如上所述控制时钟频率，并且控制供给 CPU 13 和其他处理器的电源电压。时钟频率的减小使电路中延迟的容限增大，并且因而允许电路中的延迟时间增大。这



样能够使得电源电压减小。因为功耗随电源电压的平方变化，所以能大大减小功耗。

具体地，如图 22 所示，例如，除实施例 1（图 1 所示）的配置外，根据本实施例的处理器系统还包括一个电源电压控制部分 701（电压控制装置）。电源电压控制部分 701 按照从标志检测器 101 输出的时钟控制信号，分别向 CPU 103、HWE 104 和 SRAM 105 供给预先与时钟频率相关联设置的电源电压，即其中各自随时钟频率的关联一个的减小而从额定电压减小的电源电压。更具体地，如图 23 所示，例如，电源电压控制部分 701 包括：一个电源电压控制寄存器 701a，用于将从标志检测器 101 输出的时钟控制信号保持为电源电压控制信号；和一个电源 701b，由一个 DC-DC 转换器或一个电源 IC 构成，并且构成为按照在电源电压控制寄存器 701a 中保持的信息，向 CPU 103、HWE 104 和 SRAM 105 输出一个电压。

除从电源电压控制部分 701 输出的电源电压由时钟控制部分 106 按照各自时钟频率的转换而转换外，本处理器系统的操作与实施例 1（图 5 所示）的那样相同。如上所述在减小时钟频率下，通过减小电源电压，使功耗进一步减小，而不影响处理器系统的操作和处理能力。

供给 CPU 103 和其他处理器的电源电压关于相同时钟频率不一定相互相等，并且可以根据电路特性或其他类似方面设置。

将电源电压转换为较高电平的定时可以比将时钟频率转换为较高频率的定时早，以便保证在转换时钟频率时电路延迟的足够容限。

如实施例 1 已经描述，当关断时钟信号的供给时，可以暂停电源电压的供给（可以供给接地电压），以停止 CPU 103 或 HWE 104 的操作，以便完全抑制由泄漏电流引起的备用功耗。可选择地，例如，可仅对 HWE 104 暂停这样的电源电压。恢复电源电压的暂停供给的定时可以比开始时钟信号的供给的定时早。另外，在从预取第一指令代码时到检测一个标志时的周期期间，可以供给额定电压，以使整个处理器系统接通电源或重新设置，因而容易保证执行第一指令

代码的处理器器的操作。

另外，如图 24 和 25 所示，例如，当停止时钟信号的供给时，连同或代替暂停电源电压的供给，在 CPU 103 或 HWE 104 在备用状态下的这样方式下（即与处在备用状态下的总线 107 分离，并且保持其内部状态），可以向 CPU 103 或 HWE 104 输出一个信号，指示在电源电压控制寄存器 701a 中保持的时钟信号的存在/不存在，作为备用/有效控制信号。另外，可在暂停电源电压的供给下，总供给时钟信号。

（实施例 7）

代替如上所述控制电源电压，可以控制一个其上形成一个 CPU 103 和其他部件的半导体衬底的衬底电压。具体地，如果按以增大在半导体衬底上形成的晶体管的阈值电压这样方式控制衬底电压，则电路的延迟时间增大，而晶体管的泄漏电流减小。如果使时钟频率减小，以增大电路中延迟的容限，则因此控制衬底电压，以增大阈值电压，因而减小功耗。

更具体地，在根据本实施例的处理器系统中，如图 26 所示，例如，除实施例 1 所述的配置外，提供一个衬底电压控制部分 801（电压控制装置）。衬底电压控制部分 801 按照从标志检测器 101 输出的时钟控制信号，向 CPU 103 或另一个处理器供给一个预先与时钟频率相关联设置的衬底电压，即这样一个衬底电压（反向偏置电压），它随时钟频率减小而使阈值电压增大。

除按照由时钟控制部分 106 对时钟频率的转换而转换从衬底电压控制部分 801 输出的衬底电压外，本处理器系统的操作与实施例 1（图 5 所示）的那样相同。

如上所述，在时钟频率减小下控制衬底电压，因而进一步减小功耗，而不影响处理器系统的操作和处理能力。

如关于实施例 6 中的电源电压所述，供给 CPU 103 和其他处理器的衬底电压关于相同时钟频率可能彼此不同。当停止时钟信号的供给时，可以应用一个与关联电源电压相同电平的电压，作为衬底电

压。

(实施例 8)

如图 27 所示, 例如, 可以提供电源电压控制部分 701 和衬底电压控制部分 801, 以便按照时钟频率控制电源电压和衬底电压。在这样情况下, 根据半导体集成电路的特性或其他类似方面, 优化由电源电压控制部分 701 和衬底电压控制部分 801 确定的与时钟频率相关联的电源电压和衬底电压的组合。

具体地, 例如, 如果时钟频率低于标准时钟频率, 并且泄漏电流相对大, 可以减小电源电压, 并且对衬底应用一个反向偏置电压, 以便根据时钟频率在允许的延迟时间范围之内增大阈值电压 (减小和应用两者都增大延迟时间并且减小功耗), 所以减小功耗。另一方面, 如果泄漏电流相对小, 可以大大减小电源电压 (导致延迟时间增大和功耗减小), 并且可以对衬底应用一个正向偏置电压, 以便减小阈值电压 (导致延迟时间减小和泄漏电流增大), 所以通过减小电源电压, 结果满足根据时钟频率允许的延迟时间, 并且大大减小功耗。

如实施例 6 和 7 已经描述, 在本实施例中, 供给 CPU 103 和其他处理器的电源电压和衬底电压各自关于相同时钟频率可以相互不同。例如, 即使在时钟信号的供给暂停下, 如果供给电源电压, 也可以应用一个与电源电压相同电平的电压, 作为衬底电压。另外, 如果在时钟信号的供给暂停下停止电源电压的供给, 也可以停止衬底电压的供给。

(实施例 9)

如上所述一旦确定时钟频率, 近似确定功耗和从处理器系统的热释放。鉴于此, 如图 28 所示, 例如, 可以根据时钟控制信号控制一个冷却设备 901 (冷却装置和冷却控制装置), 它包括一个用于冷却半导体集成电路 900 的冷却风扇。更具体地, 冷却设备 901 通过参考一个其中例如记录与时钟频率相关联的给定控制值的表, 控制冷却风扇的旋转速度, 根据时钟频率、电源电压 (如上所述根据时钟

频率确定)和泄漏电流(由根据时钟频率确定的衬底电压来确定),冷却具有冷却能力的半导体集成电路900。这样保证防止半导体集成电路900的热失控,并且抑制冷却中所包含的功耗。

(实施例10)

- 5 在前述实施例中,例如,多个处理器(CPU 103和HWE 104)中的一个在最大时钟频率下操作,而另一个处理器在低于最大时钟频率的时钟频率下操作,从而减小功耗而不使处理能力降级。如果通过接收具有比最大时钟频率低的频率的时钟信号,和比额定电压低的电源电压,并行操作处理器,也使功耗减小,并且另外,灵活地
- 10 设置处理能力与功耗之间的关系。

图29是根据本实施例的处理器系统的主要部分的配置的方块图。在本例中,提供一个CPU 910,以代替实施例6(图22所示)的标志检测器101和指令分配控制部分102。代替(或除此之外)CPU 103和HWE 104,提供四个处理器,即处理引擎911至914。代替时

15 钟控制部分106和电源电压控制部分701,提供一个时钟控制部分916和一个电源电压控制部分917。

CPU 910作为一个监视处理器控制整个系统,检测指示操作方式(例如,如图30所示的与对处理器的分配、电源电压和时钟频率的组合相应的方式)的方式设置信息,并且输出一个电源电压控制信号和一个时钟控制信号。CPU 910不一定检测方式设置信息,而可以

20 检测如实施例1所述分别指示对处理器的分配、电源电压和时钟频率的信息集。可选择地,CPU 910可以检测指示并行数而不是对处理器的分配的信息,以便然后根据这个信息执行对处理器的分配。如果时钟频率总与各自电源电压相应,CPU 910仅需检测指示时钟频率

25 或电源电压的信息。

为了简单起见,假定处理引擎911至914具有相同功能(例如,乘法累积操作的功能),给出以下描述。通过总线107在CPU 910或存储部分100与处理引擎911至914之间传送指令代码。(指令代码可以如实施例1那样从CPU 910或其他部分直接传送。)

如图 31 所示, 例如, 时钟控制部分 916 不同于实施例 1 (图 4 所示) 的时钟控制部分 106, 在于包括: 一个分频器 106b; 和一个选择器 916d, 以代替选择器 106d, 向处理引擎 911 至 914 输出一个共时钟控制信号, 它具有根据频率控制寄存器 106c 中保持的信息的频率。例如, 构成频率控制寄存器 106c, 以当如图 32 所示在频率控制位 106c0 中设置“0”或“1”值时, 使选择器 916d 选择一个具有  $f$  或  $f/2$  的频率的信号。

如图 33 所示, 例如, 如实施例 6 (图 23 所示) 的电源电压控制部分 701 那样, 电源电压控制部分 917 包括一个电源电压控制寄存器 701a 和一个电源 701b。然而, 电源电压控制部分 917 不同于电源电压控制部分 701, 在于电源 701b 根据电源电压控制寄存器 701a 中保持的信息, 向处理引擎 911 至 914 输出一个共电压, 并且根据电源电压控制寄存器 701a 中保持的信息, 向各自处理引擎 911 至 914 输出备用/有效控制信号。更具体地, 如图 34 所示, 例如, 电源电压控制寄存器 701a 输出备用/有效控制信号, 用于当在有效控制位 701a0 至 701a3 中设置“0”或“1”值时, 使各自处理引擎 911 至 914 设置在备用或有效状态。另一方面, 当在电源电压控制位 701a4 中设置“0”或“1”值时, 电源电压控制寄存器 701a 使电源 701b 输出一个  $V_{dd}$  或  $V_{dd}/2$  的电源电压。(代替把处理引擎 911 至 914 设置在备用或有效状态, 根据电源电压控制寄存器 701a 中保持的值, 可以使电源电压的供给停止, 以便完全关断泄漏电流。)

在这样构成的处理器系统中, CPU 910 检测加到指令代码的方式设置信息, 并且在电源电压控制寄存器 701a 和频率控制寄存器 106c 中设置如图 30 所示的值, 以便动态地改变操作方式, 并且在根据操作方式的时钟频率和电源电压下, 在对处理引擎 911 至 914 的分配之下执行指令。

具体地, 例如, 在与下述各自四个操作方式相关联的电源电压和时钟频率的控制下, 执行操作。以下, 为了简单起见, 根据假定, 即当电源电压是  $V_{dd}$  时在  $f$  的时钟频率下, 以及当电源电压是  $V_{dd}/2$

时在  $f/2$  的时钟频率下，处理引擎 911 至 914 可操作，给出描述。  
更准确地，根据公式 (2)，需要使阈值电压  $V_t$  是 0，以便使处理引擎在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下可操作（延迟时间  $t_d$  是在  $V_{dd}$  的电源电压下的两倍长）。因此，实际中电源电压需要稍微  
5 高于  $V_{dd}/2$ ，以使处理引擎在  $f/2$  的时钟频率下可操作。即使在这样考虑下，也能大大减小功耗。

(1) 在正常方式下（单一处理），设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便仅使处理引擎 911 在  $V_{dd}$  的电源电压和  $f$  的时钟频率下操作，并且其他处理引擎 912 至 914 在备用状态  
10 下，其中几乎不消耗电功率。也就是，在这种正常方式下保证了不可由多个处理器并行执行的指令执行。

(2) 在低消耗方式下（其中并行数是 2），设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便两个处理引擎 911 和 912 在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下操作。在这种情况下，因  
15 为时钟频率是  $f/2$ ，所以各处理引擎 911 和 912 的处理能力是与正常方式比较的  $1/2$ 。然而，两个处理引擎 911 和 912 的并行操作总体上表现与正常方式下那样的相同处理能力。另一方面，如公式 (1) 所示，功耗与电源电压的平方、时钟频率和操作处理器数成比例。因此，与正常方式比较，在这种方式下的功耗减小到  $(1/2)^2 \times (1/2)$   
20  $\times 2 = 1/4$ 。也就是，如果指令代码可由两个处理引擎 911 和 912 并行执行，使功耗大大减小而不使处理能力降级。

(3) 在高性能方式下（其中并行数是 4），设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便所有处理引擎 911 至 914 在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下操作。在这种情况下，与  
25 正常方式比较，各处理引擎 911 至 914 的处理能力是  $1/2$ 。然而，四个处理引擎 911 至 914 的并行操作总体上表现为正常方式下那样两倍高的处理能力。与正常方式比较，在这种方式下的功耗减小到  $(1/2)^2 \times (1/2) \times 4 = 1/2$ 。也就是，与正常方式比较，得到较高处理能力，并且使功耗减小。因此，高性能方式适合具有重负载的

处理，例如成像处理。

(4) 在超低消耗方式下(单一处理)，设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便仅使处理引擎 911 在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下操作。在这种情况下，处理能力是在正常方式下的  $1/2$ ，但是功耗减小到  $(1/2)^2 \times (1/2) = 1/8$ 。也就是，在不要求高处理能力的情况下，大大减小功耗。

如上所述，应用在低电源电压和低时钟频率下的并行处理，实现等于或高于正常方式下的处理能力及减小功耗两者，或处理能力比正常方式下的低，但功耗大大减小。另外，动态地转换并行数、电源电压和时钟频率。因此，如果需要具有重负载的处理或高速处理例如实时处理，实现高处理能力和功耗的减小。另一方面，如果不需要高速处理，使功耗更加大大减小。

如上所述的方式设置信息不一定加到每个指令代码集，而可以仅加到一个用于改变操作方式的指令代码集，或在这个指令代码集设置之前或之后的指令代码集。

在本实施例中，作为一个例子，CPU 910 检测加到指令代码的方式设置信息。可选择地，可以用与实施例 1 的标志检测器类似的硬件来检测信息。

另外，关于方式设置信息，可以在程序中包括一条在频率控制寄存器 106c 和电源电压控制寄存器 701a 中存储给定值的指令，以便由 CPU 910 通过对这条指令的执行来设置操作方式。在这样情况下，如果设置操作方式的指令与另一条指令的执行并行执行，避免处理能力的显著降级。可以通过总线 107 在频率控制寄存器 106c 和电源电压控制寄存器 701a 中设置值。

在本实施例中，对处理引擎 911 至 914 供给共电源电压和共时钟信号。可选择地，如实施例 1 那样，例如，对各自处理引擎供给电源电压和时钟信号，以便个别地控制电源电压和时钟频率。

处理引擎 911 至 914 的数不限于 4，只要该数是 2 或更大。处理引擎 911 至 914 不一定具有相同功能。

如实施例 7 和 8 所述, 代替或除了电源电压的控制, 可以控制阈值电压。具体地, 通过把按照由时钟频率的减小引起的延迟容限增大而使电源电压减小所得到的功耗减小的效果, 与按照阈值电压的增大而使泄漏电流减小所得到的功耗减小的效果相组合, 使功耗最小化。

(实施例 11)

用于产生对其加上如实施例 10 所述的方式设置信息的指令代码的方法不具体地限制。例如, 程序设计员可以在源程序中写入指示一个操作方式的信息, 连同汇编指令例如并行处理指令或单一处理器处理指令一起, 使得编译程序以及其他类似程序根据该信息产生指令代码。可选择地, 程序设计员可以指定在一个给定单元中的整个程序或每个程序模块中, 对高处理能力和低功耗中加强哪一个分配优先级, 以便可以根据规范产生指令代码。以下, 将描述用于产生这样指令代码的指令序列优化装置。

如实施例 2 所述, 指令序列优化装置由一台用于执行程序例如编译程序和优化程序的计算机构成。例如, 当编译源程序时, 装置执行以下如图 35 所示的操作, 并且产生对其加上方式设置信息的指令代码。

(S1600) 首先, 分析程序例如源程序或通过编译源程序得到的目标程序。然后, 确定是否能由处理引擎 911 至 914 并行处理指令序列的一个或一个组合(其中各指令序列例如由约 10 条指令构成)。也就是, 确定是否可能同时执行分配给处理引擎 911 至 914 的指令, 或是否允许单一处理。具体地, 确定能并行处理的处理, 例如对乘法累积操作的重复。

(S1601) 作为上述分析的结果, 如果能执行并行处理, 过程进到(S1602), 在那里选择高性能方式或低消耗方式中的一个供操作。如果不能执行并行处理, 过程进到(S1605), 在那里选择超低消耗方式或正常方式中的一个供操作。

(S1602 至 S1604) 如果能执行并行处理, 例如, 作为编译期间



的一个任选规范，确定是否发出对处理速度的提高分配优先级的指令。如果发出提高处理速度的这个指令，选择高性能方式供操作（S1603）。另一方面，如果没有发出提高处理速度的指令，选择低消耗方式供操作（S1604）。（另外，可以确定是否能执行其中并行数是4的处理，并且如果不能执行这个处理，选择低消耗方式。）

（S1605至S1607）如果在（S1601）的确定表示不能执行并行处理，例如，作为在编译期间的任选规范，确定是否发出对减小功耗分配优先级的指令。如果发出了减小功耗的指令，选择超低功耗方式供操作（S1606）。另一方面，如果没有发出减小功耗的指令，选择正常方式供操作（S1607）。应该注意，不同时发出提高处理速度的指令和减小功耗的指令。因此，实际中，通过检测有提高处理速度的指令，可以确定没有发出减小功耗的指令，或通过检测没有提高处理速度的指令，可以确定发出减小功耗的指令。另外，按照与处理速度和功耗实质上相关联的指令，例如指示重负载处理（并且因此指示对提高处理速度分配优先级）的信息，足以实施前述确定。在一般情况下（没有任何具体指令），可以按照处理器系统的规范以及其他类似方面指定低消耗方式。

（S1608）把根据前述选择的方式设置信息加到指令代码。如果必要，可以用并行处理指令来代替一个或一系列指令代码集。这样的代替可以在（S1601）确定能执行并行处理之后的任何时间执行。具体地，例如，在完成分析之后，当在（S1603）和其他过程确定方式时，可以创建一个表示各自过程的操作方式的方式设置信息表，以便根据该表来执行方式设置信息的添加或用并行处理指令的代替。如实施例10的变更例子所述，为了通过CPU 910的指令执行在频率控制寄存器106c和电源电压控制寄存器701a中存储给定值，仅需对一个程序加上这样一条指令。

（S1609）重复从（S1600）至（S1608）的过程，直至完成源程序中所有指令的处理为止。

产生对其按上述方式加上方式设置信息的指令代码，以便一人名人

员例如程序设计员仅需指定对增大处理速度和减小功耗中的哪一个分配优先级，而无需考虑操作方式，以便得到一个能够容易实现高速操作和大大减小功耗的程序。

(实施例 12)

- 5 将描述一个处理器系统的例子，其中如实施例 3 的处理器系统那样，甚至通过使用对其没有加上方式设置信息的通常指令代码，也使功耗减小。

除一个由 CPU 910 执行的程序外（用于通过 CPU 910 控制操作方式的<sub>10</sub>操作），本处理器系统的硬件配置与实施例 10（图 29 所示）的硬件配置相同。具体地，如图 36 所示，关于操作方式控制，CPU 910 按与实施例 11 的指令序列优化装置的类似方式操作。

（S1700）首先，作为一个预取指令代码以进行高速操作的通常 CPU，CPU 910 预取存储在存储部分 100 中的指令（例如，约 10 条指令），以确定是否能并行执行各指令或指令序列的组合。基本分析与实施例 11（图 35 所示）的（S1600）中的相同。预取的指令数不具<sub>15</sub>体地限制。如果这样指令数大，即使能并行处理稍微复杂的重复处理，然而需要较长时段来分析，并且如果由硬件实行分析，要求大电路规模。因此，预取的指令数需要在使这些要求平衡下设置。

（S1601 和 S1607）作为上述分析的结果，确定是否能执行并行<sub>20</sub>处理。如果不能执行并行处理，过程进到（S1607），在那里选择正常方式供操作。如果能执行并行处理，过程进到（S1702），在那里选择高性能方式或低消耗方式中的一个供操作。

（S1702）如果能执行并行处理，确定指令代码所指示的过程是否为一个重负载过程。具体地，例如，确定是否包括一个循环过程<sub>25</sub>（特别地，多循环过程），或循环数是否等于或大于一个给定值。

（S1603 和 S1604）按照在（S1702）确定的结果，如果过程是重负载过程，选择高性能方式供操作（S1603）。如果过程不是重负载过程，选择低性能方式供操作（S1604）。

（S1708）把根据选择的时钟控制信号和电源电压控制信号输出

给时钟控制部分 916 和电源电压控制部分 917, 并且保持在频率控制寄存器 106c 和电源电压控制寄存器 701a 中。按这样方式, 设置操作方式, 并且如果必要, 用并行处理指令来代替一个或一系列指令代码集。

- 5       (S1709) 在所选择操作方式下执行指令, 并且然后重复从 (S1700) 的操作。

在前述方式中, 即使对一个对其没有加上方式设置信息的程序, 也按照执行期间的处理负载自动地选择操作方式, 设置时钟频率和电源电压, 并且执行用并行处理指令的代替。因此, 即使在执行由  
10 通用编译程序产生的指令代码的情况下, 也容易使指令代码在最优操作方式下, 例如在高速操作并大大减小功耗下执行。

如上所述操作方式不一定仅由处理系统选择。可选择地, 如果检测到关于对高处理能力和低功耗中的哪一个分配优先级的方式设置信息 (例如, 根据程序开发人员的指令) 或规范, 可以按照该信息  
15 或规范来选择操作方式, 并且在这样情况下, 可以由处理器系统仅对是否能执行并行处理作出确定。

#### ( 实施例 13 )

以下将描述一个处理器系统的例子, 其中构成各自处理器的晶体管具有不同阈值电压。如图 37 所示, 本处理器系统包括处理引擎 923  
20 和 924, 以代替实施例 10 (图 29 所示) 的处理引擎 913 和 914。本处理器系统还包括一个电源电压控制部分 927, 以代替电源电压控制部分 917。

处理引擎 923 和 924 具有与处理引擎 911 和 912 的功能相同的功能。然而, 构成处理引擎 923 和 924 的晶体管的阈值电压 (例如 0.6  
25 V) 设置得高于构成处理引擎 911 和 912 的晶体管的阈值电压 (例如 0.3 V)。本实施例根据这样假定, 即这些阈值电压通过设置杂质浓度等来静态地设置, 但是如实施例 7 所述, 例如通过控制半导体衬底电压可以动态地设置这些阈值电压。如上所述, 处理引擎 911、912、923 和 924 各自可以仅由一个高阈值电压晶体管或一个低阈值电压

晶体管构成。然而，本发明不限于本例。

构成电源电压控制部分 927，以控制对各自处理引擎 911、912、923 和 924 的电源电压的供给/关断，并且这些电源电压相互独立。具体地，如图 38 和 39 所示，例如，按照电源电压控制寄存器 701a 5 中的电源关断控制位 701a0 至 701a3 中所保持的值，控制从电源 701b 的电源电压的供给或关断。按照电源电压控制位 701a4 至 701a7 中所保持的值，控制这些电源电压。

根据加到指令代码的方式设置信息，或根据指令代码的分析结果通过 CPU 910 的操作，执行按照各操作方式在时钟控制部分 916 中的电源电压控制寄存器 701a 和频率控制寄存器 106c 中值的设置。10 这个设置按与实施例 10 和 12 相同的方式执行。例如，如果在这些寄存器中设置如图 40 所示的值，则动态地改变操作方式，并且在按照所选择操作方式下的时钟频率和电源电压下，使指令在分配给处理引擎 911、912、923 和 924 之下执行。

具体地，例如，按如下所述的方式，在与各自三个操作方式相关联的电源电压和时钟频率的控制下，执行操作。可以执行与实施例 10 那样类似的超低消耗方式下的操作。（也就是，仅需根据处理器系统要求的功耗、处理能力和其他方面来选择操作方式。）以下，15 例如，假定当电源电压是  $V_{dd}$  时，由上述高阈值电压晶体管构成的处理引擎 923 和 924 可在  $f/2$  的时钟频率下操作，将给出描述。

(1) 在正常操作方式下（单一处理），设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便仅有使用低阈值电压晶体管的20 处理引擎 911 在  $V_{dd}$  的电源电压和  $f$  的时钟频率下操作，并且关断对其他处理引擎 912、923 和 924 的电源电压的供给。因此，在处理引擎 912、923 和 924 中不会出现由泄漏电流引起的备用功耗。

(2) 在低漏泄方式下（其中并行数是 2），设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便使用高阈值电压晶体管的两个处理引擎 923 和 924 在  $V_{dd}$  的电源电压和  $f/2$  的时钟频率下操作。在这种情况下，两个处理引擎 923 和 924 在  $f/2$  的时钟频率下

操作，所以总体上得到如正常方式下那样相同的处理能力。另一方面，在不对泄漏电流作任何考虑下，因为两个处理引擎 923 和 924 在  $f/2$  的时钟频率下操作，所以功耗总体上与正常方式下那样相同。然而，使用高阈值电压晶体管使各处理引擎 923 和 924 在操作期间的泄漏电流（有效泄漏电流）例如减小到使用低阈值电压晶体管的情况下的约 27%。于是，因此使总功耗减小。

(3) 在高性能方式下（其中并行数是 4），设置电源电压控制寄存器 701a 和频率控制寄存器 106c，以便处理引擎 911 和 912 的电源电压是  $V_{dd}/2$ ，处理引擎 923 和 924 的电源电压是  $V_{dd}$ ，以及所有处理引擎的时钟频率是  $f/2$ 。在这种情况下，并行数是 4，并且时钟频率是  $f/2$ ，所以总处理能力是正常方式下那样的两倍高。另一方面，处理引擎 911 和 912 在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下并行操作，所以其功耗是与正常方式比较的  $(1/2)^2 \times (1/2) \times 2 = 1/4$ 。处理引擎 923 和 924 如在低漏泄方式下那样使用高阈值电压晶体管，并且在  $V_{dd}$  的电源电压和  $f/2$  的时钟频率下并行操作，所以使有效泄漏电流大大减小。结果，使总功耗减小。

如上所述，提供由高阈值电压晶体管构成的处理引擎 923 和 924。这些处理引擎 923 和 924 在低时钟频率下并行操作，所以使有效泄漏电流减小。因此，特别在有效泄漏电流的影响大的情况下，容易使功耗大大减小。对于重负载处理，另外还使用由低阈值电压晶体管构成的处理引擎 911 和 912，以便在通过减小电源电压和频率而抑制功耗下，提高性能。另外，即使在不允许并行处理的情况下，如果处理引擎 911 由低阈值电压晶体管构成，并且在  $V_{dd}$  的电源电压和  $f$  的时钟频率下操作，保证保持处理性能。

(实施例 14)

将描述一个处理器系统的例子，其中即使在多个处理引擎的一个中出现故障的情况下，也保持处理能力，并且使功耗减小。

如图 41 所示，本处理器系统包括一个在实施例 13（图 38 所示）同样描述的电源电压控制部分 927，以代替实施例 10（图 29 所示）

的电源电压控制部分 917, 以便独立地控制对处理引擎 911 至 914 的电源电压的供给/关断和这些电源电压。该处理器系统还包括: 一个时钟控制部分 936, 以代替时钟控制部分 916; 和一个快闪存储器 931 (故障信息保持装置), 它是一个可重写的非易失性存储器。

5 如电源电压控制部分 927 那样, 构成时钟控制部分 936, 以独立地控制供给处理引擎 911 至 914 的时钟信号的频率。具体地, 如图 42 和 43 所示, 例如, 选择器 936d 向各自处理引擎 911 至 914 供给时钟信号, 该时钟信号具有按照频率控制寄存器 106c 中的频率控制位 106c0 至 106c3 中所保持的值的频率。

10 快闪存储器 931 存储故障信息, 指示各处理引擎 911 至 914 是否正常操作 (完全操作) 或具有故障。具体地, 在制造期间, 例如, 在使用 LSI 测试仪的初始评估期间, 测试各处理引擎 911 至 914 的操作, 并且保持测试结果。代替快闪存储器, 可以使用各种其他非易失性存储器, 例如 FeRAM。

15 在本处理器系统中, 如实施例 10 和 12 中那样, 根据加到指令代码的方式设置信息, 或根据指令代码的分析结果通过 CPU 910 的操作, 在电源电压控制部分 927 中的电源电压控制寄存器 701a 和时钟控制部分 936 中的频率控制寄存器 106c 中, 设置预定值, 以便动态地改变操作方式, 并且在按照所选择操作方式的电源电压和时钟频率下, 使指令在分配给处理引擎 911 至 914 之下执行。为了把指令  
20 分配给处理引擎 911 至 914, 参考快闪存储器 931 中保持的故障信息, 以便不向故障处理引擎分配指令。

具体地, 在如实施例 10 所述的四个操作方式下操作的情况下, 例如, 假定在处理引擎 911 中出现故障。于是, 为了转换为正常方  
25 式或超低消耗方式, 向处理引擎 912 至 914 中的一个供给 Vdd 的电源电压和具有 f 频率的时钟信号, 或 Vdd/2 的电源电压和具有 f/2 频率的时钟信号, 并且关断对其他处理引擎 (至少包括处理引擎 911) 的电源电压的供给 (即分离故障处理引擎)。类似地, 为了转换为低消耗方式, 对处理引擎 912 至 914 中的两个供给 Vdd/2 的电源电

压和具有  $f/2$  频率的时钟信号，并且同样关断至少对处理引擎 911 的电源电压的供给。

为了转换为高性能方式，例如，使处理引擎 912 在  $V_{dd}$  的电源电压和  $f$  的时钟频率下操作，使处理引擎 913 和 914 在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下操作，并且关断对处理引擎 911 的电源电压的供给。具体地，在电源电压控制部分 927 中的电源电压控制寄存器 701a 或在时钟控制部分 936 中的频率控制寄存器 106c 的各自中，设置  $b'11001110$  或  $b'1100$ （其中  $b'$  指示随后值用二进制表示）。因此，虽然功耗是正常方式下的 1.25 倍高，但是处理能力是正常方式下的 2 倍高。可选择地，可以使三个处理引擎 912 至 914 在  $V_{dd}/2$  的电源电压和  $f/2$  的时钟频率下操作，以便处理能力是正常方式下的 1.5 倍高，但是功耗减小到 0.75（即对功耗的减小分配优先级）。在这样情况下，不一定在处理引擎 911 至 914 之中个别地控制电源电压和时钟频率。

15 如上所述，即使在存在故障处理引擎下，如果执行并行操作以补偿该处理引擎，则在某种程度上保持处理器系统的性能，并且减小功耗，因而提高制造产量。

在前述例子中，在一个处理引擎中出现故障。在两个处理引擎中出现故障的情况下，在正常方式、超低消耗方式和低消耗方式下，同样保证相同的处理能力和相同的功耗减小。在高性能方式下，可以使两个正常操作的处理引擎在  $V_{dd}$  的电源电压和  $f$  的时钟频率下操作，或可以使这些正常操作的处理引擎中的一个在  $V_{dd}/2$  和  $f/2$  下操作。可选择地，可以使处理器系统不具有高性能方式。

25 在前述例子中，关断对故障处理引擎的电源电压的供给。可选择地，可以使故障处理引擎如实施例 10 所述设置在备用状态。然而，在考虑故障例如电力线中的短路情况下，优选地根据系统稳定性等关断电源电压。另外，在考虑时钟信号线中出现短路时，可以停止时钟信号的供给。

（实施例 15）

处理引擎的故障例如不仅可以如上所述在制造期间通过测试来检测，而且可以每次接通电源时由处理器系统本身来检测，以便不对故障处理引擎分配处理。如图 44 所示，例如，本处理器系统包括：一个故障寄存器 941（故障信息保持装置），以代替实施例 14 的快闪存储器 931；一个图形发生器 942；和一个比较器 943（故障检测装置）。

如实施例 14 的快闪存储器 931 那样，故障寄存器 941 存储故障信息，指示各处理引擎 911 至 914 是否正常操作（完全操作）或具有故障。然而，故障寄存器 941 无需是一个非易失性存储器。故障寄存器 941 不一定与总线 107 连接，而可以设置在电源电压控制部分 927 或时钟控制部分 936 内部，只要能由 CPU 910 从那里读出信息。具体地，如图 45 所示，例如，故障寄存器 941 包括与各自处理引擎 911 至 914 相关联的故障位，并且按照在处理引擎 911 至 914 的关联一个中存在/不存在故障，使各故障位保持一个值。

在处理引擎 911 至 914 的测试操作期间，图形发生器 942 向总线 107 输出一个随机测试图形，即一个具有随机位图形的信号，它表示根据时间的随机变化。

当随机测试图形输入处理引擎 911 至 914 时，比较器 943 比较从处理引擎 911 至 914 输出的信号，例如在处理引擎 911 至 914 内部的给定测试点的信号，或输出给总线 107、I/O 总线或其他部分的信号。然后，比较器 943 确定这些信号是否相互一致，以从处理引擎 911 至 914 中检测故障处理引擎，并且把得到的故障信息保持在故障寄存器 941 中。

具体地，例如，按以下方式，在紧接系统接通之后的初始化期间，或在处理引擎 911 至 914 的处理之间的备用周期内由 OS 进行系统处理期间，对处理引擎 911 至 914 进行测试。也就是，在对各处理引擎 911 至 914 供给 Vdd 的电源电压和具有 f 的时钟频率的时钟信号下，使图形发生器 942 向总线 107 输出一个随机测试图形。比较器 943 比较来自各对处理引擎，即一对处理引擎 911 和 912，一对处理



引擎 913 和 914, 一对处理引擎 911 和 913, 和一对处理引擎 912 和 914 的输出信号。然后, 比较器 943 根据在比较中表示一致的对和在比较中不表示一致的对的组合, 检测处理引擎 911 至 914 中的故障处理引擎。然后, 比较器 943 将其检测结果保持在故障寄存器 941 中。同时, 例如, 还可以比较来自处理引擎 911 和 914 的信号。在这样情况下, 检测两个或多个故障, 以便如实施例 14 所述那样, 实现一种处理器系统, 它在两个或多个处理引擎中出现故障时不具有高性能方式。可选择地, 可以执行上述测试, 以确定一个在  $f$  的时钟频率下不能操作的处理引擎是否可在  $f/2$  下操作。(例如, 如果处理引擎仅在  $f/2$  下可操作, 只要不对这个处理引擎分配正常方式, 按与实施例 10 相同的方式执行高性能方式下的操作。)

测试图形不一定随机产生。可选择地, 可以在一个非易失性存储器例如快闪存储器中存储一个预定测试图形, 和一个当向处理引擎 911 至 914 输入测试图形时所输出的输出图形(估计值), 以便把估计值与实际输出图形比较, 以便检测处理引擎 911 至 914 中的故障处理引擎。如上所述的随机测试图形或其他类似图形可以从处理器系统的外部供给。另外, 可以执行一个给定测试程序, 以便根据执行结果检测故障。

按如实施例 14 所述的相同方式, 根据这样得到的故障信息执行对处理引擎 911 至 914 的分配及电源电压和时钟频率的控制。因而, 由处理器系统本身检测处理引擎中的故障。结果, 不仅在出现早期损坏故障的情况下, 而且在随时间引起故障的情况下, 使系统稳定性和可靠性提高, 并且使性能保持。

在实施例 1 至 9 中, 提供一个 CPU 103 和一个 HWE 104。在实施例 10 至 15 中, 提供具有相同功能的处理引擎 911 至 914。然而, 本发明不限于这些实施例。可以提供各种类型的处理器, 例如, 可以提供具有相同功能或不同功能的多个处理器。在这样情况下, 仍得到相同优点。

在实施例 1 中, 例如, 加到指令代码的标志或方式设置信息用作

指令代码中指示对处理器的分配和时钟频率的信息。本发明不限于此，并且足以使指示例如对处理器的分配的信息实质上包括在程序中。例如，足以确定 CPU 103 和 HWE 104 中的哪一个执行指令，或由指令代码本身确定操作方式。

- 5       在实施例 6 至 9 中，根据时钟控制信号直接控制电源电压控制部分 701 和其他部分。然而，本发明不限于此，并且仅需根据一个例如允许按照时钟频率适当地设置电源电压的控制信号执行控制。

10       电源电压和时钟频率的级数不限于如上所述的两个或三个（在考虑停止其供给情况下的三个或四个），而可以设置为各种值。如果级数增加，则使用大量的操作方式的组合，所以更加详细地设置操作条件。

15       前述实施例所述的部件可以各种各样地组合，只要这些组合逻辑上是可实行的。具体地，例如，如实施例 6 至 15 所述的用于控制电源电压和衬底电压的配置，或用于控制冷却装置的配置可以应用于其他实施例的处理器系统。另外，可以提供实施例 1 的标志检测器 101（图 1 所示）或实施例 3 的指令分析器 402（图 14 所示），以实现这些实施例所述的功能，以便例如与所执行的指令中标志的存在无关地控制对处理器的分配和时钟频率。

20       如上所述，按照本发明，按照各处理器所执行的指令来控制时钟频率，因而减小功耗而不使处理能力降级。另外，按照时钟频率的控制来控制供给处理器的电源电压和衬底电压，因而进一步减小功耗。

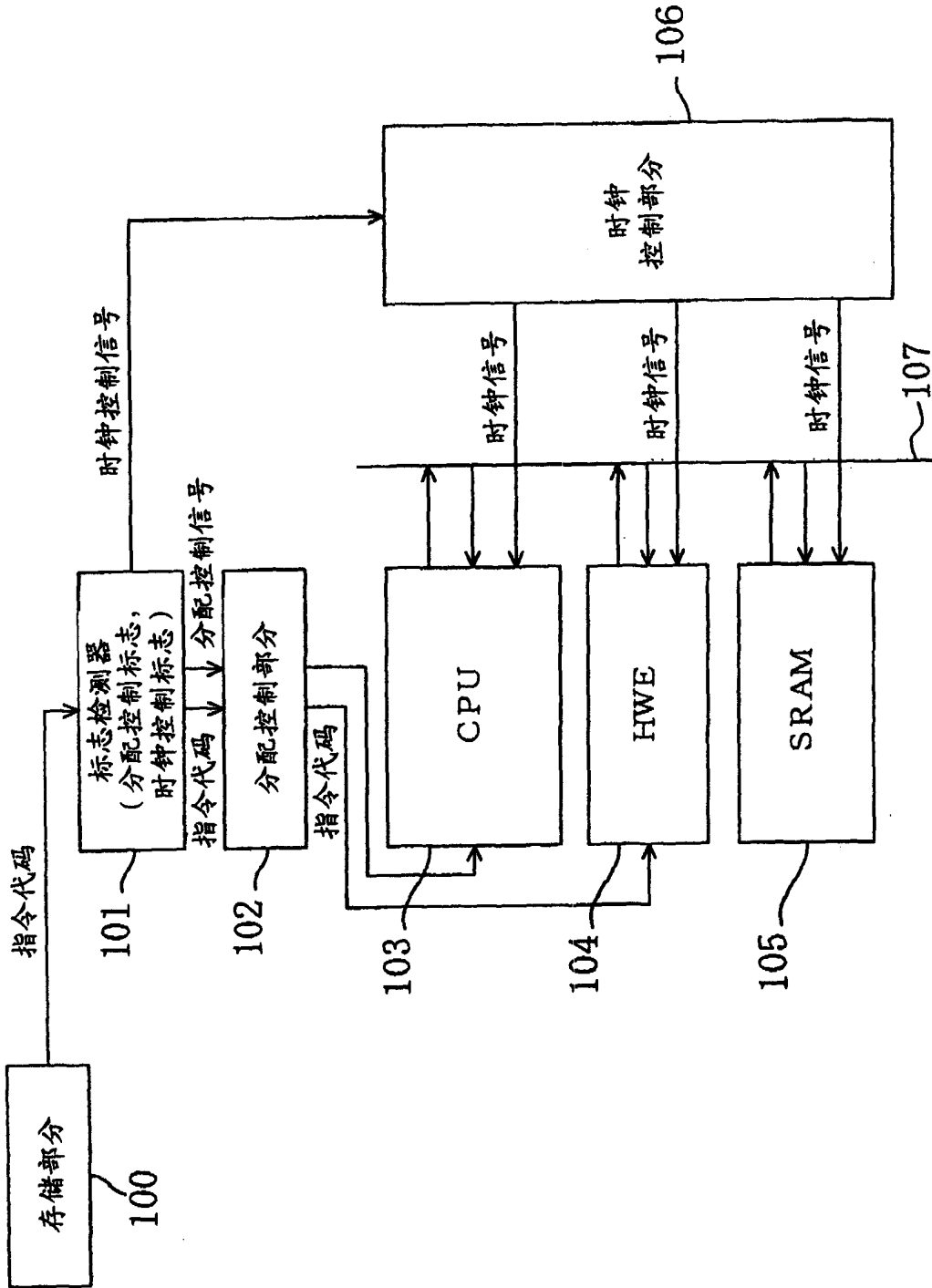


图 1

存储部分 中的地址	指令	指令代码		
		时钟控制标志		
		分配控制标志		指令代码本体
0 0 0 0	LOOP 04 LOOPEND	- - -	0 1	0 0 0 1
⋮	⋮			
0 0 0 3	LOOPEND			
0 0 0 4	SAVE HWE (A) XXXX	- - -	0 1	0 0 0 1
0 0 0 5			0 0	1 0 0 1
⋮	⋮			
0 0 0 8			0 0	1 0 0 1
0 0 0 9	ADD CPU (A) XXXX	- - -	0 0	0 1 0 0
⋮	⋮			

图 2

时钟控制标志	时钟频率	
	CPU	HWE
00--	0(停止)	—
01--	f	—
10--	f/2	—
11--	f/4	—
--00	—	0(停止)
--01	—	f
--10	—	f/2
--11	—	f/4

图 3

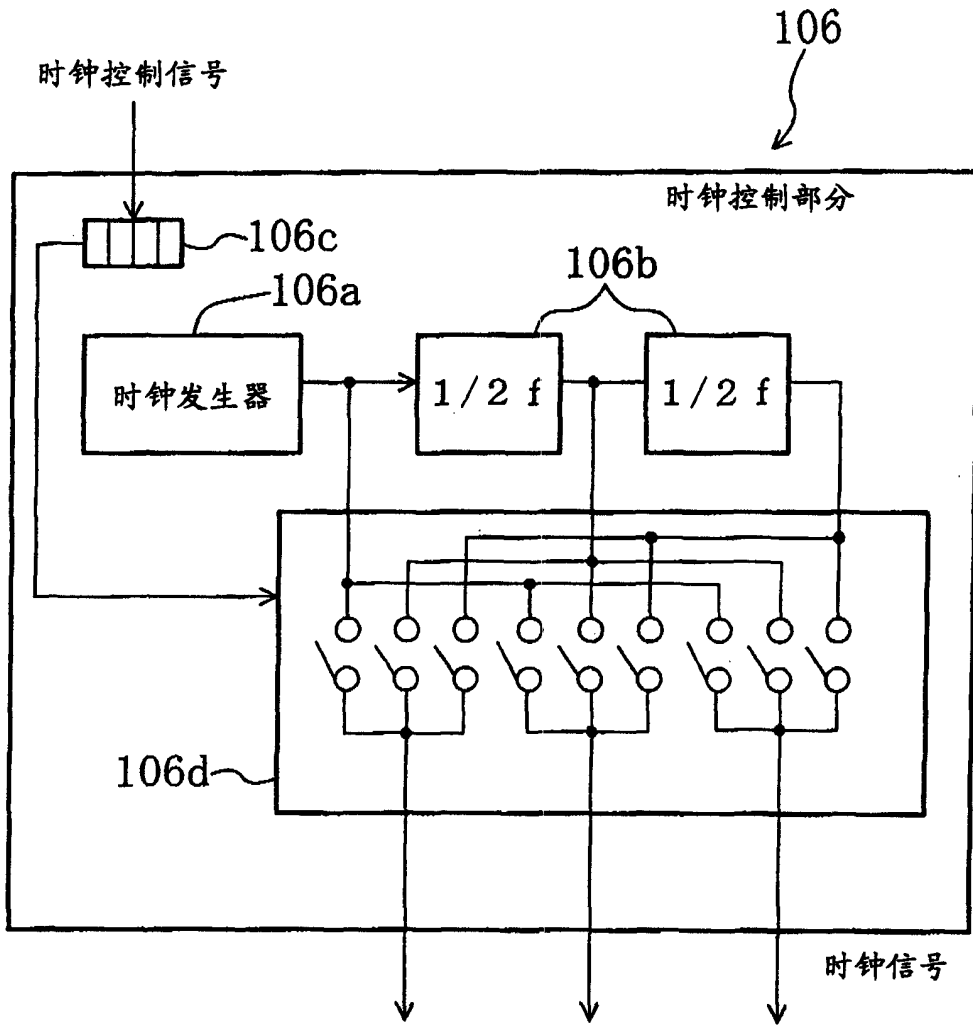


图 4

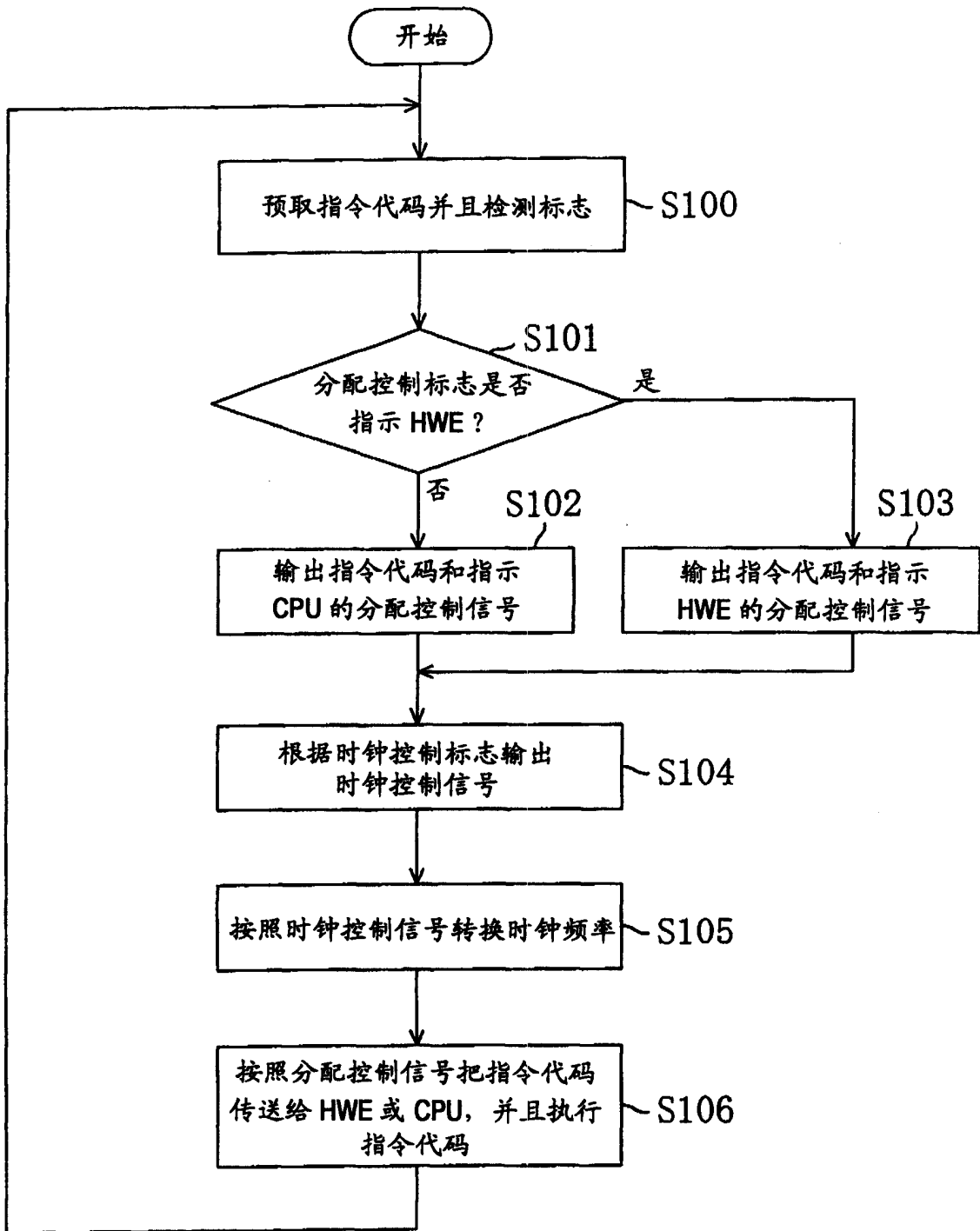


图 5

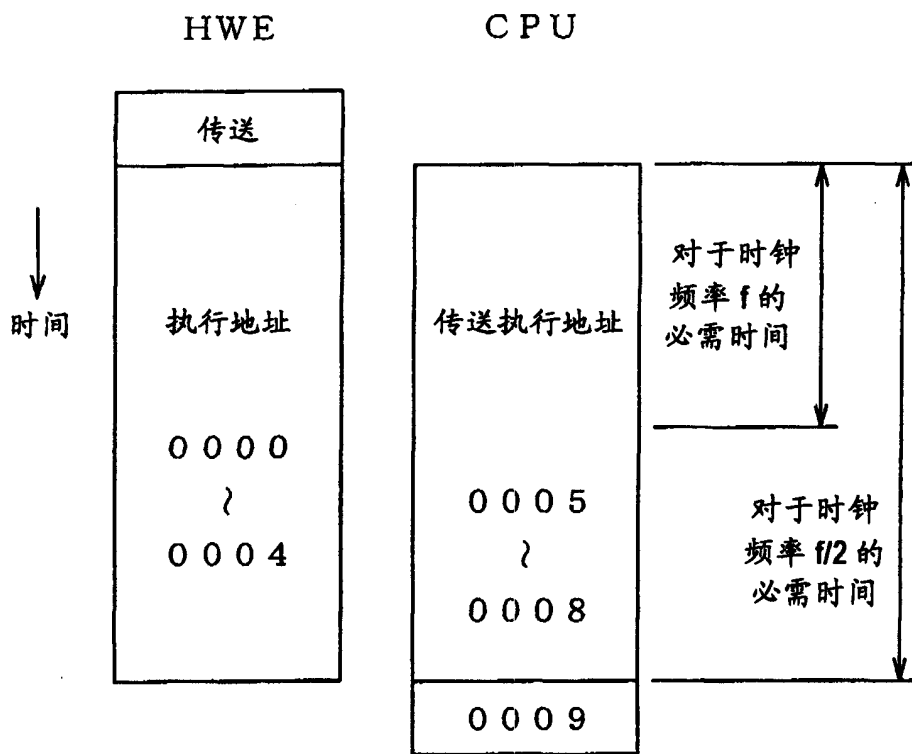


图 6



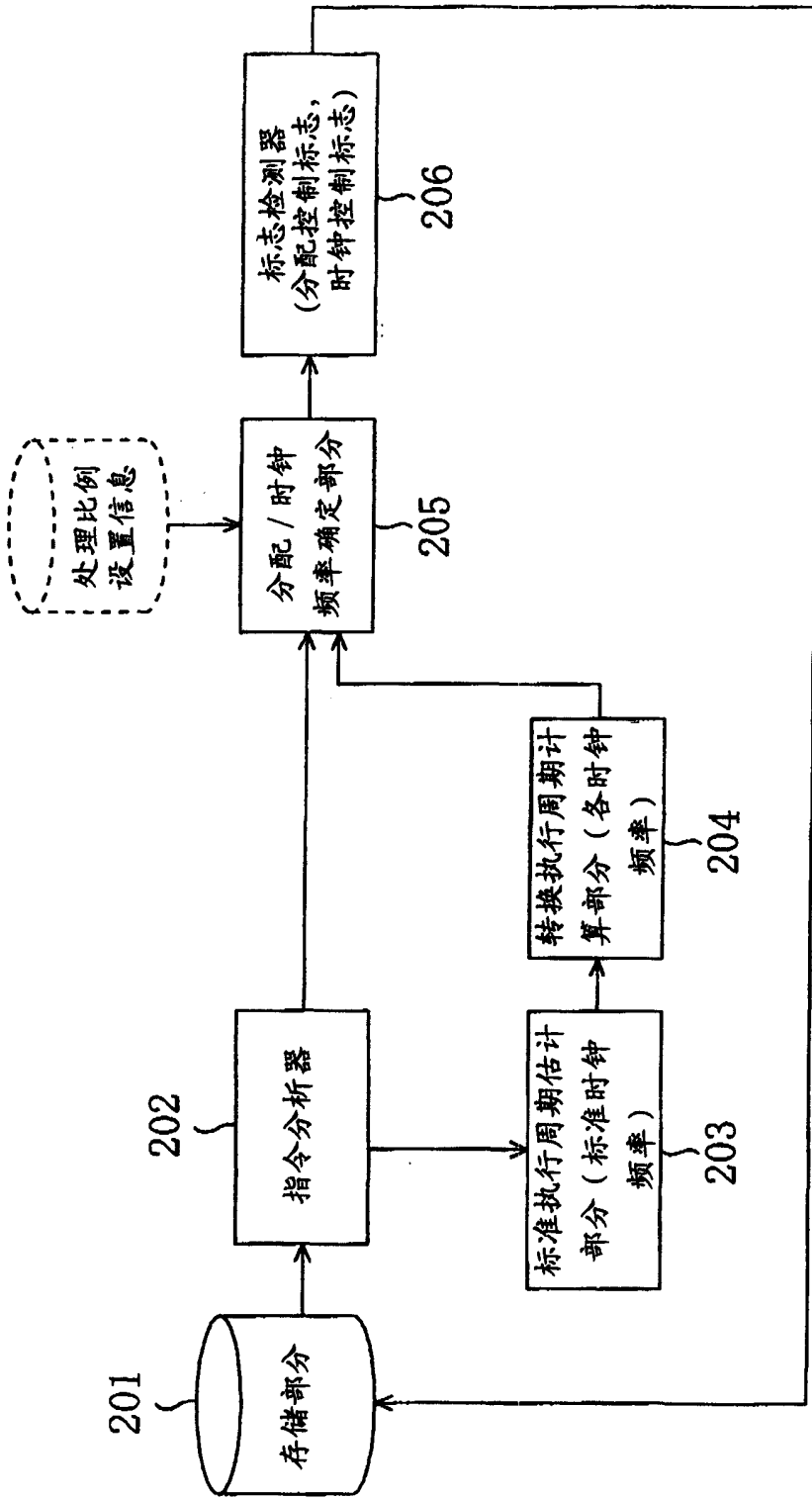


图 7

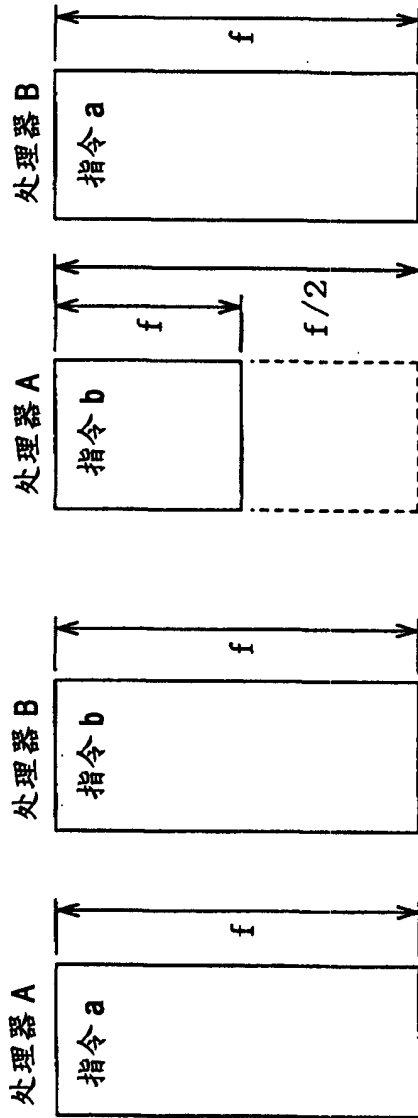


图 8B

图 8A

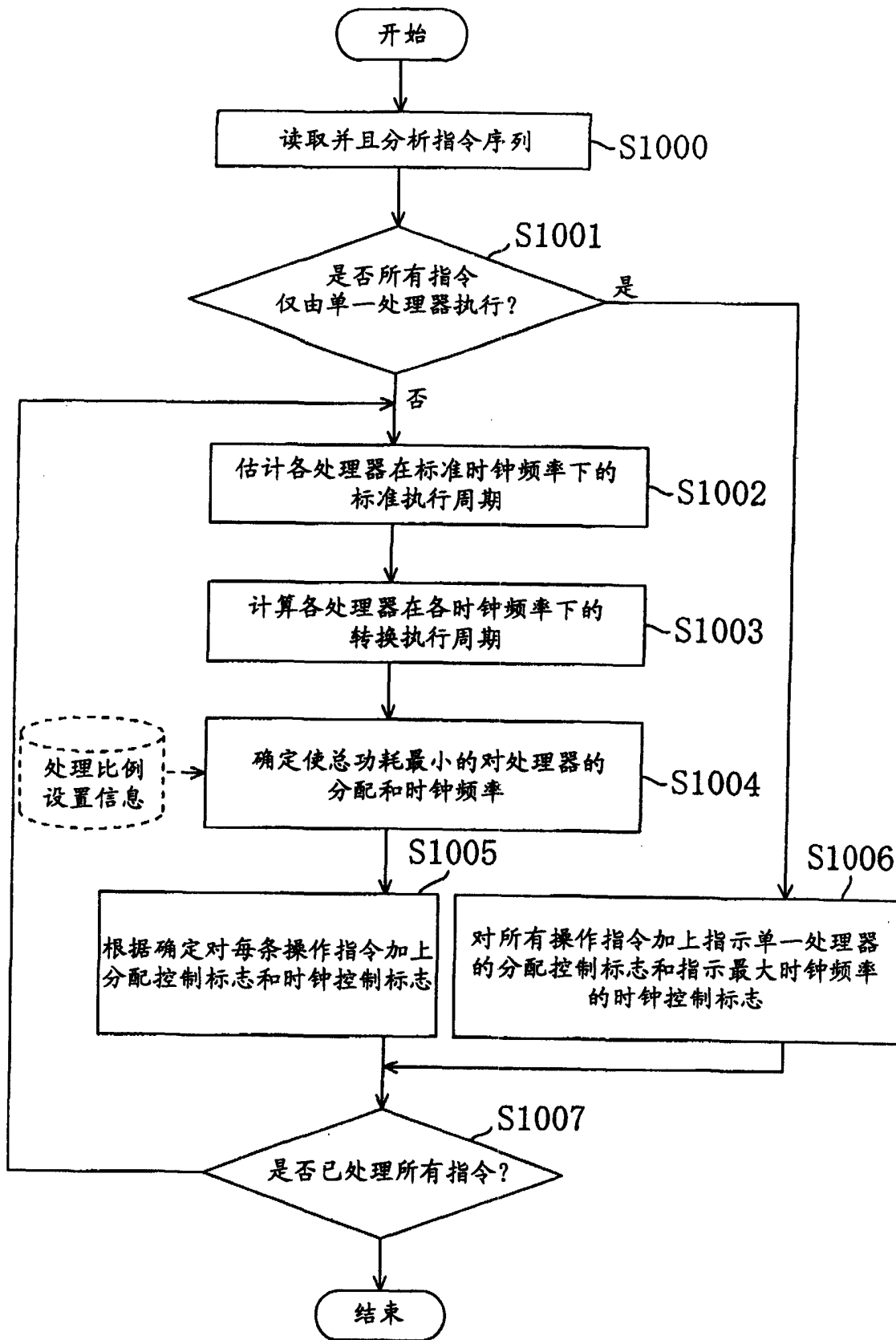


图 9

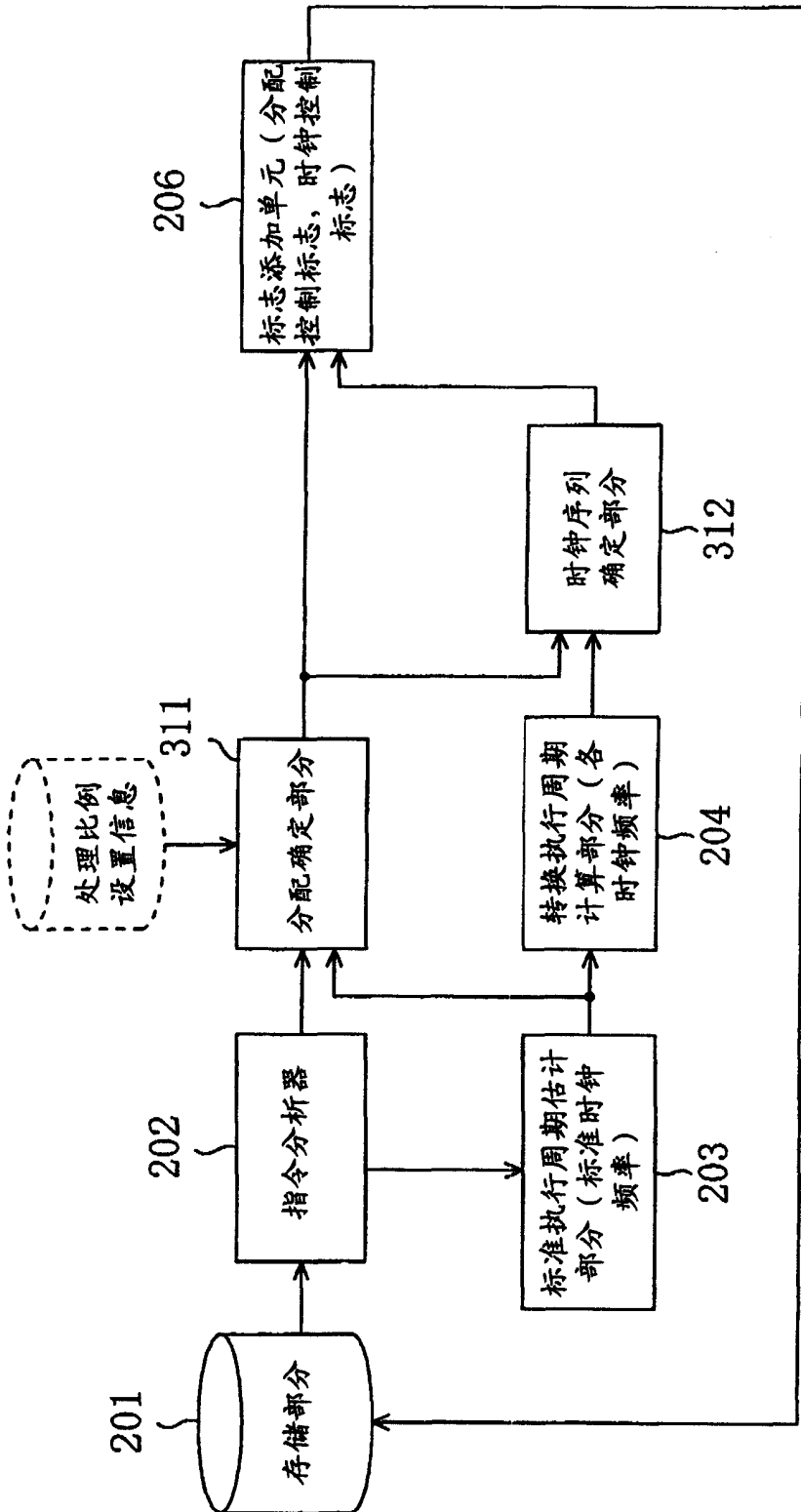


图 10

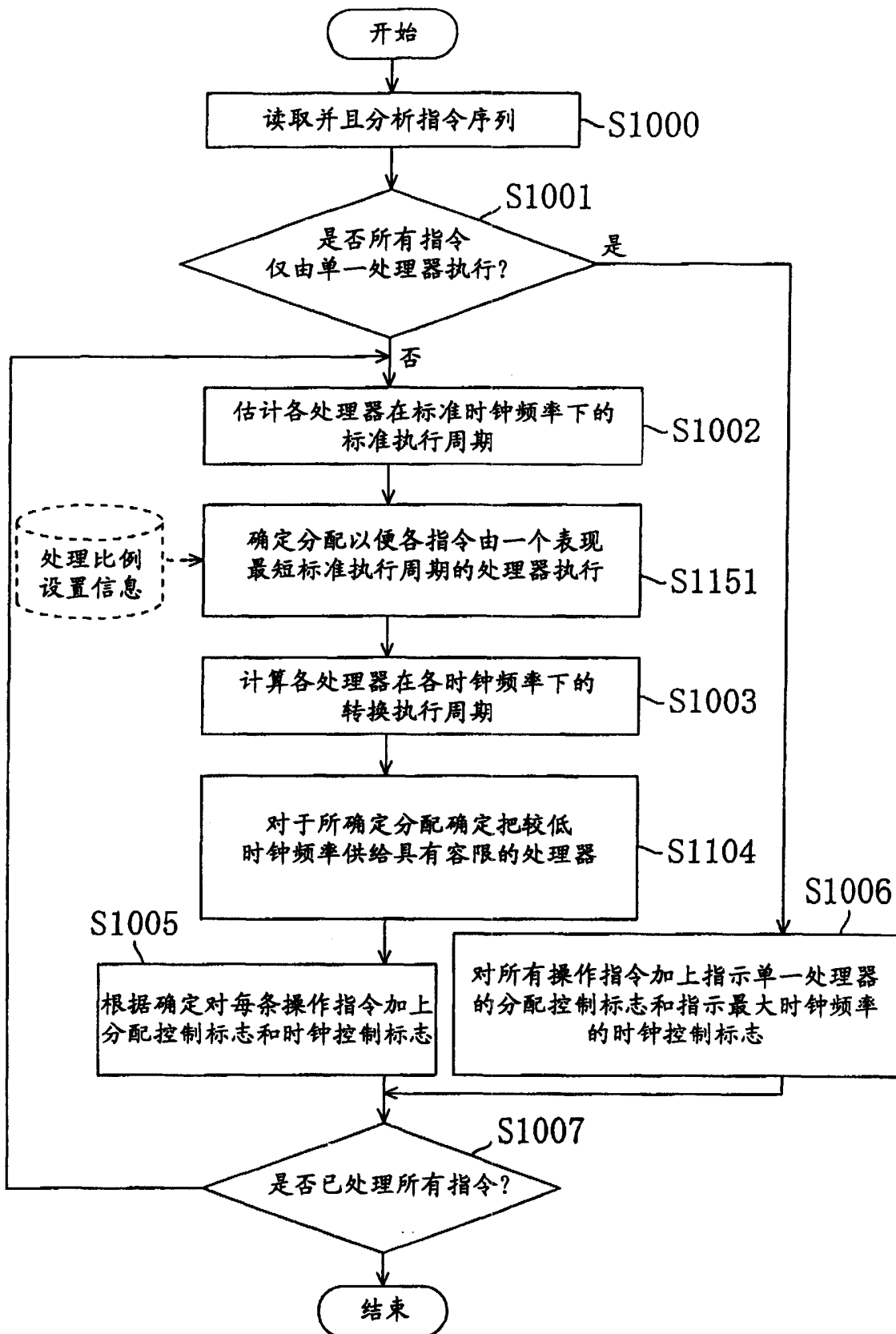


图 11

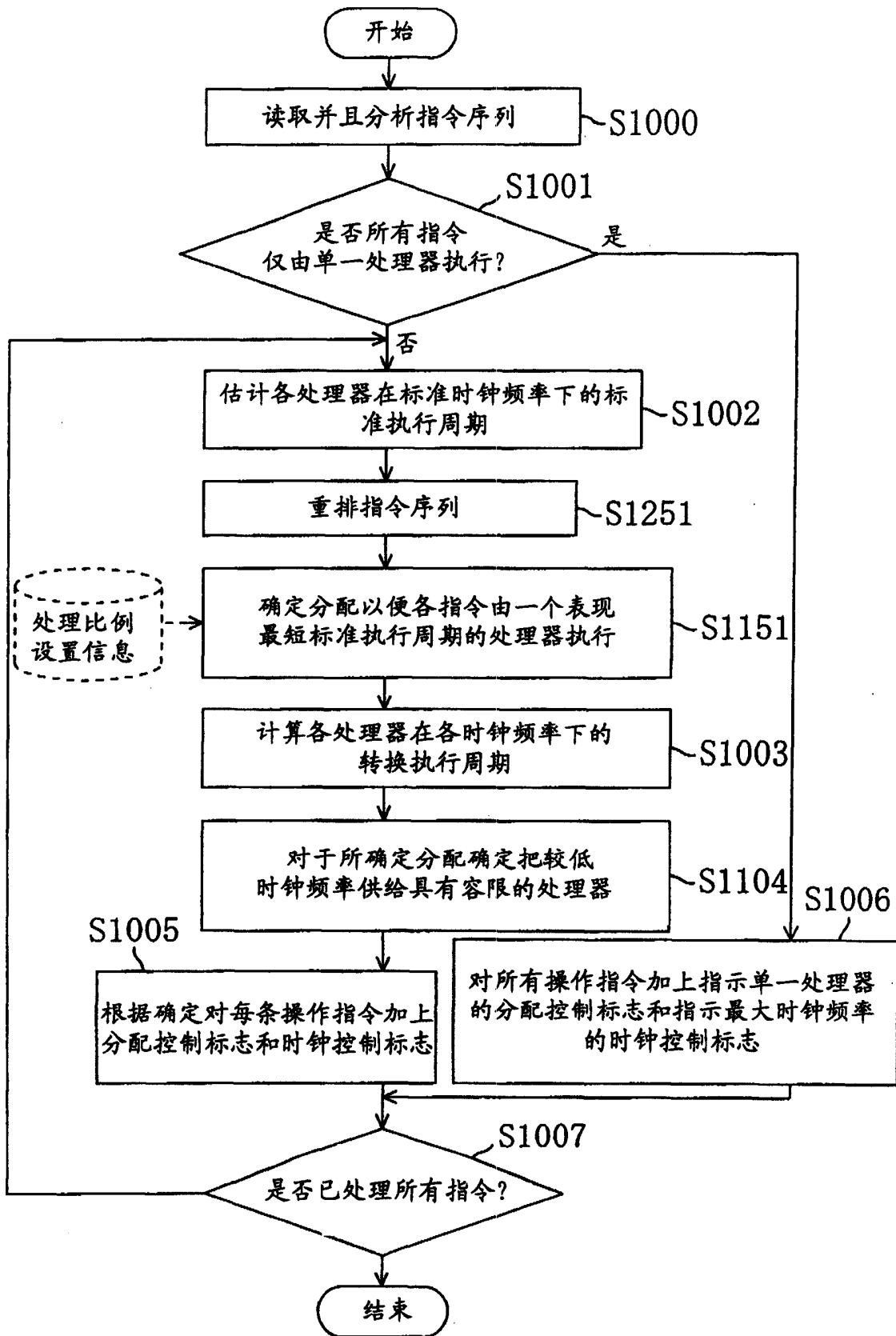


图 12

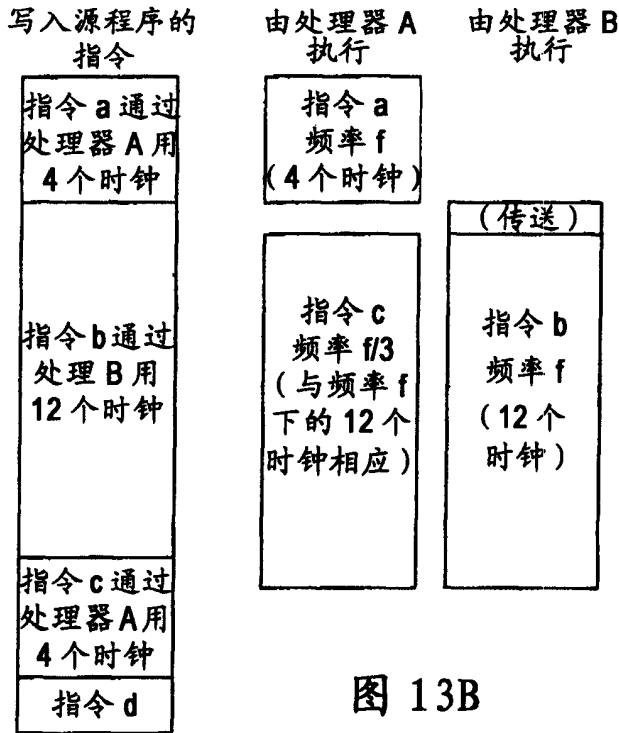


图 13A

图 13B

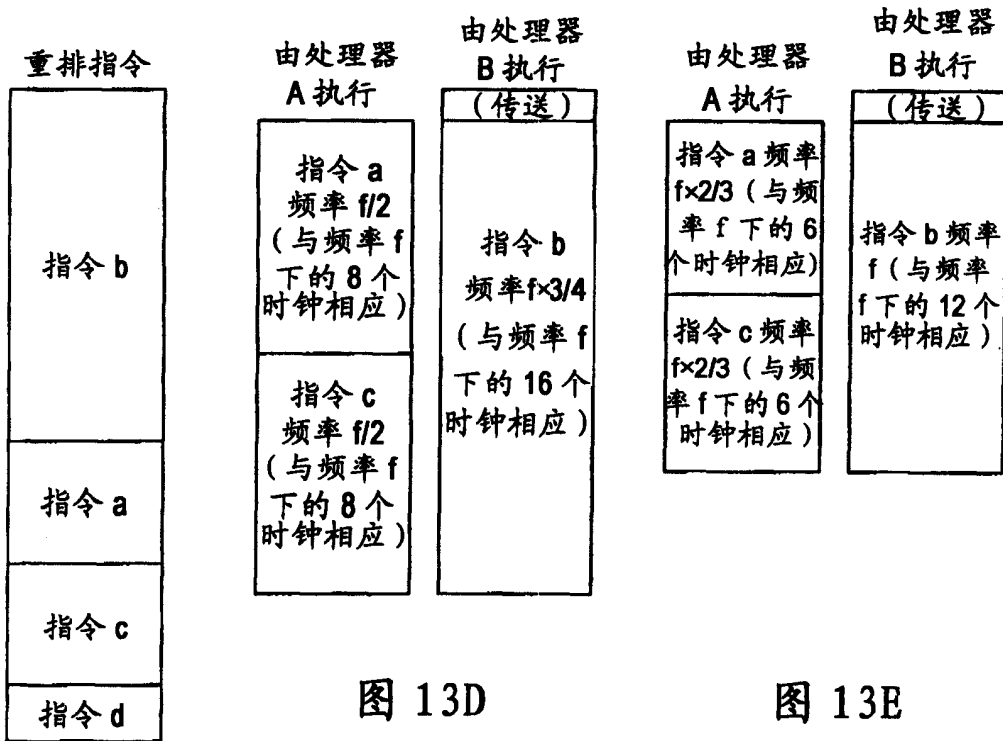


图 13C

图 13D

图 13E

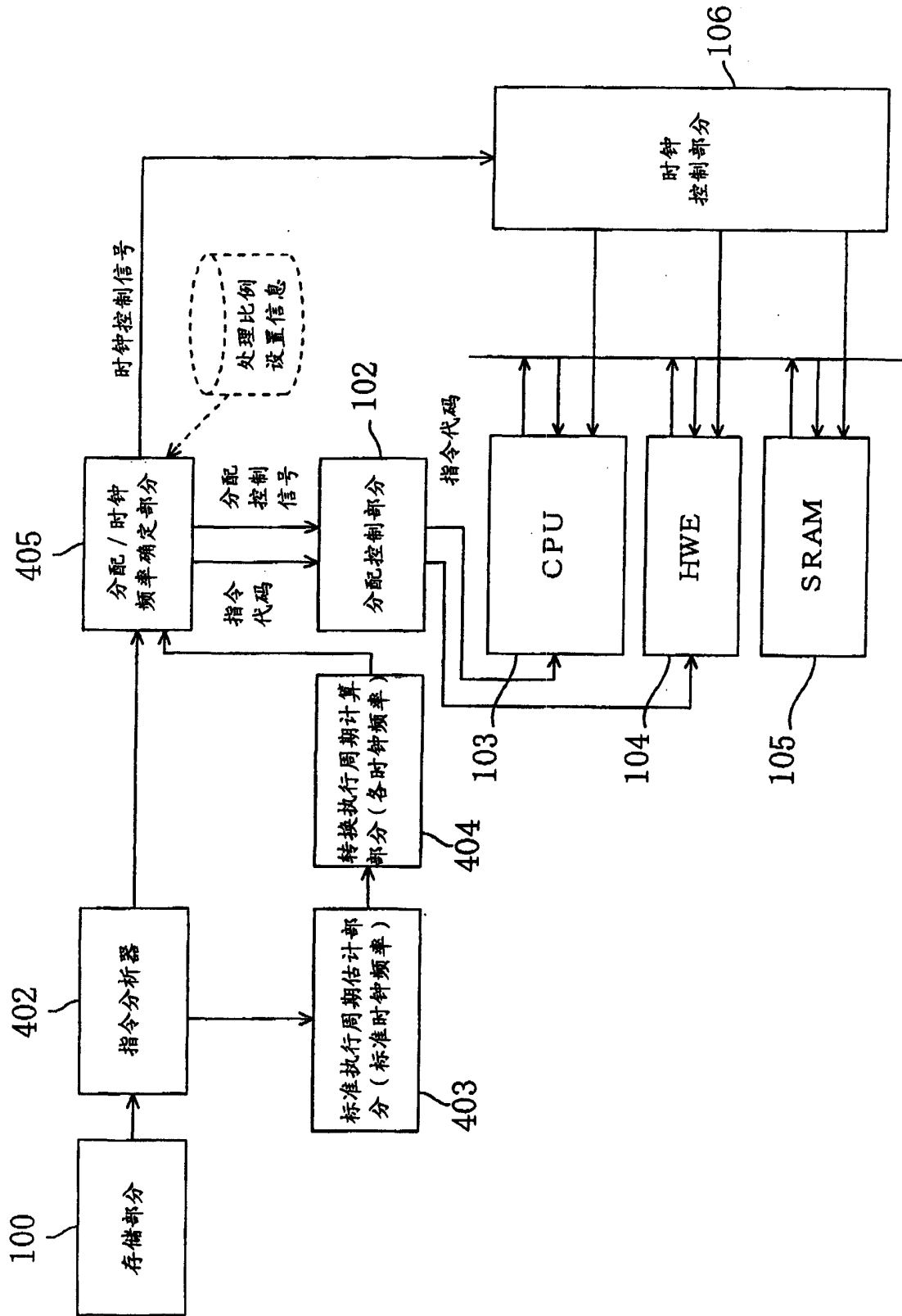


图 14



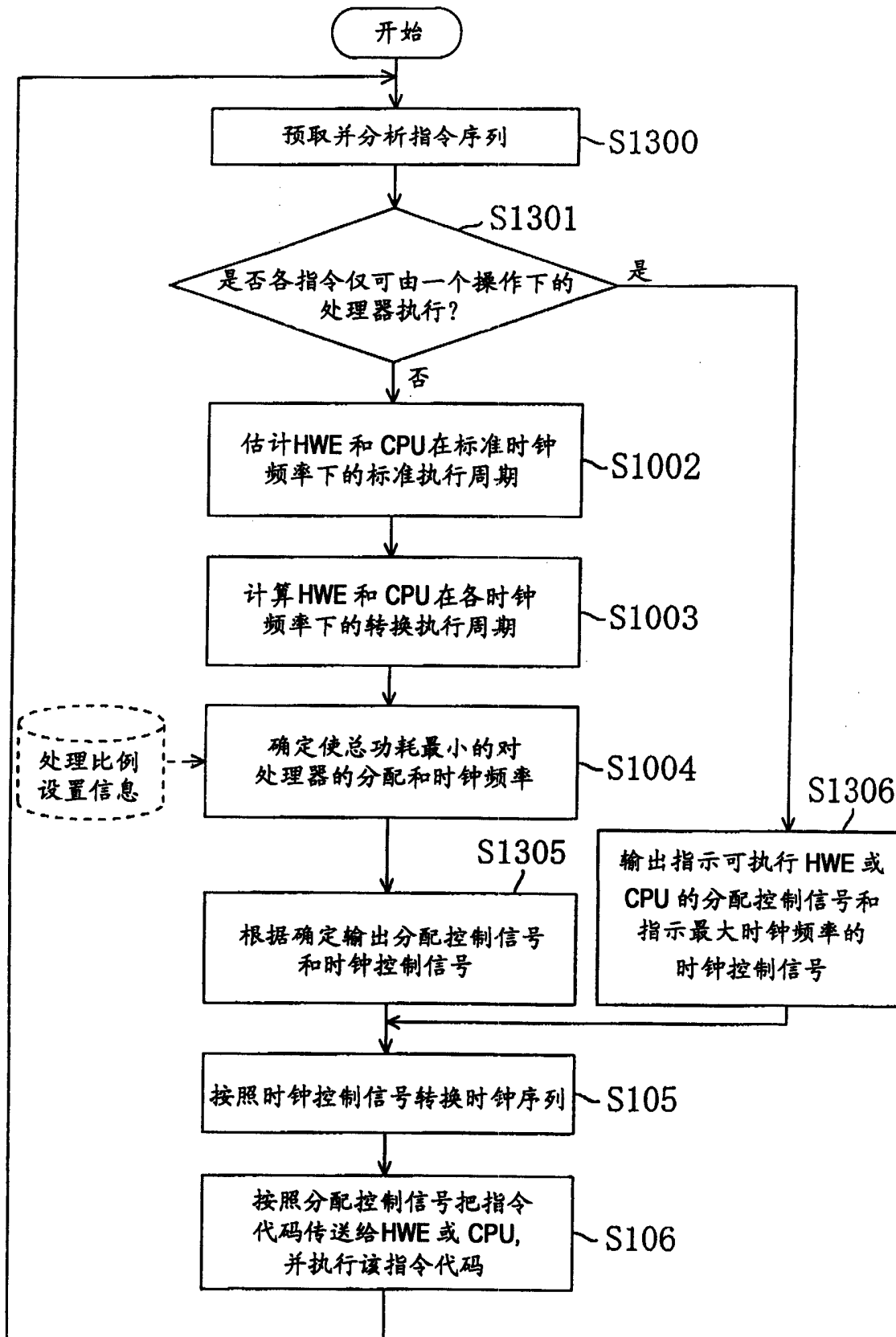


图 15

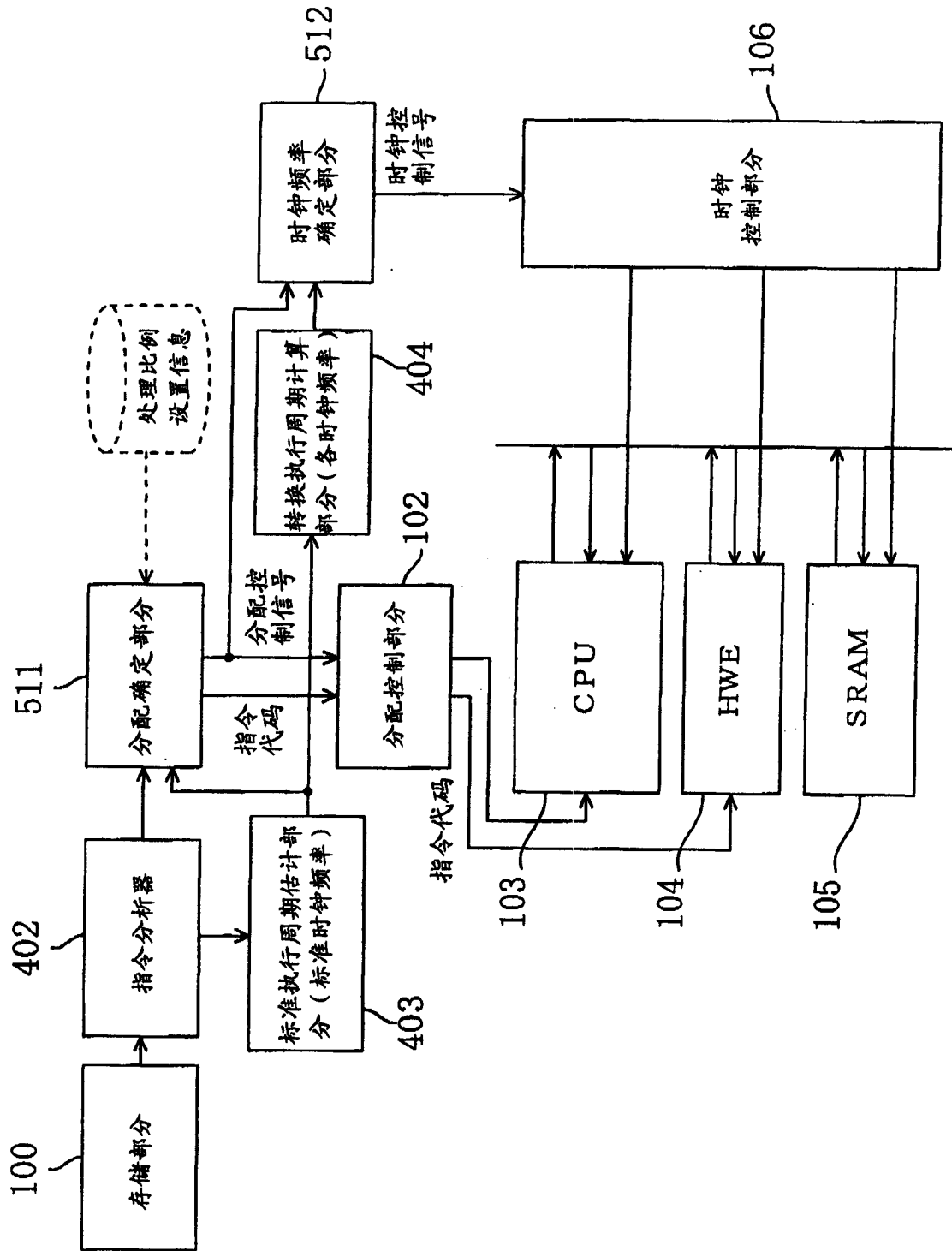


图 16

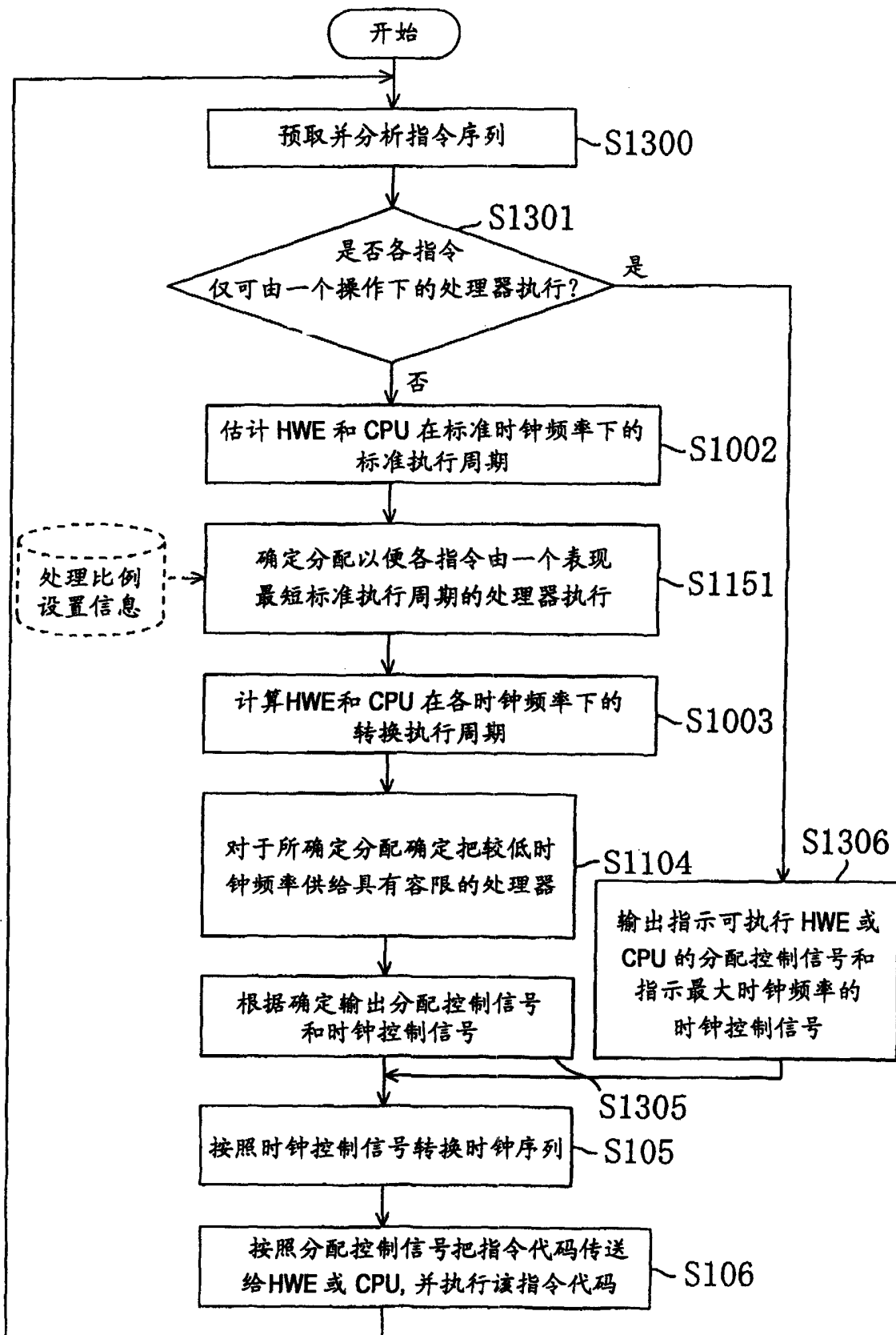


图 17

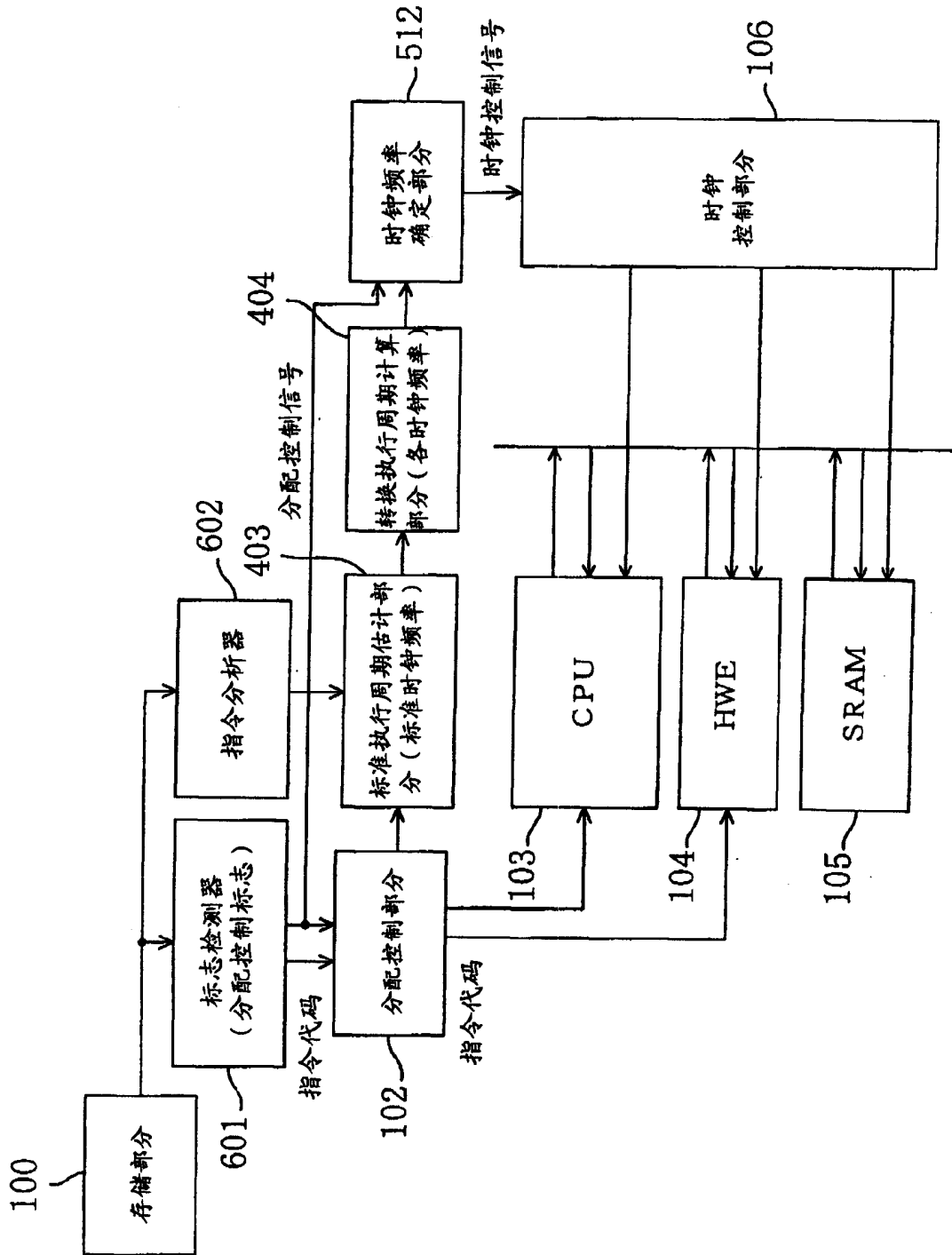


图 18

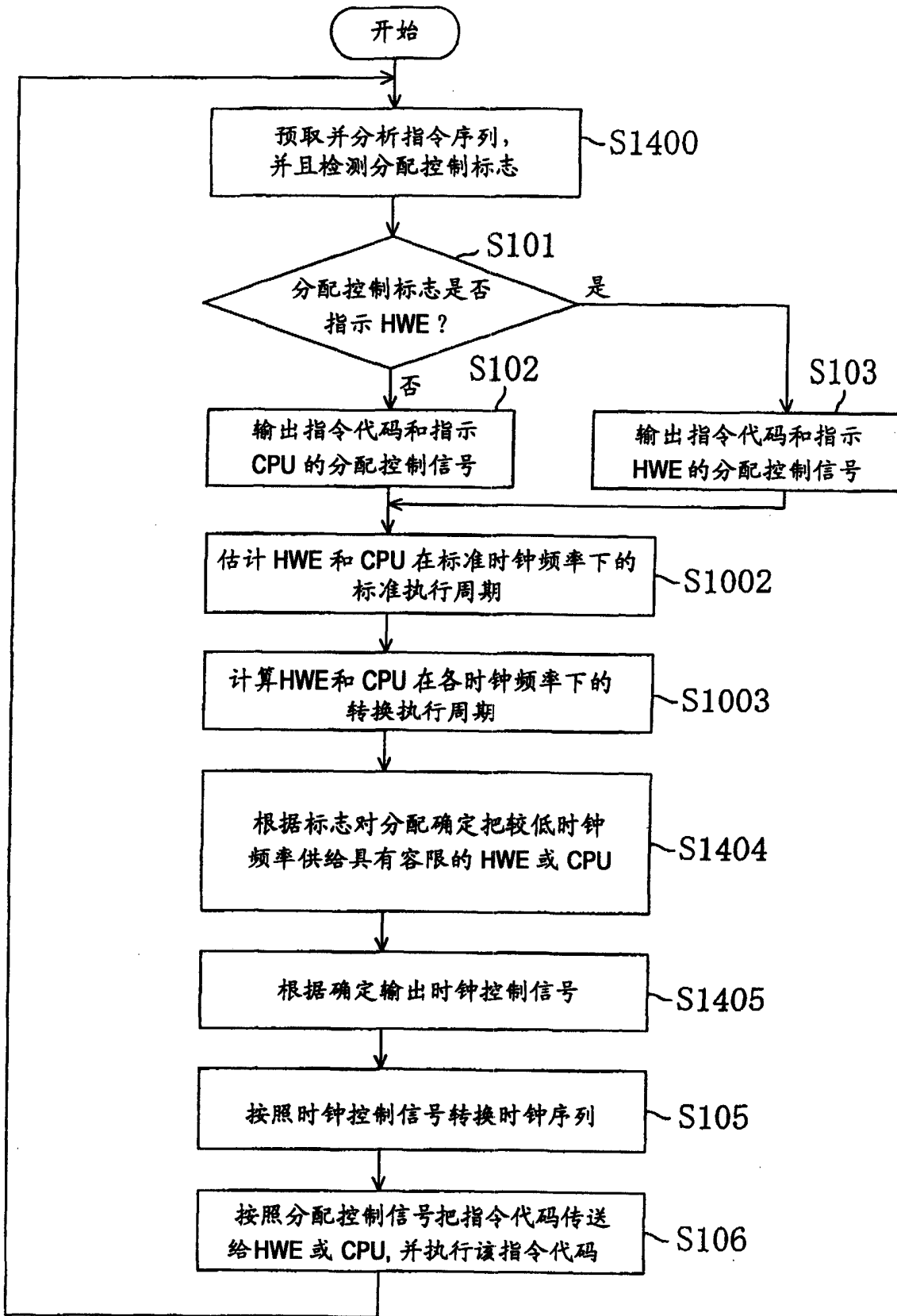


图 19

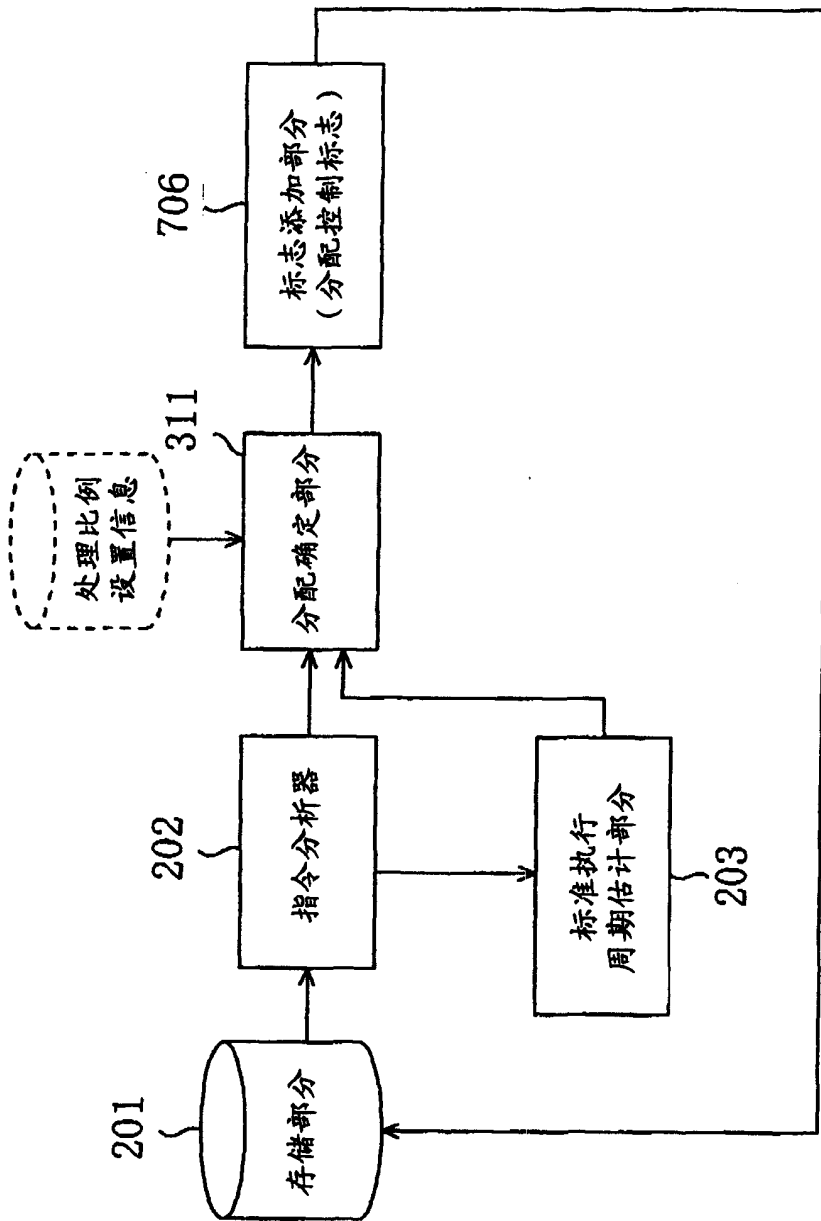


图 20

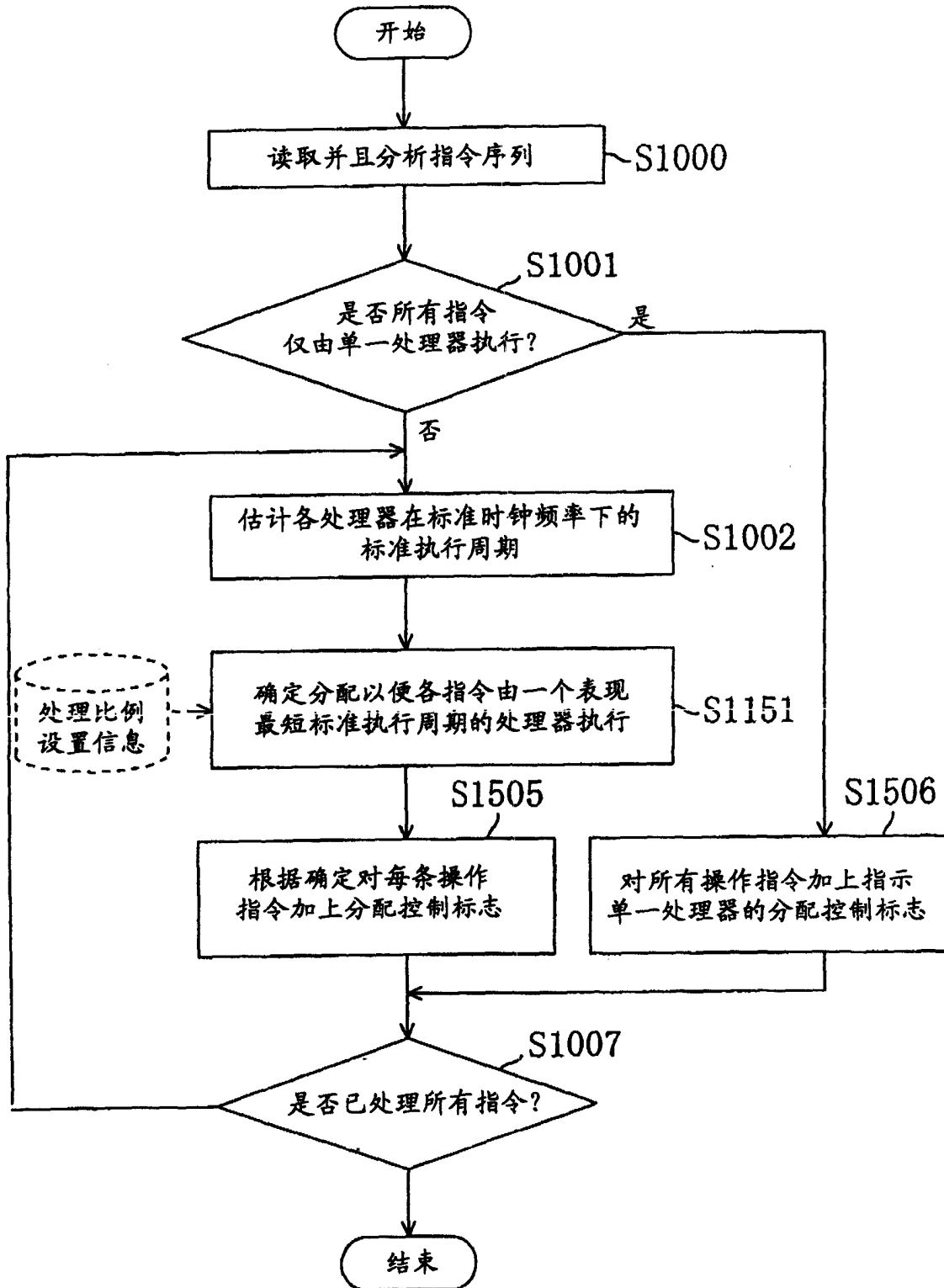


图 21

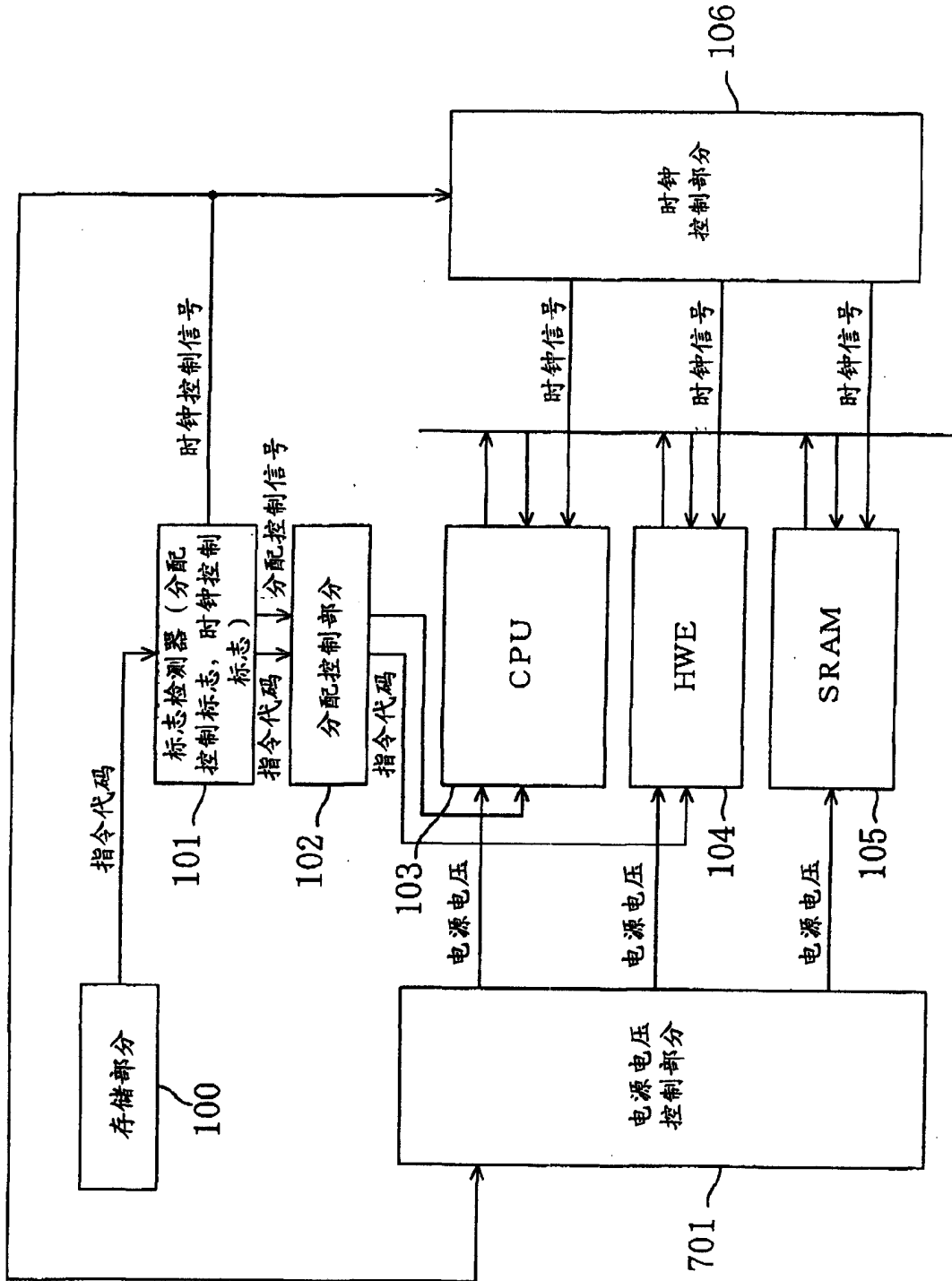


图 22



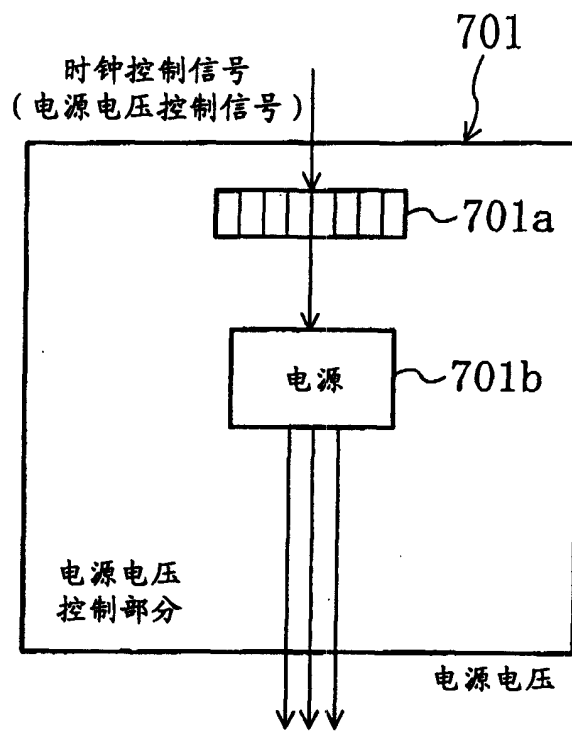


图 23

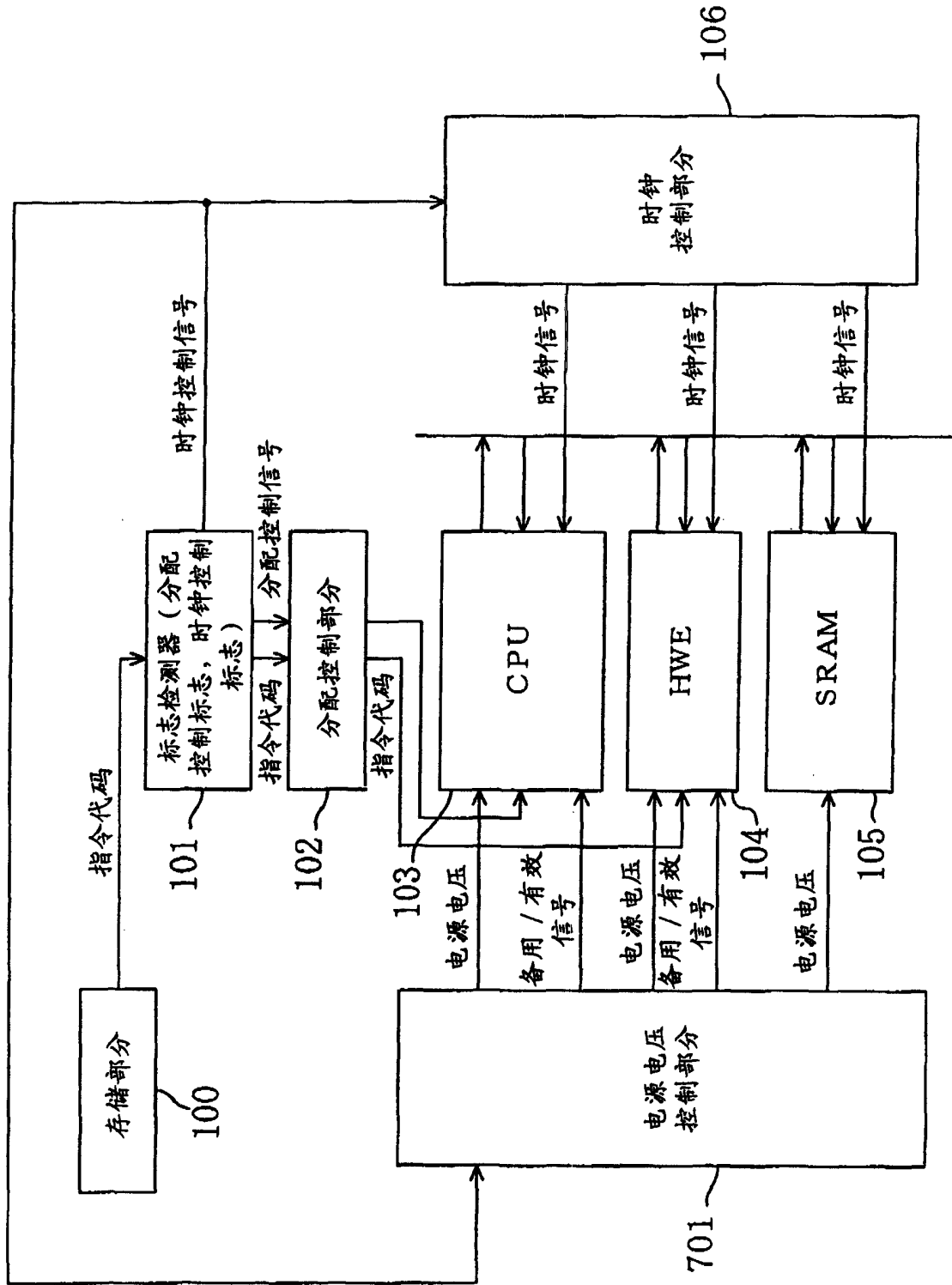


图 24

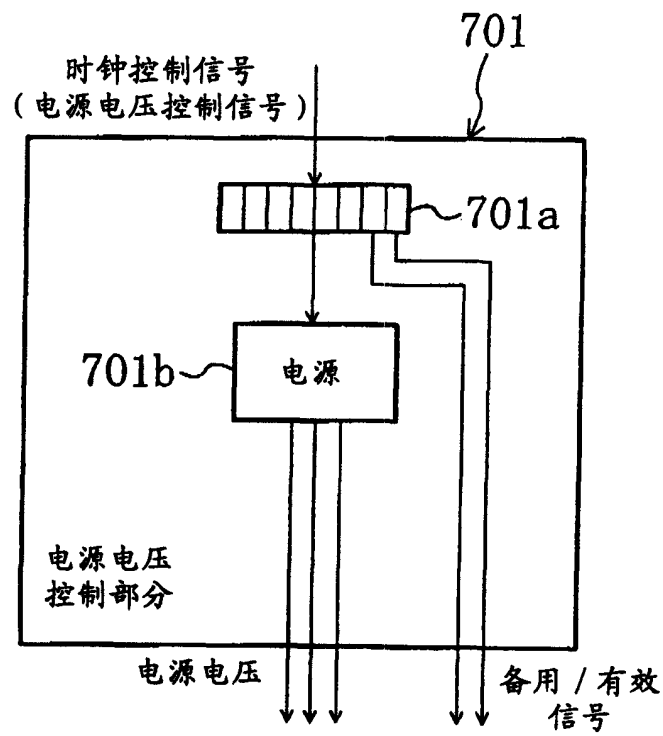


图 25

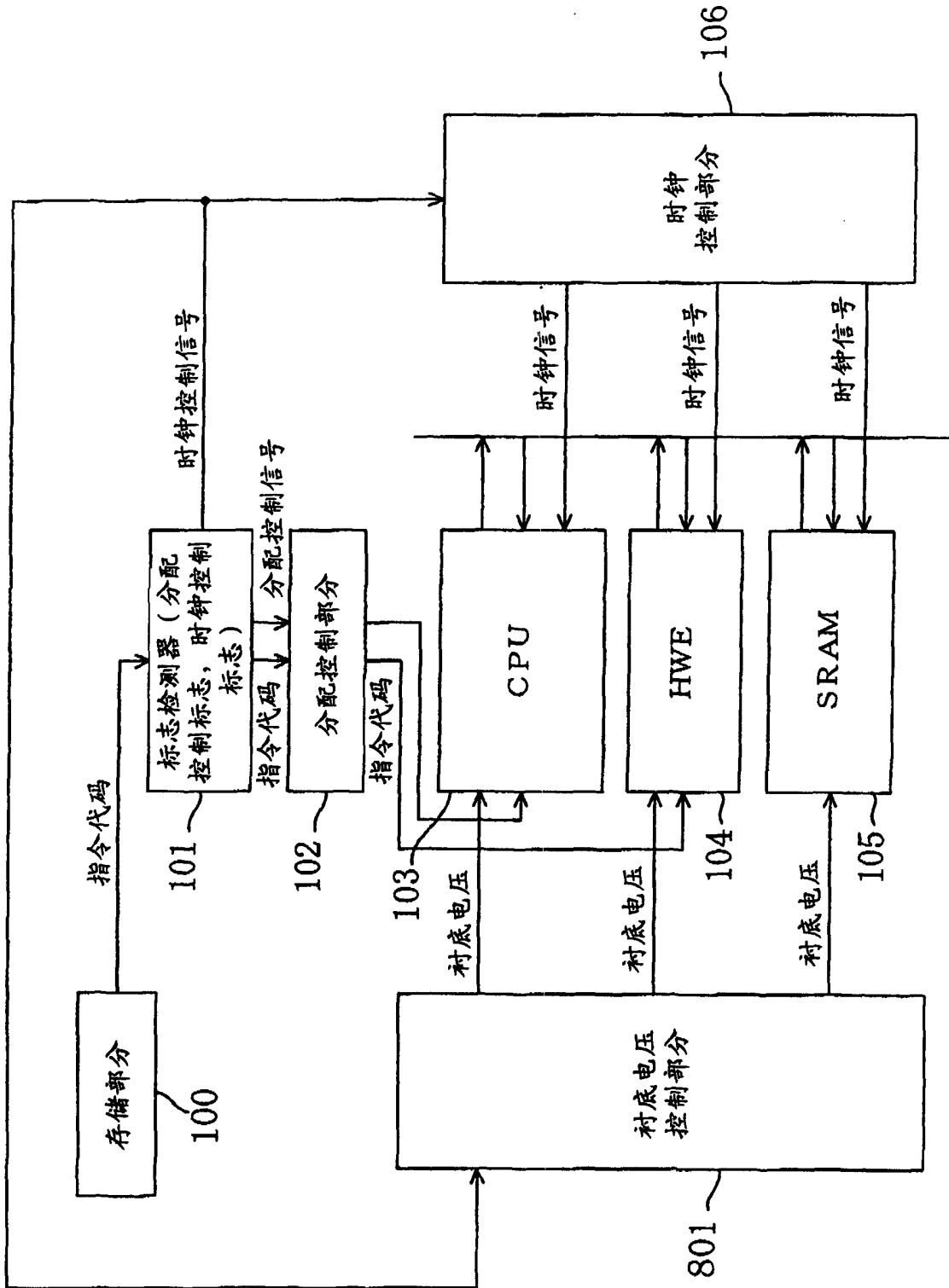


图 26

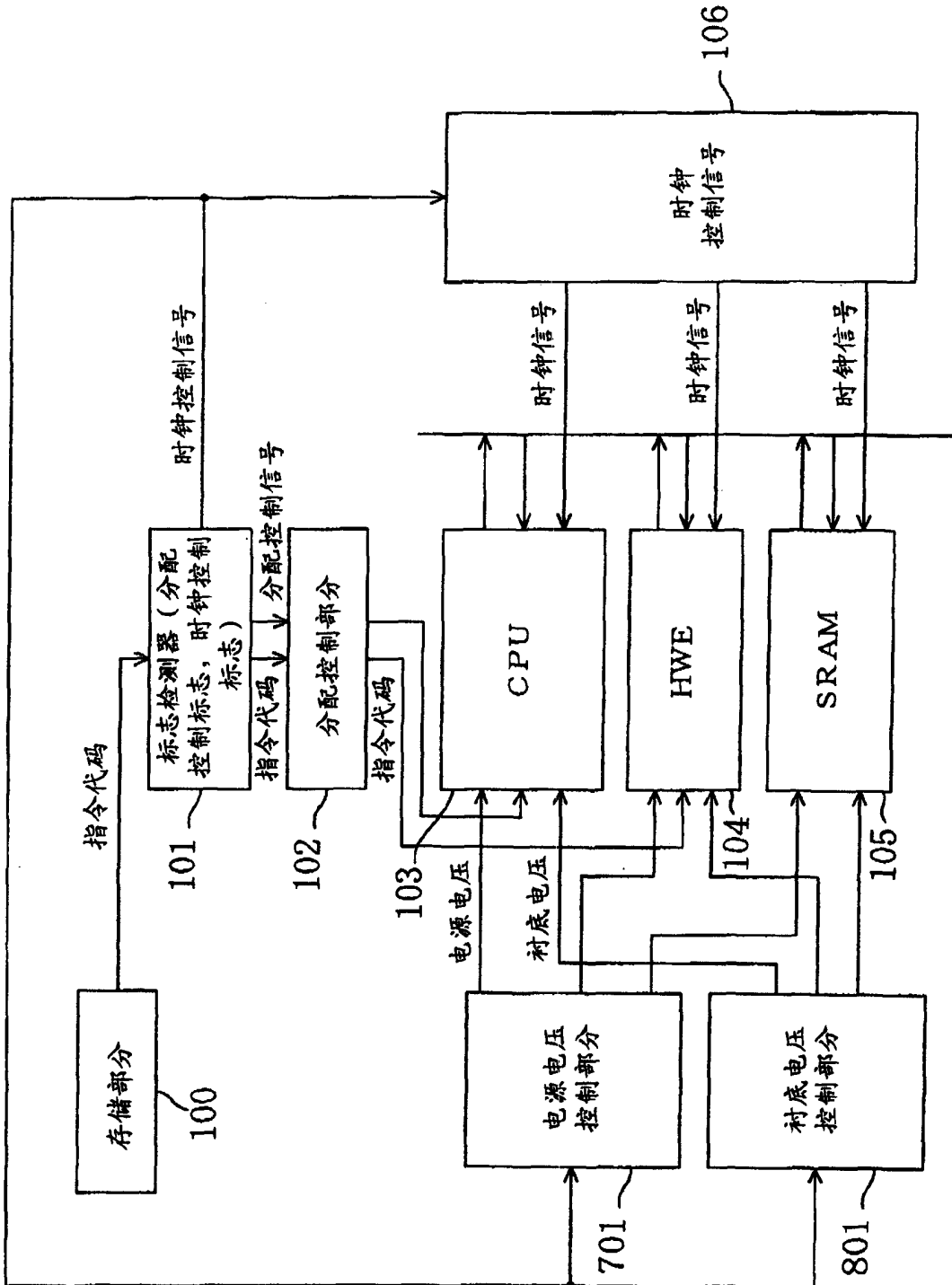


图 27

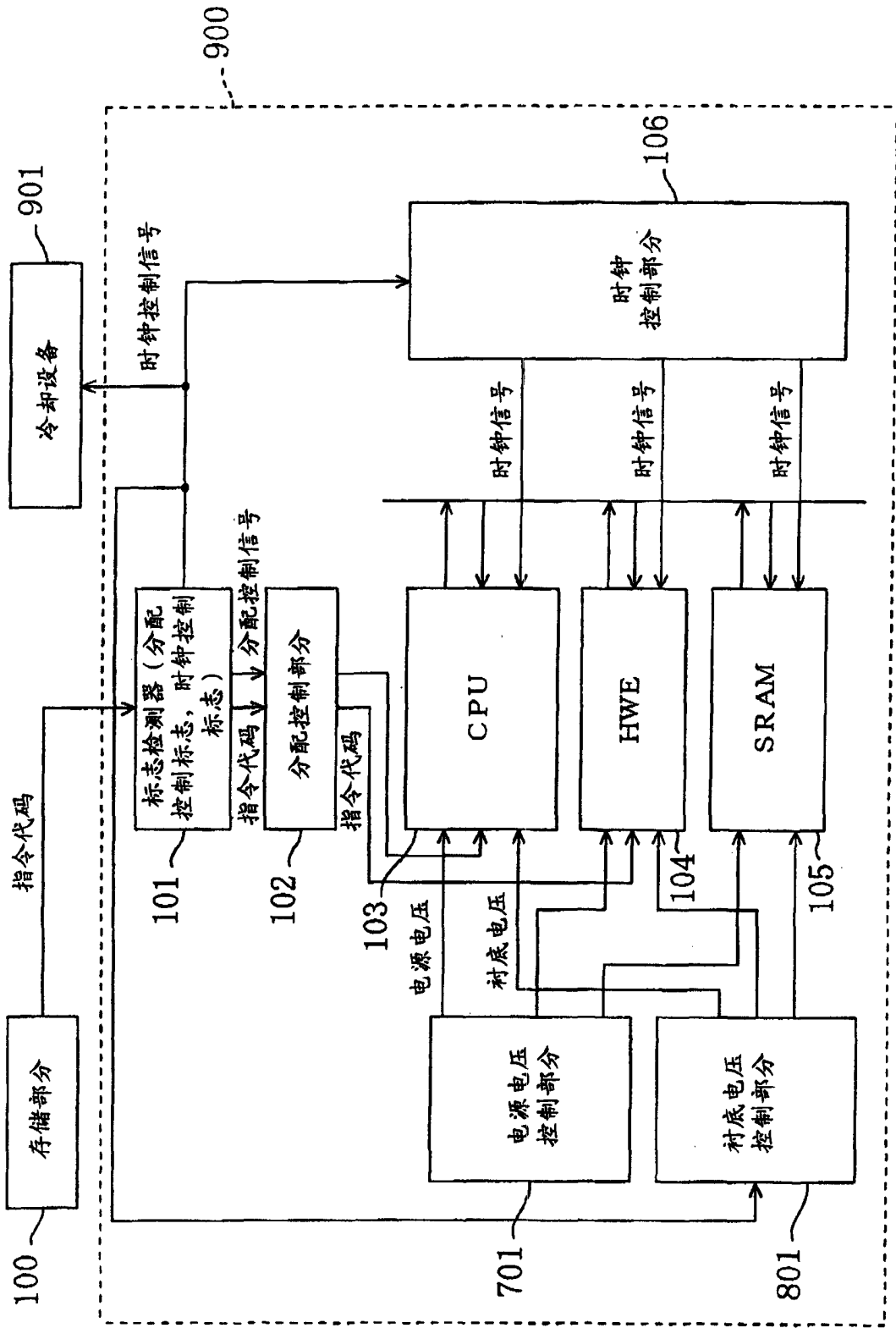


图 28

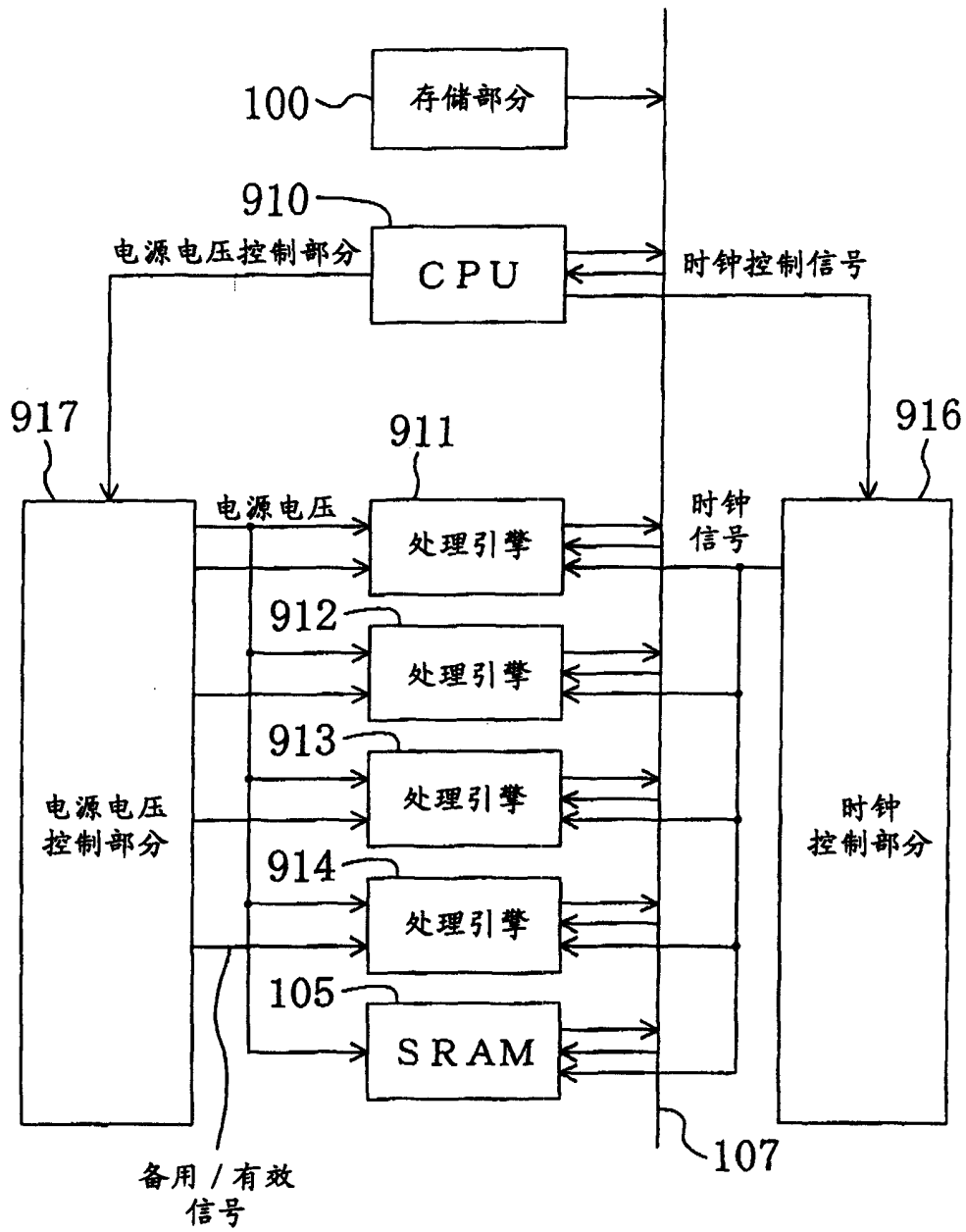


图 29

操作方式	供执行的处理器	电源电压	时钟频率	电源电压控制寄存器 701a 中保持的值	频率控制寄存器 106c 中保持的值	总处理能力	功耗比
正常方式	处理引擎 9 1 1	V <sub>dd</sub>	f	b'0000 0001	b'0000	1	1
低消耗方式	处理引擎 9 1 1、9 1 2	V <sub>dd</sub> /2	f / 2	b'0001 0011	b'0001	1	1 / 4
高性能方式	处理引擎 9 1 1 ~ 9 1 4	V <sub>dd</sub> /2	f / 2	b'0001 1111	b'0001	2	1 / 2
超低消耗方式	处理引擎 9 1 1	V <sub>dd</sub> /2	f / 2	b'0001 0001	b'0001	1 / 2	1 / 8

(b' 指示随后值用二进制表示)

图 30



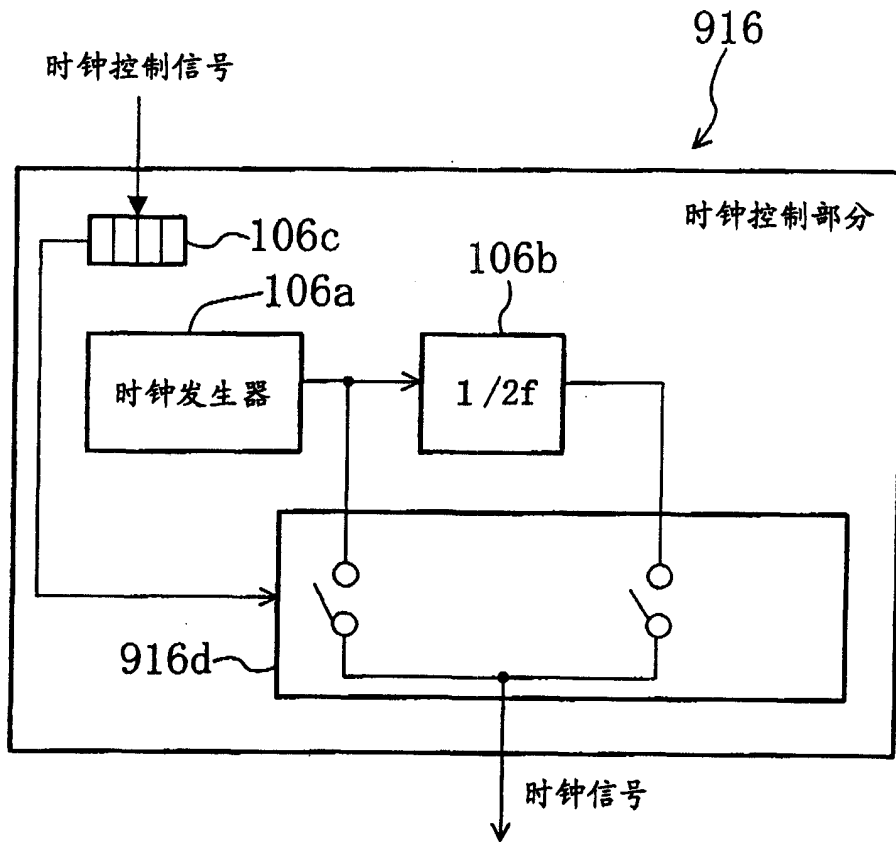


图 31

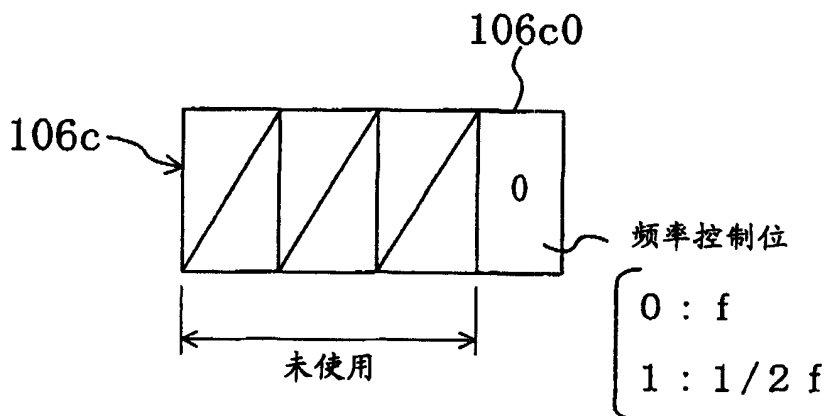


图 32

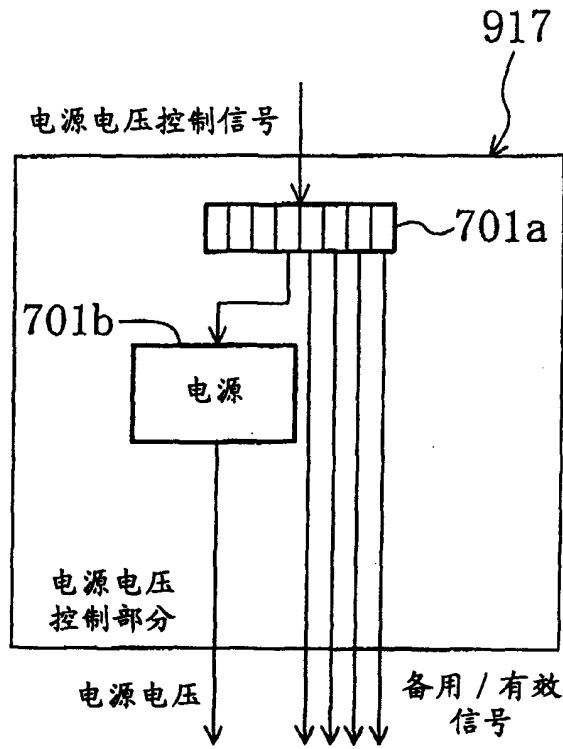


图 33

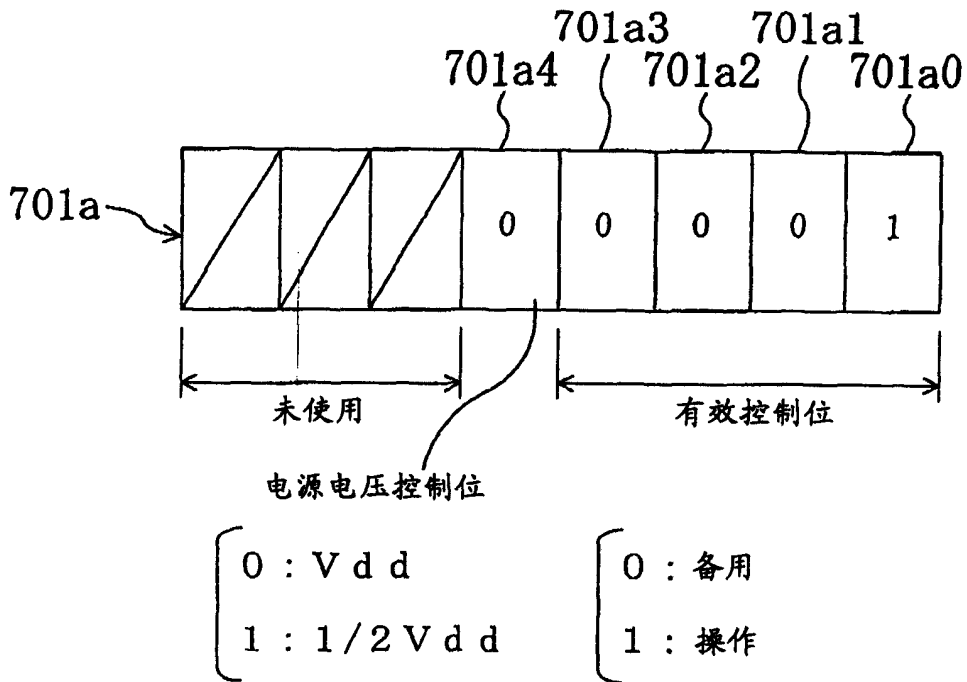


图 34

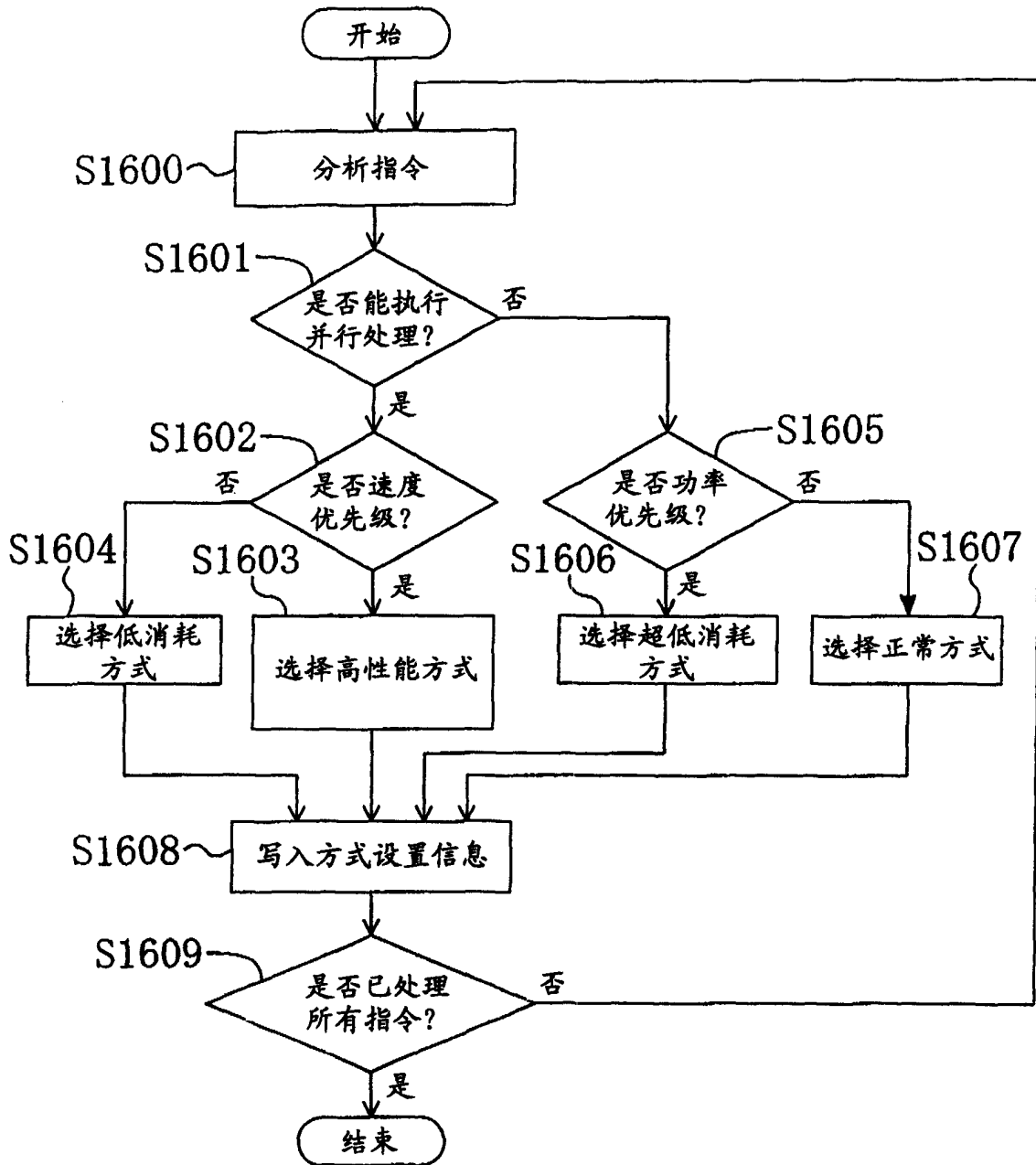


图 35

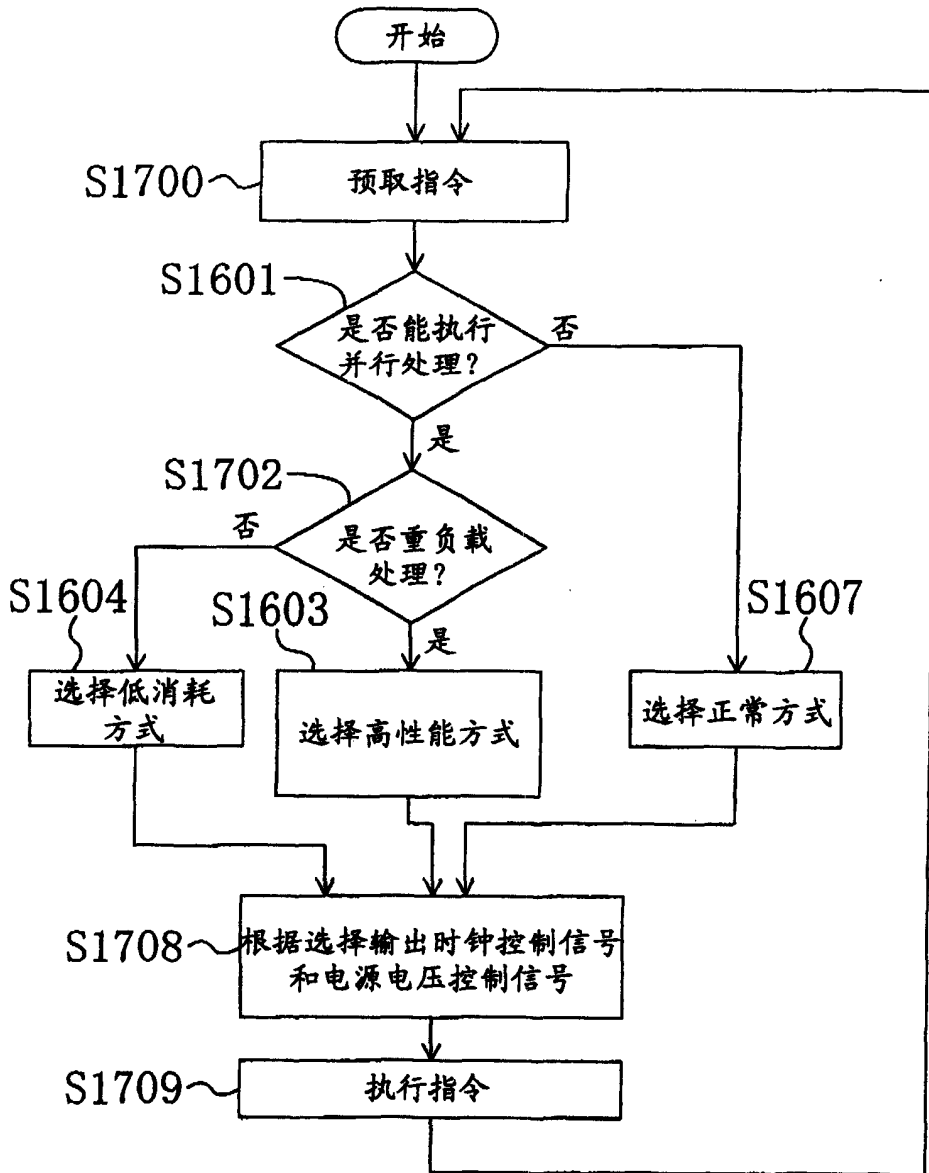


图 36

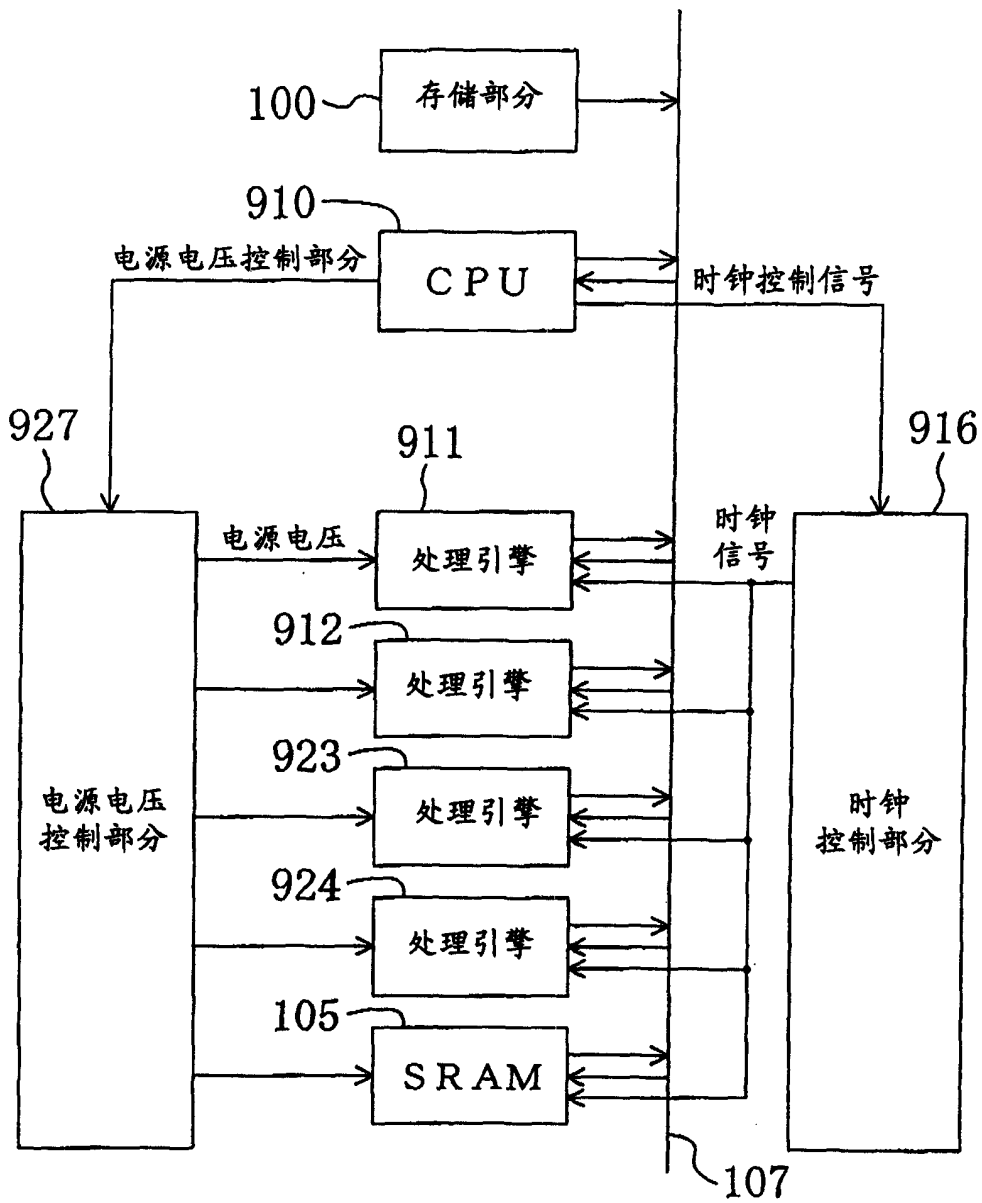


图 37

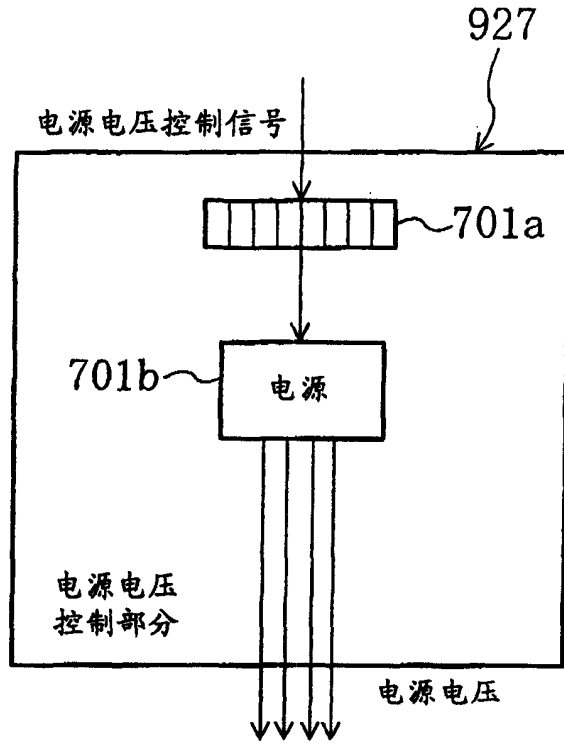


图 38

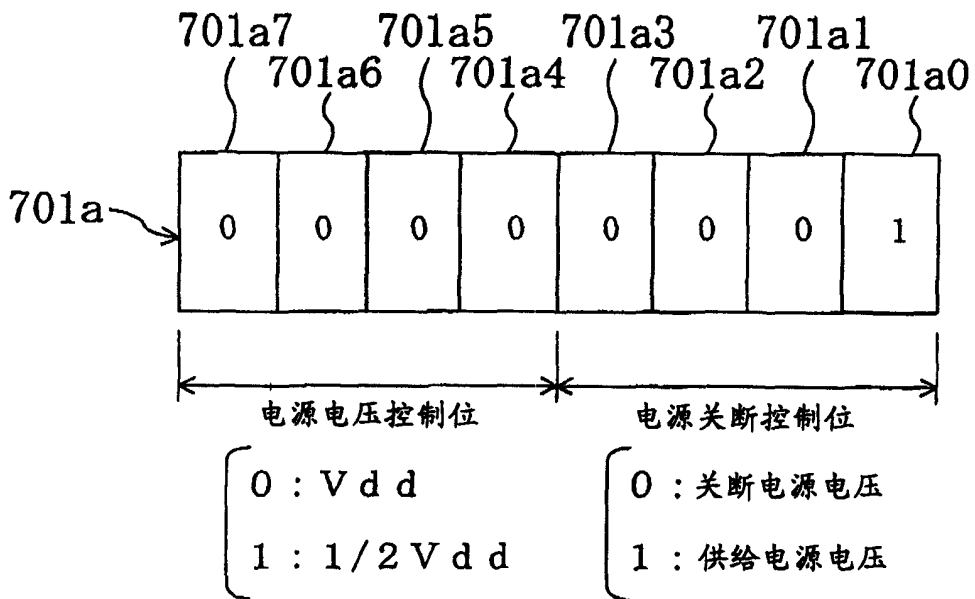


图 39

操作方式	供执行的处理器	电源电压	时钟频率	电源电压控制寄存器 701a 中保持的值	频率控制寄存器 106c 中保持的值	总处理能力	功耗比
正常方式	处理引擎 9 1 1	Vdd	f	b'0000 0001	b'0000	1	1
低泄漏方式	处理引擎 9 2 3、9 2 4	Vdd	f / 2	b'0000 1100	b'0001	1	1—泄漏 减少量×2
高性能方式	处理引擎 9 1 1、9 1 2 ..... 处理引擎 9 2 3、9 2 4	Vdd/2 ..... Vdd	f / 2	b'0011 1111	b'0001	2	1.25—泄漏 减少量×2

(b' 指示随后值用二进制表示)

图 40

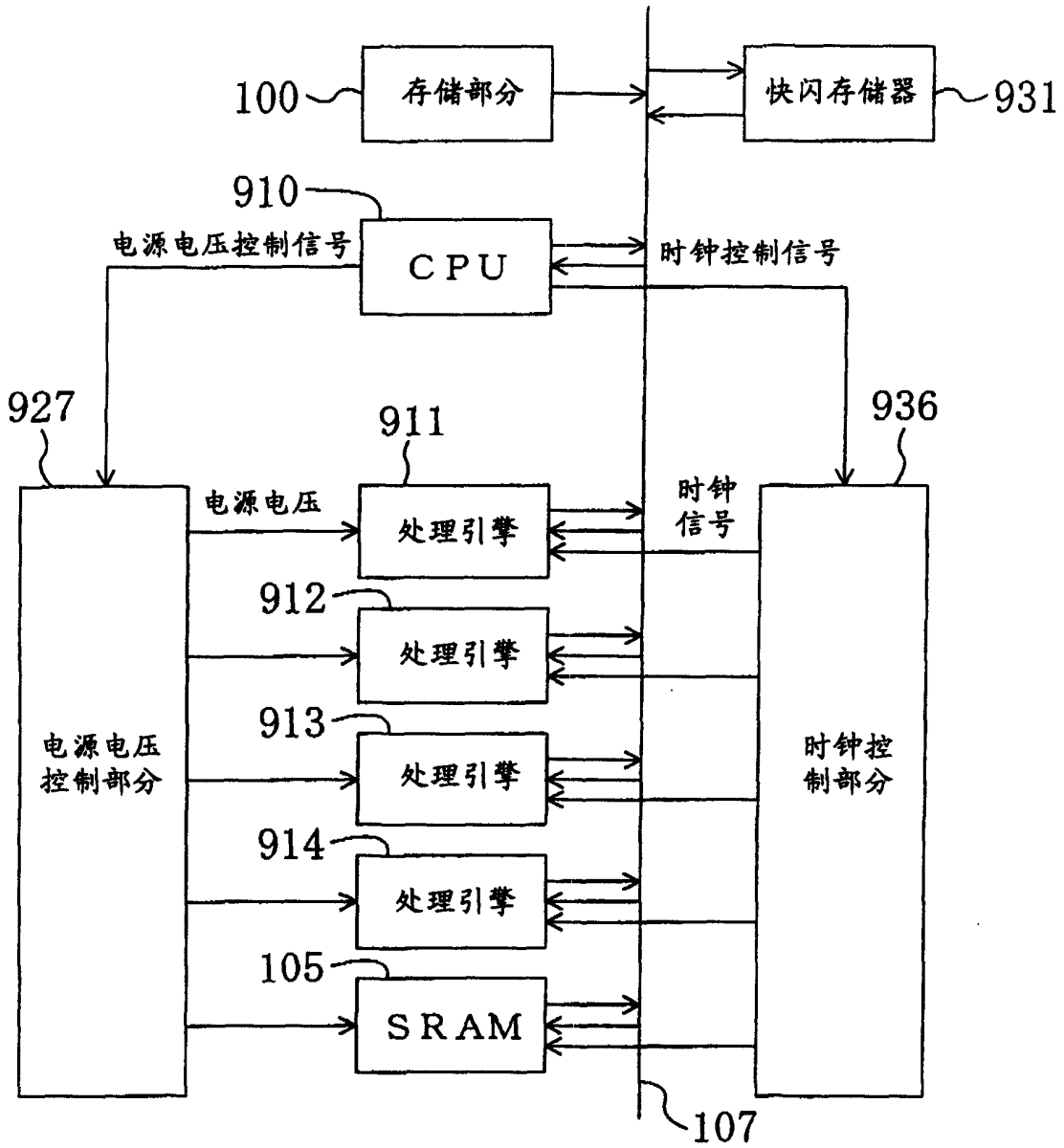


图 41



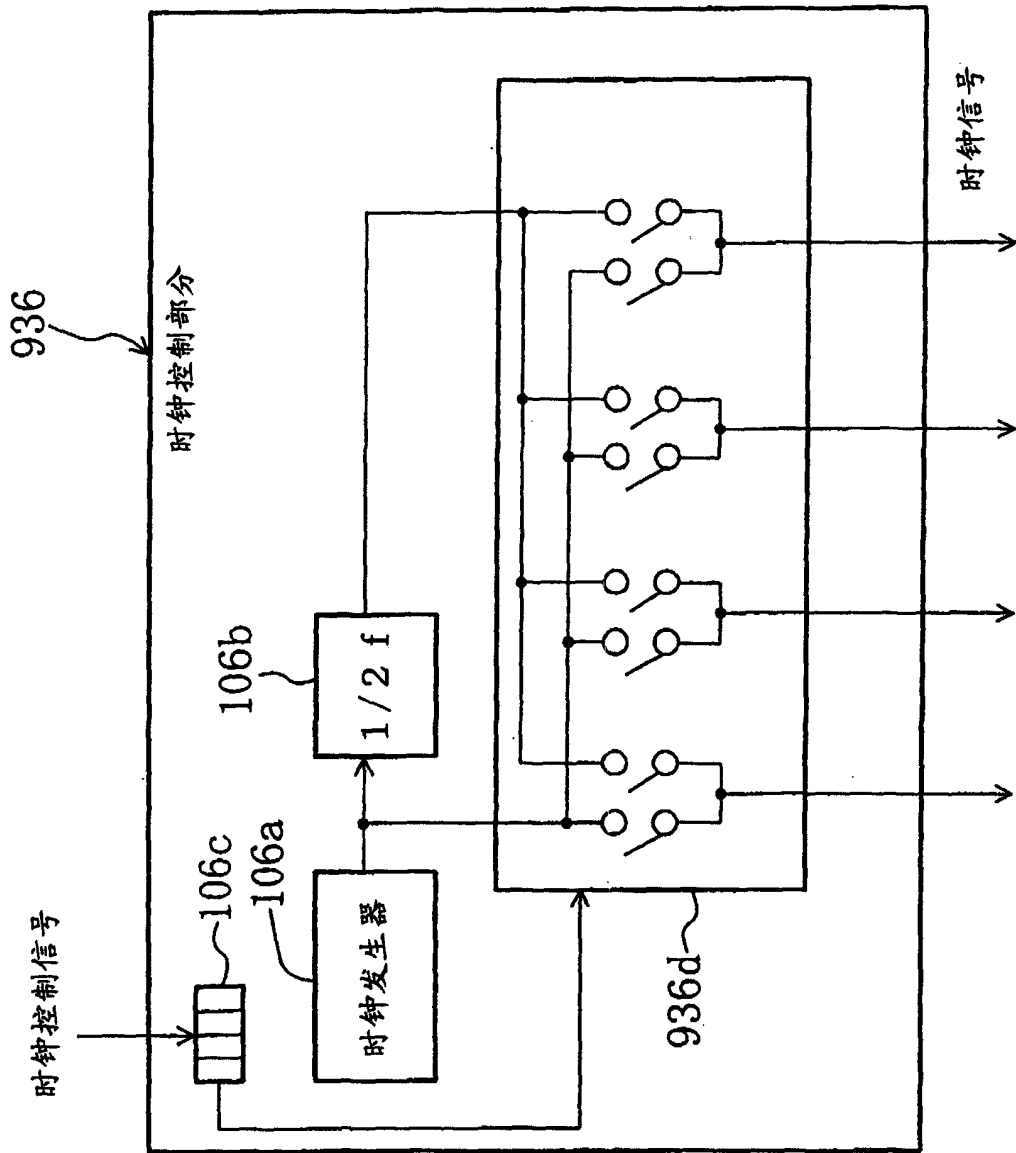


图 42

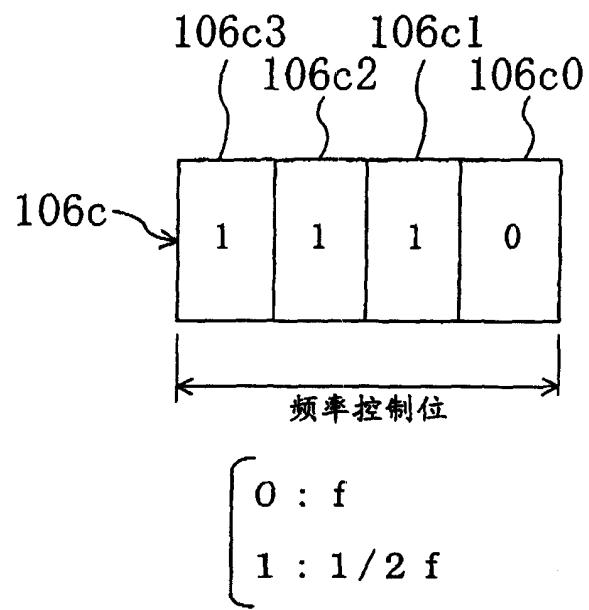


图 43

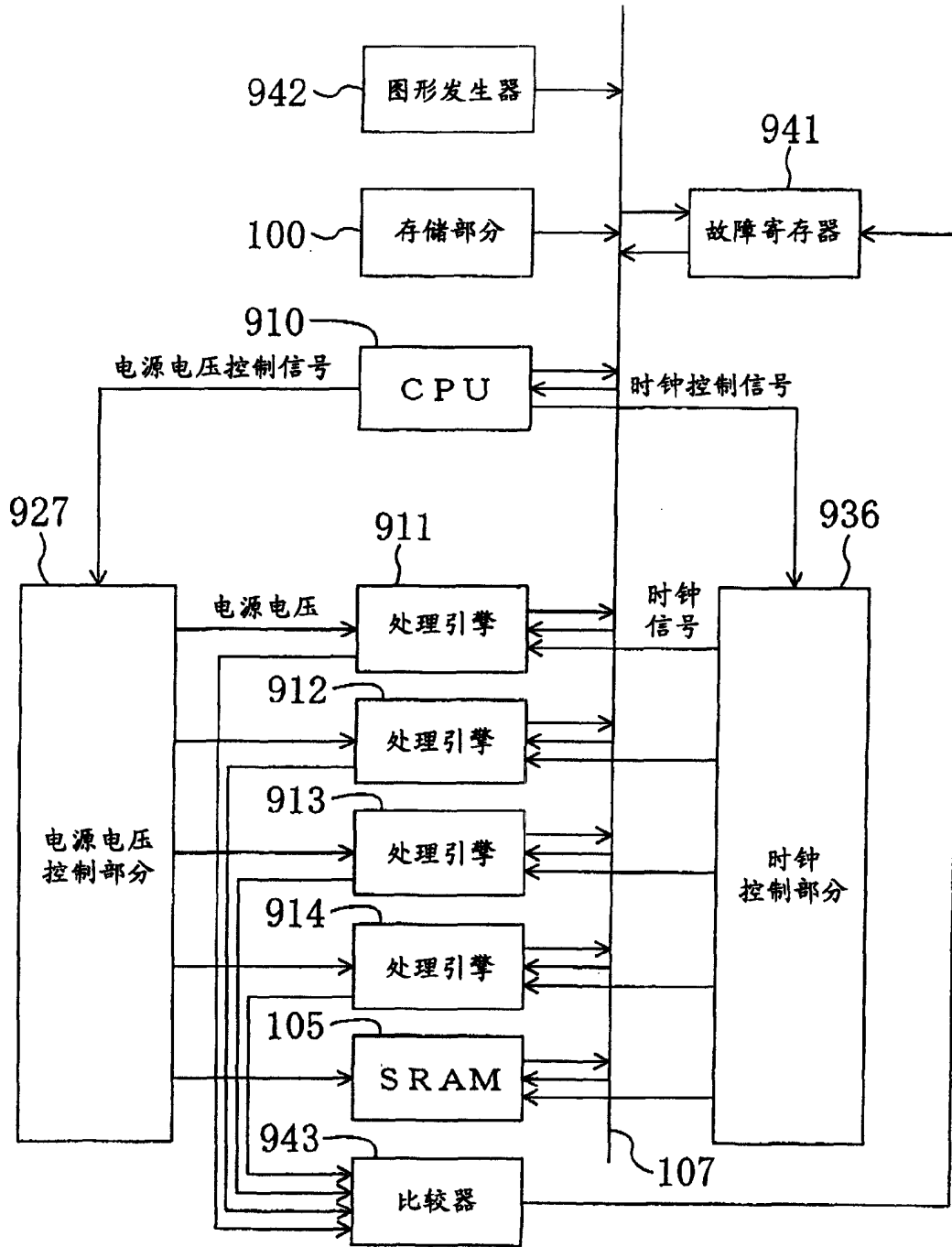


图 44

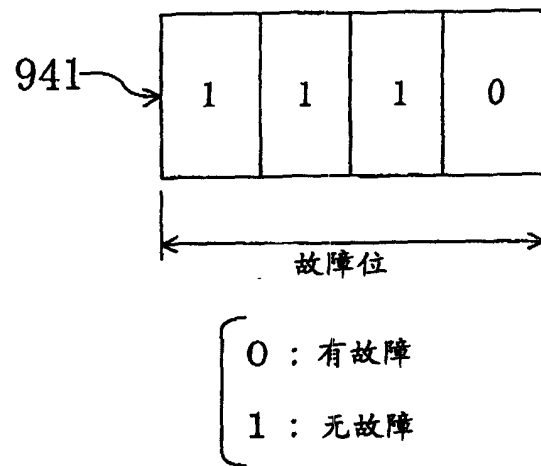


图 45