



(12) 发明专利申请

(10) 申请公布号 CN 103838295 A

(43) 申请公布日 2014. 06. 04

(21) 申请号 201210490737. 7

(22) 申请日 2012. 11. 27

(71) 申请人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦法务部

(72) 发明人 高崇兴

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270

代理人 蒋雅洁 王黎延

(51) Int. Cl.

G06F 1/04 (2006. 01)

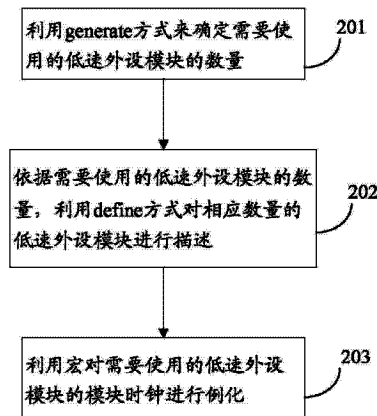
权利要求书1页 说明书7页 附图3页

(54) 发明名称

一种低速外设模组集成方法及装置

(57) 摘要

本发明公开了一种低速外设模组集成方法, 确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量, 对相应数量的低速外设模块进行描述; 对需要使用的低速外设模块的模块时钟进行例化; 本发明同时还公开了一种低速外设模组集成装置; 本发明将模组时钟从统一时钟管理单元中分离出来, 利用本发明的 SoC 系统, 可避免系统时钟与模组时钟的干扰; 同时可提高 SoC 系统的处理效率。



1. 一种低速外设模组集成方法,其特征在于,该方法包括:
确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量,对相应数量的低速外设模块进行描述;
对需要使用的低速外设模块的模块时钟进行例化。
2. 根据权利要求1所述的低速外设模组集成方法,其特征在于,所述确定需要使用的低速外设模块的数量,包括:
利用 generate 方式确定需要使用的低速外设模块的数量。
3. 根据权利要求1所述的低速外设模组集成方法,其特征在于,所述对低速外设模块进行描述,包括:
利用 define 方式对低速外设模块进行描述。
4. 根据权利要求1所述的低速外设模组集成方法,其特征在于,所述对需要使用的低速外设模块的模块时钟进行例化,包括:
利用宏对需要使用的低速外设模块的模块时钟进行例化。
5. 根据权利要求1至4任一所述的低速外设模组集成方法,其特征在于,所述对相应数量的低速外设模块进行描述,还包括:
对外围设备总线 APB 桥进行接口描述及例化。
6. 根据权利要求5所述的低速外设模组集成方法,其特征在于,所述对 APB 桥进行接口描述及例化,包括:
利用 define 方式对 APB 桥进行接口描述;利用宏对 APB 桥进行接口例化。
7. 一种低速外设模组集成装置,其特征在于,该装置包括:低速外设模组单元、模组时钟单元和接口单元;其中,
所述低速外设模组单元,用于确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量,对相应数量的低速外设模块进行描述;
所述模组时钟单元,用于对需要使用的低速外设模块的模块时钟进行例化;
所述接口单元,用于为所述低速外设模组单元、所述模组时钟单元与 SoC 处理芯片提供连接接口。
8. 根据权利要求7所述的低速外设模组集成装置,其特征在于,所述低速外设模组单元,具体用于:
利用 generate 方式确定需要使用的低速外设模块的数量;
依据需要使用的低速外设模块的数量,利用 define 方式对相应数量的低速外设模块进行描述。
9. 根据权利要求7所述的低速外设模组集成装置,其特征在于,所述模组时钟单元,具体用于:
利用宏对需要使用的低速外设模块的模块时钟进行例化。
10. 根据权利要求7、8或9所述的低速外设模组集成装置,其特征在于,所述接口单元进一步用于对 APB 桥进行接口描述及例化。
11. 根据权利要求10所述的低速外设模组集成装置,其特征在于,所述接口单元具体用于:利用 define 方式对 APB 桥进行接口描述,利用宏对 APB 桥进行接口例化。

一种低速外设模组集成方法及装置

技术领域

[0001] 本发明涉及外设集成技术,具体涉及一种低速外设模组集成方法及装置。

背景技术

[0002] 系统级芯片 (SoC, System on Chip) 实质上为一集成电路,可实现信号的处理如运算存储等功能, SoC 技术可广泛应用于嵌入式系统。

[0003] 从狭义角度上看, SoC 被称之为系统级芯片,因为它可嵌入于有关系统如嵌入式系统中进行使用;

[0004] 从广义角度上看, SoC 被称之为 SoC 系统,如图 1 所示,系统内信号经过 SoC 处理芯片 10 进行处理,再与低速外设模组 12 进行交互,进而与其它系统配合来完成信号的完整传输。

[0005] 其中,所述 SoC 处理芯片 10 工作时钟为系统时钟,系统时钟速率高,而低速外设模组 12 的工作时钟为模组时钟,模组时钟速率低,为了完成系统时钟与模组时钟的适配,所述 SoC 系统还包括有统一时钟管理单元 11,也就是说,在现有 SoC 系统中,系统时钟与模组时钟是一同放在所述统一时钟管理单元 11 中的,所述统一时钟管理单元 11 可利用内置的时钟分频模块将系统时钟进行分频后输出给所述低速外设模组 12。但是系统时钟与模组时钟存在有非整数倍的关系,这时,所述统一时钟管理单元 11 内置的时钟分频模块需要对系统时钟进行小数或分数分频操作,小数或分数分频操作将对系统时钟产生干扰,令所述 SoC 处理芯片 10 不能够实时地使用准确的系统时钟进行工作。

[0006] 上述方案中,所述低速外设模组 12 包括通用异步收发传输器 (UART, Universal Asynchronous Receiver/Transmitter)、同步串行接口控制器 (SSP, Synchronous Serial Port)、存储卡 (SD/MMC, Secure Digital Memory Card/Multimedia Card)、串行总线 (I2C/I2S, Inter-Integrated Circuit) 等多种低速外设模块;其中, UART 工作时钟称为 UART 模块时钟, SSP 工作时钟称为 SSP 模块时钟, SD/MMC 工作时钟称为 SD/MMC 模块时钟, I2C/I2S 工作时钟称为 I2C/I2S 模块时钟,模块时钟的集合统称为模组时钟。在低速外设模组 12 进行电路集成时,不管 SoC 系统是否使用 UART、SSP、SD/MMC I2C/I2S 这些低速外设模块中的部分模块及相应模块时钟,均对所有的低速外设模块进行模块定义及模块时钟进行接口连线集成,所述接口连线集成即例化,这样阻碍了 SoC 系统处理效率。

发明内容

[0007] 有鉴于此,本发明的主要目的在于提供一种低速外设模组集成方法及装置,可解决系统时钟与模组时钟之间的干扰,提高 SoC 系统的处理效率。

[0008] 为达到上述目的,本发明的技术方案是这样实现的:

[0009] 本发明提供了一种低速外设模组集成方法,该方法包括:

[0010] 确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量,对相应数量的低速外设模块进行描述;

- [0011] 对需要使用的低速外设模块的模块时钟进行例化。
- [0012] 上述方案中,所述确定需要使用的低速外设模块的数量,包括:
- [0013] 利用 generate 方式确定需要使用的低速外设模块的数量。
- [0014] 上述方案中,所述对低速外设模块进行描述,包括:
- [0015] 利用 define 方式对低速外设模块进行描述。
- [0016] 上述方案中,所述对需要使用的低速外设模块的模块时钟进行例化,包括:
- [0017] 利用宏对需要使用的低速外设模块的模块时钟进行例化。
- [0018] 上述方案中,所述对相应数量的低速外设模块进行描述,还包括:
- [0019] 对外围设备总线 APB 桥进行接口描述及例化。
- [0020] 上述方案中,所述对 APB 桥进行接口描述及例化,包括:
- [0021] 利用 define 方式对 APB 桥进行接口描述;利用宏对 APB 桥进行接口例化。
- [0022] 本发明还提供了一种低速外设模组集成装置,该装置包括:低速外设模组单元、模组时钟单元和接口单元;其中,
- [0023] 所述低速外设模组单元,用于确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量,对相应数量的低速外设模块进行描述;
- [0024] 所述模组时钟单元,用于对需要使用的低速外设模块的模块时钟进行例化;
- [0025] 所述接口单元,用于为所述低速外设模组单元、所述模组时钟单元与 SoC 处理芯片提供连接接口。
- [0026] 上述方案中,所述低速外设模组单元,具体用于:
- [0027] 利用 generate 方式确定需要使用的低速外设模块的数量;
- [0028] 依据需要使用的低速外设模块的数量,利用 define 方式对相应数量的低速外设模块进行描述。
- [0029] 上述方案中,所述模组时钟单元,具体用于:
- [0030] 利用宏对需要使用的低速外设模块的模块时钟进行例化。
- [0031] 上述方案中,所述接口单元进一步用于对 APB 桥进行接口描述及例化。
- [0032] 上述方案中,所述接口单元具体用于:利用 define 方式对 APB 桥进行接口描述,利用宏对 APB 桥进行接口例化。
- [0033] 本发明提供的低速外设模组集成方法及装置,低速外设模组单元利用 generate 方式来确定需要使用的低速外设模块的数量;依据需要使用的低速外设模块的数量,低速外设模组单元利用 define 方式对相应数量的低速外设模块进行描述;模组时钟单元利用 ifdef...endif 语句对需要使用的低速外设模块的模块时钟进行例化;本发明将模组时钟从统一时钟管理单元中分离出来,避免了系统时钟与模块时钟之间的干扰;利用本发明的 Soc 系统,可提高 Soc 系统的处理效率。

附图说明

- [0034] 图 1 为 SoC 系统结构组成示意图;
- [0035] 图 2 为本发明低速外设模组集成方法实现流程示意图;
- [0036] 图 3 为本发明一具体实施例的示意图;
- [0037] 图 4 为本发明低速外设模组集成装置组成结构示意图;

[0038] 图 5 为本发明时钟管理寄存器分配示意图。

具体实施方式

[0039] 本发明中,确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量,对相应数量的低速外设模块进行描述;对需要使用的低速外设模块的模块时钟进行例化。

[0040] 本发明提供了一种低速外设模组集成方法,如图 2 所示,该方法包括:

[0041] 步骤 201:利用 generate 方式来确定需要使用的低速外设模块的数量;

[0042] 步骤 202:依据需要使用的低速外设模块的数量,利用 define 方式实现对相应数量的低速外设模块进行描述;

[0043] 步骤 203:利用宏对需要使用的低速外设模块的模块时钟进行例化。

[0044] 下面结合一具体实施例,对本发明的低速外设模组集成方法做进一步阐述。

[0045] 首先加载电路集成环境,在 plat_cfg(一电路集成环境应用平台)中,利用 generate...endgenerate 语句来确定需要使用的低速外设模块的数量;

[0046] generate

[0047] for(i = 0 ;i < MODULE_NUM ;i = i+1)// 确定需要使用的低速外设模块的数量

[0048] begin:module_gen

[0049] module instance

[0050] end

[0051] endgenerate

[0052] 通过修改上述 generate...endgenerate 语句中的 MODULE_NUM 的值来确定需要使用的模块数量。

[0053] 例如,当前时刻需要使用 UART、SSP、SD/MMC、I2C/I2S 等低速外设模块各一个,即上述的 module instance 分别以 MODULE_UART、MODULE_SSP、MODULE_SD/MMC 和 MODULE_I2C/I2S 代替,MODULE_NUM 均取值为 1。

[0054] 然后,利用 define 方式对需要使用的每一个低速外设模块进行描述;低速外设模块 UART 描述方法如下所示:

[0055] define MODULE_UART;

[0056] 低速外设模块 SSP 描述方法如下所示:

[0057] define MODULE_SSP;

[0058] 低速外设模块 SD/MMC 描述方法如下所示:

[0059] define MODULE_SD/MMC;

[0060] 低速外设模块 I2C/I2S 描述方法如下所示:

[0061] define MODULE_I2C/I2S;

[0062] 在进行低速外设模块描述的同时,需要对连接低速外设模组与 SoC 处理芯片的接口——外围设备总线 (APB, Advanced Peripheral Bus) 桥进行描述及例化,描述及例化方法如下:

[0063] define LSP_APB_BRIDGE 1_EN

[0064] // 描述 APB 桥 LSP_APB_BRIDGE 1_EN 使能

```
[0065]   ifdef LSP_APB_BRIDGE1_EN
[0066]   // 描述 APB 桥 LSP_APB_BRIDGE1_EN
[0067]   apb_bridge apb_bridge
[0068]   (
[0069]   LSP_APB_BRIDGE1_EN instance //APB 桥 LSP_APB_BRIDGE1_EN
[0070]   例化
[0071]   )
[0072]   else
[0073]   LSP_APB_BRIDGE1_EN instance//APB 桥 LSP_APB_BRIDGE1_EN 连接 SOC 处理芯片
[0074]   endif
```

[0075] 通常,低速外设模组与 SoC 处理芯片之间的接口协议是利用了高性能总线 (AHB, Advanced High-performance Bus) 协议或者嵌入式技术协议之一的 AXI (Advanced Extensible Interface) 协议。

[0076] 这里,上述 APB 桥,可看作是利用了 AHB/AXI 协议的 APB 桥,如图 3 所示为一具体实施例的示意图。

[0077] 接下来,利用 `ifdef...endif` 语句对当前时刻需要使用到的 UART、SSP、SD/MMC、I2C/I2S 每一个低速外设模块的模块时钟进行例化;这里,主要以 UART 的模块时钟例化为例,SSP、SD/MMC、I2C/I2S 的模块时钟例化与 UART 的模块时钟例化过程类似,只需把 UART 出现的地方替换为相应的低速外设模块即可。

```
[0078]   ifdef MODULE_UART
[0079]   Crm_clk_div Crm_clk_div_UART// 低速外设模块 UART 时钟分频
[0080]   (
[0081]   UART Interface //UART 接口
[0082]   )
[0083]   Crm_rst_sync Crm_rst_sync_UART// 低速外设模块 UART 复位同步
[0084]   (
[0085]   UART Interface //UART 接口
[0086]   )
[0087]   Crm_clk_mux Crm_clk_mux_UART // 时钟选择
[0088]   (
[0089]   UART Interface // 低速外设模块时钟与低速外设模块接口
[0090]   )
[0091]   endif
```

[0092] 这里,UART 时钟分频,用于将系统时钟进行分频形成 UART 模块时钟;UART 复位同步,用于同步 UART 模块时钟与复位;时钟选择,用于选择当前时刻需要使用的低速外设模组的模组时钟,这里选择了 UART 模组时钟;即所述时钟选择,用于切换低速外设模块之间的模块时钟。

[0093] 基于上述低速外设模组集成方法,本发明还提供了一种低速外设模组集成装置,如图 4 所示,该装置包括:低速外设模组单元 30、模组时钟单元 31 和接口单元 32;其中,

[0094] 所述低速外设模组单元 30,用于确定需要使用的低速外设模块的数量及依据需要使用的低速外设模块的数量,对相应数量的低速外设模块进行描述;

[0095] 所述模组时钟单元 31,用于对需要使用的低速外设模块的模块时钟进行例化;

[0096] 所述接口单元 32,用于为所述低速外设模组单元 30、所述模组时钟单元 31 与 SoC 处理芯片提供连接接口。

[0097] 进一步的,所述低速外设模组单元 30,利用 generate 方式来确定需要使用的低速外设模块的数量,依据需要使用的低速外设模块的数量,所述低速外设模组单元 30,利用 define 方式对相应数量的低速外设模块进行描述;

[0098] 所述模组时钟单元 31,利用宏对需要使用的低速外设模块的模块时钟进行例化;

[0099] 所述接口单元 32 利用了 AHB 协议或者 AXI 协议,具体可以为 AHB/AXI 协议的 APB 桥。所述接口单元 32 进一步用于对 APB 桥进行接口描述及例化,具体地,利用 define 方式对 APB 桥进行接口描述;利用宏对 APB 桥进行接口例化。

[0100] 结合一具体实施例,对本发明的低速外设模组集成装置做进一步说明。

[0101] 首先加载电路集成环境,以 plat_cfg 平台为例,所述低速外设模组单元 30 利用 generate...endgenerate 语句来确定需要使用的低速外设模块的数量;例如,所述低速外设模组单元 30 将使用低速外设模块为 UART、SSP、SD/MMC、I2C/I2S 各一个,以 UART 为例,MODULE_NUM 均取值为 1,SSP、SD/MMC、I2C/I2S 低速外设模块的数量确定过程与 UART 数量确定过程相似。

[0102] generate

[0103] for(i = 0 ;i < MODULE_NUM ;i = i+1)

[0104] begin:module_gen

[0105] MODULE_UART

[0106] end

[0107] endgenerate

[0108] 可通过改变 MODULE_NUM 的取值来改变使用相应低速外设模块的数量;

[0109] 依据需要使用的低速外设模块的数量,因为这里需要使用的低速外设模块的数量均取值为 1,所述低速外设模组单元 30 利用 define 语句对 UART、SSP、SD/MMC、I2C/I2S 分别进行描述,以对低速外设模块 UART 进行描述方法为例:

[0110] define MODULE_UART;

[0111] 这里,SSP、SD/MMC、I2C/I2S 等低速外设模块的描述方法与 UART 相似。

[0112] 在所述低速外设模组单元 30 进行低速外设模块描述的同时,所述接口单元 32 将进行接口描述及例化。

[0113] 通常,所述低速外设模组单元 30 与所述接口单元 32 之间的连接利用了 AHB 或 AXI 协议;所述接口单元 32 具体可以为 AHB/AXI 协议的 APB 桥,APB 桥描述及例化方法如下:

[0114] define LSP_APB_BRIDGE1_EN//描述 APB 桥 LSP_APB_BRIDGE1_EN 使能

[0115] ifdef LSP_APB_BRIDGE 1_EN //描述 APB 桥 LSP_APB_BRIDGE 1_EN

[0116] apb_brige apb_bridge

[0117] (

[0118] LSP_APB_BRIDGE1_EN instance//APB 桥 LSP_APB_BRIDGE1_EN

```
[0119]  例化
[0120]  )
[0121]  else
[0122]  LSP_APB_BRIDGE1_EN instance//APB 桥 LSP_APB_BRIDGE1_EN 连接 SOC 处理芯片
[0123]  endif
```

[0124] 因所述低速外设模组单元 30 将使用 UART、SSP、SD/MMC、I2C/I2S 低速外设模块，所以，所述模组时钟单元 31 利用 `ifdef...endif` 语句对 UART、SSP、SD/MMC、I2C/I2S 每一个低速外设模块的模块时钟进行例化；这里，主要以 UART 模块时钟例化为例，SSP、SD/MMC、I2C/I2S 等模块时钟例化与 UART 模块时钟例化过程类似。

```
[0125]  ifdef MODULE_UART
[0126]  Crm_clk_div Crm_clk_div_UART// 低速外设模块 UART 时钟分频
[0127]  (
[0128]  UART Interface //UART 接口
[0129]  )
[0130]  Crm_rst_sync Crm_rst_sync_UART// 低速外设模块 UART 复位同步
[0131]  (
[0132]  UART Interface //UART 接口
[0133]  )
[0134]  Crm_clk_mux Crm_clk_mux_UART // 时钟选择
[0135]  (
[0136]  UART Interface // 低速外设模块时钟与低速外设模块接口
[0137]  )
[0138]  endif
```

[0139] 这里，UART 时钟分频，用于将 SOC 处理芯片的系统时钟进行分频形成 UART 模块时钟；UART 复位同步，用于同步 UART 模块时钟与复位；时钟选择，用于选择当前时刻需要使用的低速外设模块的模组时钟，这里选择了 UART 模组时钟；即所述时钟选择，用于切换低速外设模块之间的模块时钟；

[0140] 所述模组时钟单元 31 进一步包括时钟管理寄存器，如图 5 所示，所述时钟管理寄存器用于管理时钟分频、时钟复位同步、时钟切换、时钟关断等；

[0141] 当系统时钟通过所述接口单元 32 至所述模组时钟单元 31 时，所述时钟管理寄存器分配时钟分频进行将系统时钟进行分频，形成低速外设模块时钟；

[0142] 当需要进行低速外设模块时钟之间的转换时，所述时钟管理寄存器分配时钟切换进行低速外设模块时钟的切换；

[0143] 当 SoC 系统出现运行错误时，所述时钟管理寄存器分配时钟复位同步进行所述模组时钟单元 31 的重新复位；

[0144] 当低速外设模块需要进行低功耗运行时，所述时钟管理寄存器分配时钟关断进行当前低速外设模块时钟的关断。

[0145] 本发明提供的低速外设模组集成方法及装置，低速外设模组单元利用 `generate` 方式来确定需要使用的低速外设模块的数量；依据需要使用的低速外设模块的数量，低速

外设模组单元利用 define 方式对相应数量的低速外设模块进行描述；模组时钟单元利用 ifdef...endif 语句对需要使用的低速外设模块的模块时钟进行例化，模组时钟单元将现有技术中的统一时钟管理单元中的模组时钟分离出来，将模组时钟作为模组时钟单元进行例化，避免了系统时钟与模组时钟之间的干扰；利用本发明的 Soc 系统只需对使用的低速外设模块进行描述，对相应的模块时钟进行例化，缩短了时延，提高了 Soc 系统的处理效率。

[0146] 以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

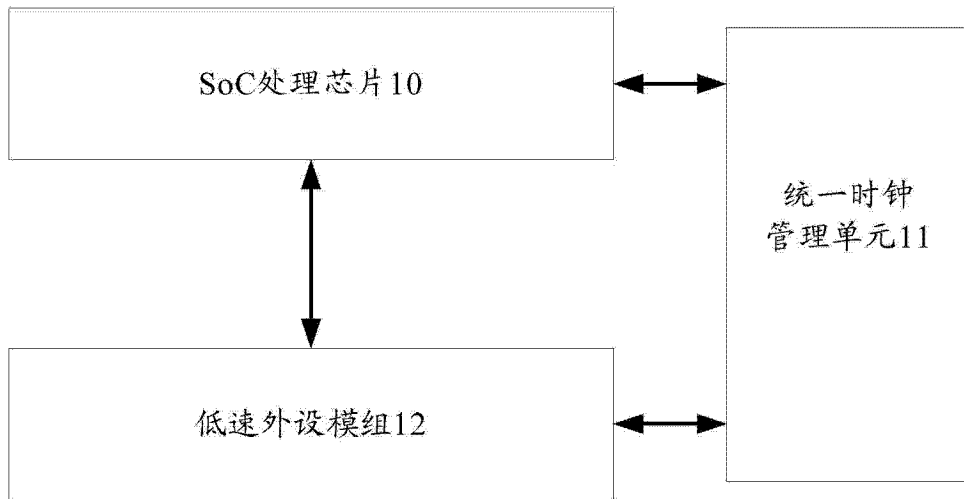


图 1

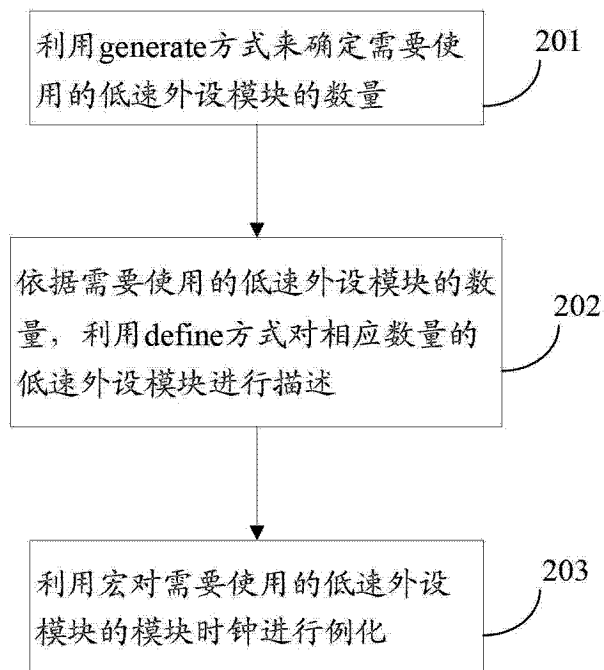


图 2

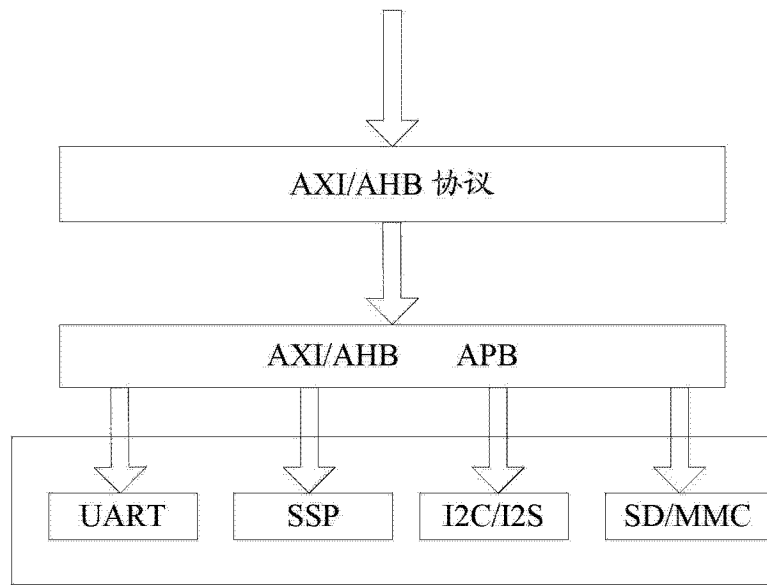


图 3

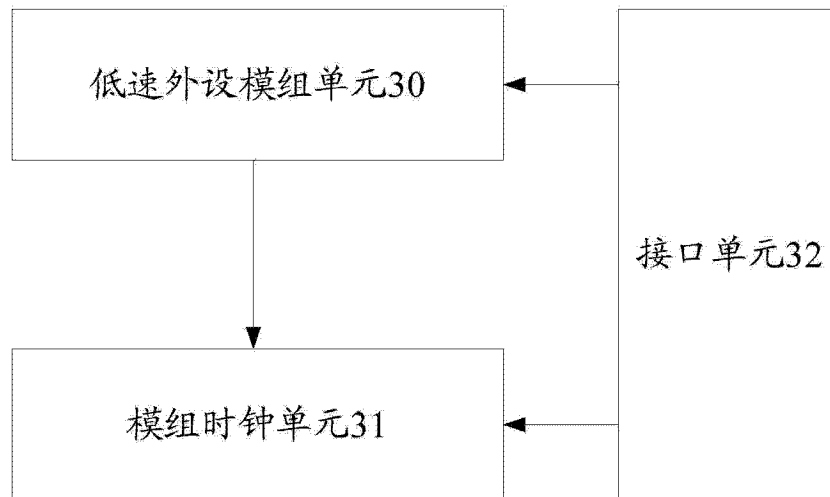


图 4

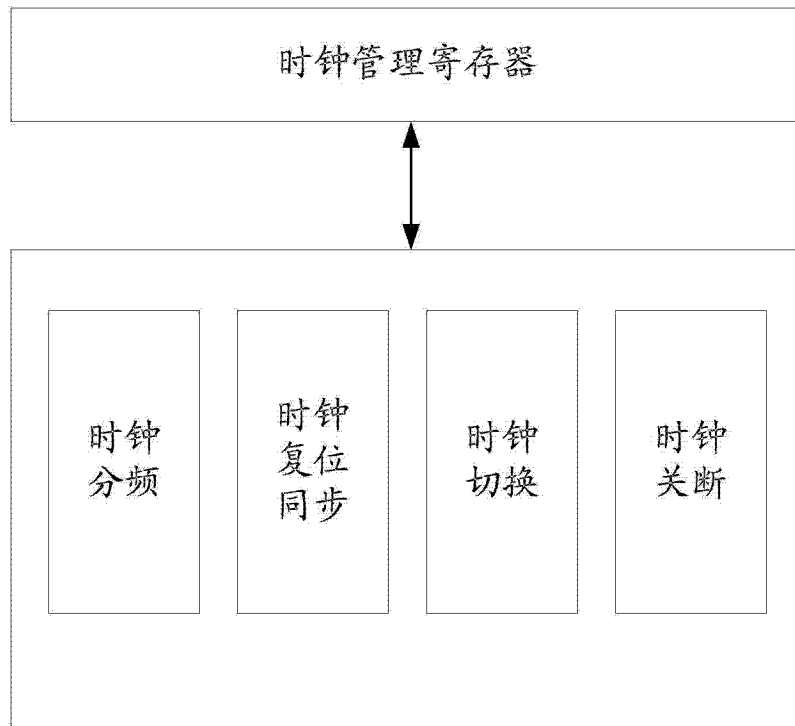


图 5