

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4630165号
(P4630165)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2005-273513 (P2005-273513)	(73) 特許権者	000005821
(22) 出願日	平成17年9月21日 (2005. 9. 21)		パナソニック株式会社
(65) 公開番号	特開2007-89278 (P2007-89278A)		大阪府門真市大字門真1006番地
(43) 公開日	平成19年4月5日 (2007. 4. 5)	(74) 代理人	100077931
審査請求日	平成20年1月11日 (2008. 1. 11)		弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100117581
			弁理士 二宮 克也

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

入力直流電圧を出力直流電圧に変換するDC-DCコンバータにおいて、
 駆動信号によってオン/オフするスイッチ素子と、前記スイッチ素子のオン時に第1の基準電圧を出力し、前記スイッチ素子のオフ時に第2の基準電圧を出力する基準電圧源と、一端を前記基準電圧源に接続された容量性素子と、前記スイッチ素子のオン時に前記容量性素子を放電し、前記スイッチ素子のオフ時に前記容量性素子を充電する充放電回路と、前記スイッチ素子のターンオン時およびターンオフ時に前記容量性素子を短絡するスイッチ回路と、前記出力直流電圧もしくは前記出力直流電圧を検出した電圧と、前記容量性素子の他端の電圧を比較して前記駆動信号を生成する比較回路と備えたことを特徴とするDC-DCコンバータ。

10

【請求項2】

前記基準電圧源、前記充放電回路、または前記スイッチ回路が、スイッチ素子のオン時、オフ時、ターンオン時およびターンオフ時の駆動信号に基づいて動作することを特徴とする請求項1記載のDC-DCコンバータ。

【請求項3】

前記スイッチ素子のオン時に前記入力直流電圧と前記出力直流電圧との差電圧が印加され、前記スイッチ素子のオフ時に前記出力直流電圧が印加されるインダクタを備え、
 前記充放電回路が、スイッチ素子のオン時に入力直流電圧と出力直流電圧との差電圧に基づく電流で容量性素子を放電し、前記スイッチ素子のオフ時に前記出力直流電圧に基づ

20

く電流で前記容量性素子を充電することを特徴とする請求項 1 または 2 記載の DC - DC コンバータ。

【請求項 4】

前記基準電圧源が、入力直流電圧が高くなると第 1 の基準電圧を高くすることを特徴とする請求項 1 または 2 記載の DC - DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入出力条件の変化に高速に応答して安定な出力直流電圧を供給する DC - DC コンバータに関するものである。

10

【背景技術】

【0002】

近年、携帯機器のような電子機器はバッテリーの長時間使用のために、高機能化に伴う消費電力の増加を抑制する必要がある。このため、電子機器内の動作中の回路にのみ電力を供給し、動作が必要でない回路を停止させる、パワーマネジメントと呼ばれる技術が用いられるようになってきた。このような電子機器に直流電圧を供給する DC - DC コンバータには、出力条件の変化に対して高速に応答することが要求される。

【0003】

過渡応答特性に優れた DC - DC コンバータには、従来、ヒステリシス制御と呼ばれる技術が知られている。ヒステリシス制御は、ヒステリシス比較回路によって設定されるヒステリシス幅の中に出力直流電圧を保持する自励制御方式である。一般的な誤差増幅器を用いた帰還系を持たないので、過渡応答時間はヒステリシス比較回路とスイッチ素子の駆動回路の遅延時間に依存するだけである。一方、出力コンデンサの等価直列抵抗（以下、ESR という）に依存する出力リップル電圧がヒステリシス幅に相当するため、スイッチング周波数は ESR に比例する。このため、ESR の低い出力コンデンサを使用するとスイッチング周波数が低下するという問題がある。

20

【0004】

前記のようなヒステリシス制御に対し、例えば特許文献 1 のように、出力直流電圧の検出部にスイッチング波形を重畳することにより、検出部のみリップル電圧の振幅を増大させ、スイッチング周波数の低下を防ぎ、かつ出力リップル電圧は小さくする技術が考案されている。図 6 は、特許文献 1 における従来の DC - DC コンバータの回路構成を示す図である。

30

【0005】

図 6 に示した従来の DC - DC コンバータは、入力直流電圧 V_i を供給する入力直流電圧源 10 と、入力直流電圧源 10 に並列に直列接続されたスイッチ素子 11 とダイオード 12 と、スイッチ素子 11 とダイオード 12 との接続点と DC - DC コンバータの出力との間に接続されたインダクタ 13 と、出力直流電圧 V_o を負荷 20 に供給する出力コンデンサ 14 と、インダクタ 13 と並列に直列接続された抵抗 15 とコンデンサ 16 と、抵抗 15 とコンデンサ 16 との接続点電圧 V_x と基準電圧源 17 からの基準電圧 V_{rf} を比較するヒステリシス比較回路 18 とを備え、ヒステリシス比較回路 18 の出力でスイッチ素子 11 をオン/オフするように構成される。ヒステリシス比較回路 18 はヒステリシス電圧 V_h を有し、抵抗 15 とコンデンサ 16 との接続点電圧 V_x が基準電圧 V_{rf} 以下になるとスイッチ素子 11 をターンオンし、接続点電圧 V_x が電圧（基準電圧 V_{rf} + ヒステリシス電圧 V_h ）以上になるとスイッチ素子 11 をターンオフする。

40

【0006】

以下、図 6 の DC - DC コンバータの動作を説明する。

【0007】

まず、スイッチ素子 11 がオン状態の時、インダクタ 13 には入力直流電圧 V_i と出力直流電圧 V_o との電圧差（ $V_i - V_o$ ）が印加され、直線的に増加する電流が流れる。コンデンサ 16 は充電され、抵抗 15 とコンデンサ 16 との接続点電圧 V_x は上昇する。や

50

がて接続点電圧 V_x が電圧(基準電圧 V_{rf} +ヒステリシス電圧 V_h)に達すると、ヒステリシス比較回路18はスイッチ素子11をターンオフする。次にスイッチ素子11がオフ状態の時、インダクタ13には出力直流電圧 V_o が印加され、直線的に減少する電流が流れる。コンデンサ16は放電され、抵抗15とコンデンサ16との接続点電圧 V_x は下降する。やがて接続点電圧 V_x が基準電圧 V_{rf} に達すると、ヒステリシス比較回路18はスイッチ素子11をターンオンする。以上の動作を繰り返すことによって、抵抗15とコンデンサ16との接続点電圧 V_x は、基準電圧 V_{rf} と電圧(基準電圧 V_{rf} +ヒステリシス電圧 V_h)の間を上下するように制御される。

【0008】

出力直流電圧 V_o がコンデンサ16を介してヒステリシス比較回路18に直ちに伝達されるので過渡応答特性はよく、出力リップル電圧も小さなレベルに設定できる。

10

【特許文献1】特開2004-64994号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、このような構成のDC-DCコンバータでは、出力直流電圧 V_o を直接安定化しているのではなく、コンデンサ16に重畳される直流電圧が存在することによる安定度の劣化という問題があった。

【0010】

本発明は、前記従来技術の問題を解決することに指向するものであり、誤差増幅器を使用することなく、比較回路の動作を基本とした構成によって高速応答性を実現するとともに、出力リップル電圧も増大させず、高精度な出力安定度を達成することのできるDC-DCコンバータを提供することを目的とする。

20

【課題を解決するための手段】

【0011】

前記の目的を達成するために、本発明に係るDC-DCコンバータは、入力直流電圧を出力直流電圧に変換するDC-DCコンバータにおいて、駆動信号によってオン/オフするスイッチ素子と、スイッチ素子のオン時に第1の基準電圧を出力し、スイッチ素子のオフ時に第2の基準電圧を出力する基準電圧源と、一端を基準電圧源に接続された容量性素子と、スイッチ素子のオン時に容量性素子を放電し、スイッチ素子のオフ時に容量性素子を充電する充放電回路と、スイッチ素子のターンオン時およびターンオフ時に容量性素子を短絡するスイッチ回路と、出力直流電圧もしくは出力直流電圧を検出した電圧と、容量性素子の他端の電圧を比較して駆動信号を生成する比較回路と備えたことを特徴とする。

30

【0012】

また、基準電圧源、充放電回路、またはスイッチ回路が、スイッチ素子のオン時、オフ時、ターンオン時およびターンオフ時の駆動信号に基づいて動作すること、さらに、スイッチ素子のオン時に入力直流電圧と出力直流電圧との差電圧が印加され、スイッチ素子のオフ時に出力直流電圧が印加されるインダクタを備え、充放電回路が、スイッチ素子のオン時に入力直流電圧と出力直流電圧との差電圧に基づく電流で容量性素子を放電し、スイッチ素子のオフ時に出力直流電圧に基づく電流で容量性素子を充電すること、さらに、基準電圧源が、入力直流電圧が高くなると第1の基準電圧を高くすることを特徴とする。

40

【0013】

前記構成によれば、出力直流電圧もしくは出力直流電圧を検出した電圧を、第1の基準電圧と第2の基準電圧との中間値に制御でき、スイッチング周波数の変動抑制として入力直流電圧が高くなると第1の基準電圧を高く制御して抑制し、誤差増幅器を使用することなく、比較回路の動作を基本構成とし高速に応答するとともに、出力リップル電圧の増大もなく出力安定度を得ることができる。

【発明の効果】

【0014】

本発明によれば、誤差増幅器を使用することなく、比較回路の動作を基本とした構成に

50

よって高速応答性を実現するとともに、出力リップル電圧も増大させずに、高精度な出力安定度を達成することができるという効果を奏する。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0016】

図1は本発明の実施の形態1におけるDC-DCコンバータの回路構成を示す図である。図1において、10はバッテリーなどの入力直流電圧源であり、入力直流電圧 V_i を供給する。1はスイッチ素子であり、入力直流電圧源10に接続され、駆動信号 D_r でオン/オフされる。2は整流手段であるダイオードであり、カソードがスイッチ素子1に接続され、アノードは接地される。3はインダクタであり、スイッチ素子1とダイオード2の接続点に一端が接続され、このインダクタ3のインダクタンスを L とする。4は平滑手段である出力コンデンサであり、インダクタ3の他端に接続され負荷20に出力直流電圧 V_o を供給する。5は制御回路であり、出力直流電圧 V_o を検出して安定化するようにスイッチ素子1へ駆動信号 D_r を出力する。

10

【0017】

また、図1に示す制御回路5において、50は基準電圧源であり、駆動信号 D_r によってスイッチ S_r が切り替わり、駆動信号 D_r がHレベルの時には第1の基準電圧($E_r + E_d$)を出力し、Lレベルの時には第2の基準電圧 E_r を出力する。51はコンデンサであり、一端を基準電圧源50の出力に接続される。52はスイッチ回路であり、スイッチ S_c が駆動信号 D_r の立上りおよび立下り時にコンデンサ51を短絡する。53は充放電回路であり、駆動信号 D_r によってスイッチ S_i が切り替わり、駆動信号 D_r がLレベルの時には第2の電流 I_2 でコンデンサ51を充電し、Hレベルの時には第1の電流 I_1 と第2の電流 I_2 の差電流($I_1 - I_2$)でコンデンサ51を放電する。54は比較回路であり、出力直流電圧 V_o とコンデンサ51の他端の電圧 V_r が入力され、駆動信号 D_r を出力する。

20

【0018】

図2は本実施の形態1におけるDC-DCコンバータの制御回路の要部波形を示す図であり、駆動信号 D_r 、スイッチ回路52のスイッチ S_c を駆動する信号 D_x 、第1の基準電圧($E_r + E_d$)と第2の基準電圧 E_r と出力直流電圧 V_o と電圧 V_r を表す。

30

【0019】

以上のように構成された本実施の形態1のDC-DCコンバータの制御回路5が、出力直流電圧 V_o を安定化するためにスイッチ素子1のオン時間とオフ時間を調整する動作を、図1および図2を参照しながら以下に説明する。

【0020】

まず、時刻 t_0 において、スイッチ素子1がターンオンすると、インダクタ3には入力直流電圧 V_i と出力直流電圧 V_o との電圧差($V_i - V_o$)が印加され、($V_i - V_o$) $\times t / L$ に従って増加する電流が流れる。駆動信号 D_r はHレベルとなり、基準電圧源50は第1の基準電圧($E_r + E_d$)を出力する。コンデンサ51はスイッチ素子1のターンオン時にスイッチ回路52のスイッチ S_c によって短絡された後、充放電回路53によって定電流($I_1 - I_2$)でさらに放電される。したがって、コンデンサ51の他端の電圧 V_r は第1の基準電圧($E_r + E_d$)から単調減少する。

40

【0021】

一方、スイッチ素子1のオン状態において出力直流電圧 V_o は、平滑手段である出力コンデンサ4が直線的に増加するインダクタ電流によって放電から充電に移行するとともに、出力コンデンサ4のESR(等価直列抵抗)による電圧降下が加わり、減少から上昇に移行するリップル電圧波形が重畳される。やがて時刻 t_1 において、出力直流電圧 V_o と電圧 V_r が交差すると、比較回路54は駆動信号 D_r をLレベルに反転させて、スイッチ素子1をターンオフする。同時に、基準電圧源50の出力は第2の基準電圧 E_r に下がり、スイッチ回路52はコンデンサ51を短絡し、充放電回路53は第2の電流 I_2 でコン

50

デンサ 5 1 を充電し始める。

【 0 0 2 2 】

スイッチ素子 1 がオフ状態の時、インダクタ 3 には出力直流電圧 V_o が印加され、 $-V_o \times t / L$ に従って減少する電流が流れる。コンデンサ 5 1 は第 2 の基準電圧 E_r から直線的に上昇する。一方、出力直流電圧 V_o は、平滑手段である出力コンデンサ 4 が直線的に減少するインダクタ電流によって充電から放電に移行するとともに、出力コンデンサ 4 の $E S R$ による電圧降下が加わり、上昇から減少に移行するリップル電圧波形が重畳される。

【 0 0 2 3 】

やがて時刻 t_2 において、出力直流電圧 V_o と電圧 V_r が交差すると、比較回路 5 4 は駆動信号 D_r を H レベルに反転させて、スイッチ素子 1 をターンオンする。同時に、基準電圧源 5 0 の出力は第 1 の基準電圧 ($E_r + E_d$) に上がり、スイッチ回路 5 2 はコンデンサ 5 1 を短絡し、充放電回路 5 3 は定電流 ($I_1 - I_2$) でコンデンサ 5 1 を放電し始める。以上の動作を繰り返すことによって、出力直流電圧 V_o は、第 1 の基準電圧 ($E_r + E_d$) と第 2 の基準電圧 E_r の間で保持されるように制御される。

【 0 0 2 4 】

ここで、各構成要素は抵抗成分を無視できる理想素子であるとし、スイッチ素子 1 のオン時間を T_{on} 、オフ時間を T_{off} 、スイッチング周波数を f とすると、出力直流電圧 V_o は (数 1)

【 0 0 2 5 】

【数 1】

$$V_o = \frac{V_i \times T_{on}}{(T_{on} + T_{off})} = V_i \times T_{on} \times f$$

のように表される。

【 0 0 2 6 】

(数 1) から逆に T_{on} と T_{off} を以下の (数 2)

【 0 0 2 7 】

【数 2】

$$T_{on} = \frac{V_o}{V_i \times f}$$

$$T_{off} = \frac{(V_i - V_o)}{V_i \times f}$$

のように表す。

【 0 0 2 8 】

また、コンデンサ 5 1 の静電容量を C とすると、時刻 t_1 における電圧 V_r は (数 3)

【 0 0 2 9 】

【数 3】

$$V_{r1} = E_r + E_d - \frac{(I_1 - I_2) \times T_{on}}{C} = E_r + E_d - \frac{(I_1 - I_2) \times V_o}{V_i \times C \times f}$$

で表され、時刻 t_2 における電圧 V_r は (数 4)

【 0 0 3 0 】

【数 4】

$$V_{r2} = E_r + \frac{I_2 \times T_{off}}{C} = E_r + \frac{I_2 \times (V_i - V_o)}{V_i \times C \times f}$$

で表される。ここで、出力直流電圧 V_o のリップル電圧成分を無視できるものとするれば、

10

20

30

40

50

$V_o = V_{r1} = V_{r2}$ となる。簡単化のため、 $I_1 = 2 \times I_2$ とすると(数5)

【0031】

【数5】

$$V_o = \frac{(E_r + E_d)}{\left(1 + \frac{E_d}{V_i}\right)}$$

$$f = \frac{I_2}{C \times E_d}$$

となる。入力直流電圧 V_i が第2の基準電圧 E_r に等しい($V_i = E_r$)場合、 $V_o = E_r$ となり、入力直流電圧 V_i が無限大の場合に、 $V_o = E_r + E_d$ となる。したがって、通常動作において出力直流電圧 V_o は(数6)

【0032】

【数6】

$$E_r < V_o < (E_r + E_d)$$

の範囲に保持される。例えば、 $V_i = 2 \sim 5 \text{ V}$ 、 $E_r = 0.98 \text{ V}$ 、 $E_d = 0.04 \text{ V}$ 、 $I_2 = 4 \mu\text{A}$ 、 $C = 100 \text{ pF}$ とすると、 $V_o = 1 \sim 1.012 \text{ V}$ 、 $f = 1 \text{ MHz}$ となる。

【0033】

また、図3は本実施の形態1における過渡応答特性の動作波形を示す図であり、基準電圧 E_r を増加して出力直流電圧 V_o を増加させる場合を示している。図3に示すように、比較回路54によって出力直流電圧 V_o は第1の基準電圧($E_r + E_d$)~第2の基準電圧 E_r と直接比較によってオン/オフされるので、高速に応答する。

【0034】

以上のように本実施の形態1のDC-DCコンバータは、出力直流電圧 V_o を低出力リップル電圧で、良好に安定化するとともに高速応答も可能である。

【0035】

図4は本発明の実施の形態2におけるDC-DCコンバータの制御回路の構成を示す図である。図4において、図1に示した入力直流電圧源10、スイッチ素子1、ダイオード2、インダクタ3、出力コンデンサ4、負荷20は省略し、制御回路5のみ表した。図4に示す本実施の形態2のDC-DCコンバータの制御回路5において、実施の形態1に係るDC-DCコンバータと同じ構成要素のものについては同じ番号を付し、その説明は省略する。

【0036】

本実施の形態2におけるDC-DCコンバータと、図1に示す実施の形態1のDC-DCコンバータの構成が異なる点は、基準電圧源50とスイッチ回路52をさらに具体的に示し、充放電回路53の充放電電流に入力直流電圧 V_i と出力直流電圧 V_o の依存性を持たせたことである。

【0037】

図4に示す基準電圧源50において、500は基準電圧源であり、第2の基準電圧 E_r を生成する。501は抵抗値 R_r を有する抵抗であり、基準電圧源500に接続される。502は電流源であり、抵抗501に電流 I_r を供給する。503はPMOSトランジスタであり、駆動信号 D_r がゲートに印加される。504はバッファ回路であり、第2の基準電圧 E_r に抵抗501の電圧降下を加算した電圧を出力する。このような構成により、駆動信号 D_r がHレベルの場合には、PMOSトランジスタ503がオフし、バッファ回路504は第2の基準電圧 E_r に抵抗501の電圧降下 $I_r \times R_r = E_d$ を加算した第1の基準電圧($E_r + E_d$)を出力し、駆動信号 D_r がLレベルの場合には、PMOSトランジスタ503がオンし、抵抗501は短絡されるのでバッファ回路504は第2の基準電圧 E_r を出力する。

10

20

30

40

50

【0038】

図4に示すスイッチ回路52において、520はPMOSトランジスタであり、コンデンサ51を短絡するように接続される。521はインバータであり、駆動信号Drを遅延した反転信号を出力する。522はANDゲートであり、インバータ521の出力と駆動信号Drが入力される。523はNORゲートであり、インバータ521の出力と駆動信号Drが入力される。524はNORゲートであり、ANDゲート522の出力とNORゲート523の出力を入力し、PMOSトランジスタ520のゲートに出力する。このような構成によってNORゲート524は、駆動信号Drの立上りおよび立下り時に短時間だけLレベルとなる信号をPMOSトランジスタ520のゲートに印加し、PMOSトランジスタ520をオンさせてコンデンサ51を短絡する。

10

【0039】

図4に示す充放電回路53において、530はバッファ回路であり、コンデンサ51の電圧Vrを入力して出力する。531と532は抵抗であり、電圧Vrを分圧する。533は演算増幅器であり、反転入力端子に抵抗531と抵抗532の接続点電圧、すなわち電圧Vrを分圧した電圧が印加される。534と535は抵抗であり、駆動信号Drを分圧する。536はバッファ回路であり、抵抗534と抵抗535の接続点電圧を入力して出力する。537と538と539は抵抗であり、抵抗537はバッファ回路536の出力を一端に印加され、他端を演算増幅器533の非反転入力端子に接続される。抵抗538は演算増幅器533の非反転入力端子と出力の間に接続される。抵抗539は電圧Vrを一端に印加され、他端を演算増幅器533の出力に接続される。

20

【0040】

また、抵抗534と抵抗535による分圧比を α とすると、バッファ回路536から出力される信号は $(\alpha \times Dr)$ となる。抵抗531と抵抗532、抵抗537と抵抗538の各抵抗値は等しいものとする、演算増幅器533の出力は $(Vr - \alpha \times Dr)$ となり、抵抗539の両端には $(\alpha \times Dr)$ が発生する。比較回路54は入力直流電圧Viでバイアスされており、駆動信号DrのHレベルが入力直流電圧Vi、Lレベルがゼロ電圧である。抵抗539の抵抗値をRとすると、電圧Vrから抵抗539を介して流出する電流I1は、駆動信号DrがHレベルの時は $(I1 = \alpha \times Vi / R)$ となり、Lレベルの時は $(I1 = 0)$ となる。

【0041】

また、図4の充放電回路53において、540と541は抵抗であり、出力直流電圧Voを分圧する。542はバッファ回路であり、抵抗540と抵抗541の接続点電圧を入力して出力する。543は抵抗であり、一端をバッファ回路542に接続される。544は抵抗であり、抵抗543の他端とバッファ回路530の出力との間に接続される。545は演算増幅器であり、非反転入力端子に抵抗543と抵抗544の接続点電圧が印加される。546と547と548は抵抗であり、抵抗546は一端を接地され、他端を演算増幅器539の反転入力端子に接続される。抵抗547は演算増幅器545の反転入力端子と出力の間に接続される。抵抗548は電圧Vrを一端に印加され、他端を演算増幅器539の出力に接続される。

30

【0042】

ここで、抵抗540と抵抗541による分圧比を β とすると、バッファ回路542から出力される信号は $(\beta \times Vo)$ となる。抵抗543と抵抗544、抵抗546と抵抗547の各抵抗値は等しいものとする、演算増幅器545の出力は $(Vr + \beta \times Vo)$ となり、抵抗548の両端には $(\beta \times Vo)$ が発生する。抵抗548の抵抗値をRとすると、電圧Vrから抵抗548を介して流入する電流I2は $(I2 = \beta \times Vo / R)$ となる。

40

【0043】

以上のような充放電回路53の構成によって、コンデンサ51は、駆動信号DrがHレベル、すなわちスイッチ素子1がオンの時は(数7)

【0044】

【数 7】

$$I_1 - I_2 = \frac{\alpha \times (V_i - V_o)}{R}$$

で放電され、駆動信号 D_r が L レベル、すなわちスイッチ素子 1 がオフの時は (数 8)

【0045】

【数 8】

$$I_2 = \frac{\alpha \times V_o}{R}$$

10

で充電される。コンデンサ 51 の静電容量を C とすると、時刻 t_1 における電圧 V_r は (数 9)

【0046】

【数 9】

$$V_{r1} = E_r + E_d - \frac{(I_1 - I_2) \times T_{on}}{C} = E_r + E_d - \frac{\alpha \times (V_i - V_o) \times V_o}{V_i \times C \times R \times f}$$

で表され、時刻 t_2 における電圧 V_r は (数 10)

【0047】

【数 10】

20

$$V_{r2} = E_r + \frac{I_2 \times T_{off}}{C} = E_r + \frac{\alpha \times (V_i - V_o) \times V_o}{V_i \times C \times R \times f}$$

で表される。ここで、出力直流電圧 V_o のリップル電圧成分を無視できるものとするれば、 $V_o = V_{r1} = V_{r2}$ となり (数 11)

【0048】

【数 11】

$$V_o = E_r + \frac{E_d}{2}$$

$$f = \frac{2 \alpha \times (V_i - V_o) \times V_o}{V_i \times E_d \times C \times R}$$

30

の関係が得られる。

【0049】

したがって、スイッチング周波数 f は入出力条件によって変動するが、出力直流電圧 V_o は通常動作においては一定値に安定化される。例えば、 $V_i = 2 \sim 5 \text{ V}$, $E_r = 0.98 \text{ V}$, $E_d = 0.04 \text{ V}$, $\alpha = 0.2$, $R = 50 \text{ k}$, $C = 100 \text{ pF}$ とすると、 $V_o = 1 \text{ V}$, $f = 1 \sim 1.6 \text{ MHz}$ となる。

【0050】

以上のように本実施の形態 2 における DC - DC コンバータは、出力直流電圧 V_o を低出力リップル電圧で、高精度に安定化するとともに高速応答も可能である。

40

【0051】

図 5 は本発明の実施の形態 3 における DC - DC コンバータの制御回路の構成を示す図である。図 5 において、図 1 に示した入力直流電圧源 10, スwitch素子 1, ダイオード 2, インダクタ 3, 出力コンデンサ 4, 負荷 20 は省略し、さらに、図 4 に示したスイッチ回路 52 と充放電回路 53 も同様の構成なので略記し、基準電圧源 50 とコンデンサ 51 と比較回路 54 を表した。

【0052】

図 5 に示す本実施の形態 3 に係る DC - DC コンバータの制御回路の基準電圧源 50 において、実施の形態 2 に係る DC - DC コンバータと同じ構成要素のものについては同じ

50

番号を付し、その説明は省略する。

【0053】

本実施の形態3におけるDC-DCコンバータと、図4に示す実施の形態2のDC-DCコンバータの構成と異なる点は、基準電圧源50の入力直流電圧 V_i から抵抗501へ電流を流すようにPNPトランジスタ505とPNPトランジスタ506からなるカレントミラー回路と抵抗507を付加したことである。

【0054】

ここで、PNPトランジスタのエミッタ-ベース間電圧を V_{be} 、抵抗507の抵抗値を R_7 とすると、抵抗501(抵抗値 R_r)には電流源502からの電流 I_r とPNPトランジスタ506から $(V_i - V_{be}) / R_7$ の電流が流れる。したがって、第1の基準電圧は(数12)

10

【0055】

【数12】

$$E_r + E_d = E_r + \left(I_r + \frac{(V_i - V_{be})}{R_7} \right) \times R_r$$

となる。すなわち、入力直流電圧 V_i が高くなるほど基準電圧の変動幅 E_d が大きくなるような補正がかかる構成である。

【0056】

例えば、 $V_i = 2 \sim 5 \text{ V}$ 、 $E_r = 0.98 \text{ V}$ 、 $\beta = 0.2$ 、 $R = 50 \text{ k}$ 、 $C = 100 \text{ pF}$ 、 $I_r = 8 \mu\text{A}$ 、 $R_r = 3.7 \text{ k}$ 、 $V_{be} = 0.7 \text{ V}$ 、 $R_7 = 925 \text{ k}$ とすると、 $V_o = 1 \sim 1.006 \text{ V}$ 、 $f = 1 \sim 1.231 \text{ MHz}$ となる。

20

【0057】

以上のように本実施の形態3のDC-DCコンバータは、出力直流電圧 V_o を低出力リップル電圧で、高精度に安定化するとともに高速応答も可能であるといった実施の形態2のDC-DCコンバータの有利な点に加えて、基準電圧の変動幅 E_d に補正を加えることによりスイッチング周波数の変動も抑制することができる。

【0058】

なお、実施の形態1から実施の形態3において、降圧コンバータを用いた例で説明してきたが、本発明のDC-DCコンバータはこれに限定されるものではない。スイッチ素子を有し、スイッチ素子のオン期間に出力電圧が上昇するような全てのスイッチング式のDC-DCコンバータに適用可能である。

30

【0059】

また、整流手段としてダイオードを用いて説明してきたが、本発明のDC-DCコンバータはこれに限定されるものではなく、整流手段は同期整流回路であっても構わない。

【産業上の利用可能性】

【0060】

本発明に係るDC-DCコンバータは、誤差増幅器を使用することなく、比較回路の動作を基本とした構成によって高速応答性を実現するとともに、出力リップル電圧も増大させずに、高精度な出力安定度を達成することができ、入出力条件の変化に高速に応答して安定な出力直流電圧を供給する各種電子機器の電源回路等に有用である。

40

【図面の簡単な説明】

【0061】

【図1】本発明の実施の形態1におけるDC-DCコンバータの回路構成を示す図

【図2】本実施の形態1におけるDC-DCコンバータの制御回路の要部波形を示す図

【図3】本実施の形態1における過渡応答特性の動作波形を示す図

【図4】本発明の実施の形態2におけるDC-DCコンバータの制御回路の構成を示す図

【図5】本発明の実施の形態3におけるDC-DCコンバータの制御回路の構成を示す図

【図6】従来のDC-DCコンバータの回路構成を示す図

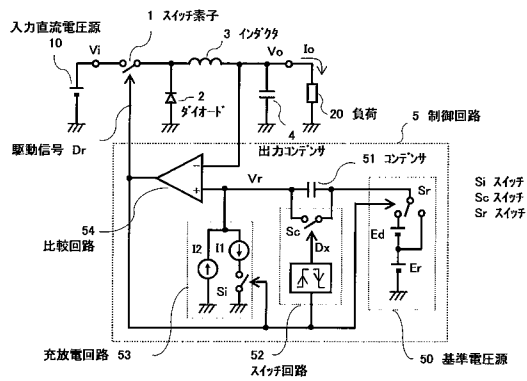
【符号の説明】

50

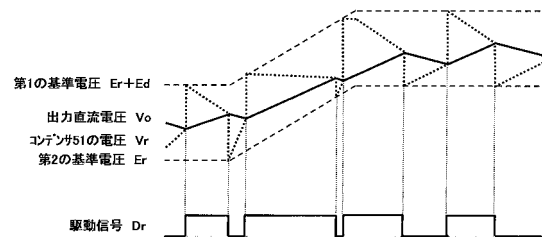
【 0 0 6 2 】

- 1, 1 1 スイッチ素子
- 2, 1 2 ダイオード
- 3, 1 3 インダクタ
- 4, 1 4 出力コンデンサ
- 5 制御回路
- 1 0 入力直流電圧源
- 1 7, 5 0 基準電圧源
- 1 8 ヒステリシス比較回路
- 2 0 負荷
- 5 1 コンデンサ
- 5 2 スイッチ回路
- 5 3 充放電回路
- 5 4 比較回路

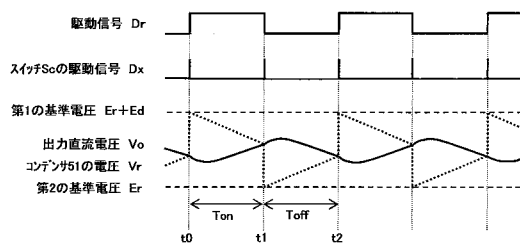
【 図 1 】



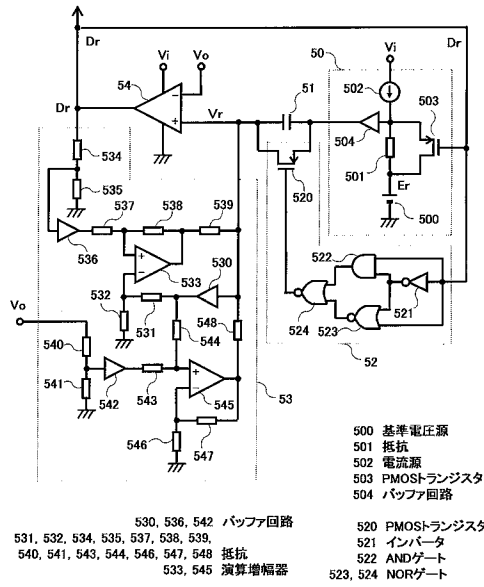
【 図 3 】



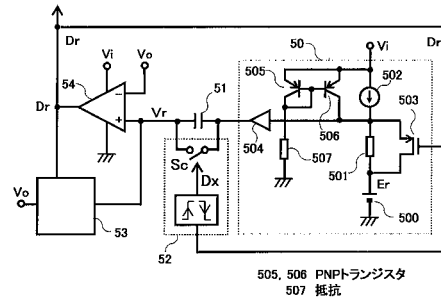
【 図 2 】



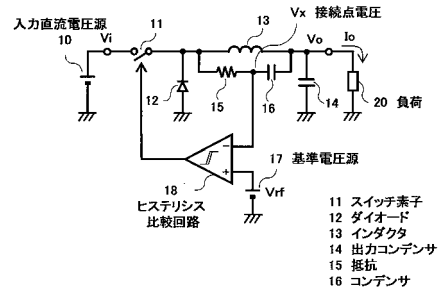
【図4】



【図5】



【図6】



フロントページの続き

- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (74)代理人 100131200
弁理士 河部 大輔
- (74)代理人 100131901
弁理士 長谷川 雅典
- (74)代理人 100132012
弁理士 岩下 嗣也
- (74)代理人 100141276
弁理士 福本 康二
- (74)代理人 100143409
弁理士 前田 亮
- (74)代理人 100157093
弁理士 間脇 八蔵
- (74)代理人 100163186
弁理士 松永 裕吉
- (74)代理人 100163197
弁理士 川北 憲司
- (74)代理人 100163588
弁理士 岡澤 祥平
- (72)発明者 石井 卓也
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 龍 隆
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 田辺 裕久
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 古東 正章
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 槻木澤 昌司

- (56)参考文献 特開2004-064994(JP,A)
特開平07-095769(JP,A)
特開2002-252970(JP,A)
特開平03-078469(JP,A)
特開平06-225517(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155