



[12] 发明专利申请公开说明书

[21] 申请号 200410045371.8

[43] 公开日 2005年2月2日

[11] 公开号 CN 1574070A

[22] 申请日 2004.5.21

[21] 申请号 200410045371.8

[30] 优先权

[32] 2003.5.22 [33] JP [31] 144792/2003

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 土田贤二 岩田佳久 东知辉

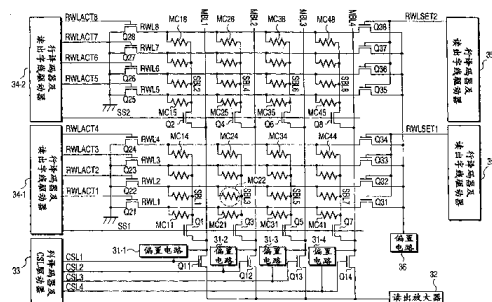
[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 吴丽丽

权利要求书7页 说明书14页 附图11页

[54] 发明名称 MRAM 及其数据读法

[57] 摘要

本发明提供 MRAM 及其数据读法。本发明的目的是提供一种可获得大容量化及高集成化而存取速度也可实现高速化的磁性随机存取存储器及其数据读出方法。在使用交叉点型的存储单元和采用分层位线结构的 MRAM 中,在读出动作时,使与选择单元同一副位线(SBL1 ~ SBL8)相连接的存储单元(MC11 ~ MC48)的字线(RWL1 ~ RWL8)保持电浮动状态,对与选择单元不同的副位线相连接的存储单元的字线供给与主位线(MBL1 ~ MBL4)同一电位。通过使用交叉点型存储单元,可很容易获得大容量化及高集成化。另外,可以抑制交叉点型存储单元固有的读出时的误差电流分量,并且,通过将处于非选择状态的全部副位线的电位设定为与主位线相同,可以使读出动作做到高速化。



1.一种磁性随机存取存储器，其特征在于包括：
具有表现磁阻效应的交叉点型的存储单元的多个单元单位；
与上述各单元单位中的存储单元的一端分别连接的字线；
与上述各单元单位中的多个存储单元的另一端以规定的单位共同连接的副位线；

经开关电路分别与多个副位线共同连接并与上述副位线一起形成分层位线结构的主位线；

用来选择上述主位线与读出放大器相连接的列选择电路；

行选择电路，其结构为在通过控制上述开关电路以上述单元单位为单位进行上述字线的选择动作、读出动作时，位于连接了所选择的存储单元的选择字线以外，将与连接了上述所选择的存储单元的副位线相连接的非选择的存储单元相连接的字线设定为浮动状态，而将与不包含所选择的存储单元的单元单位中的存储单元相连接的字线设定为与上述主位线同一电位。

2.根据权利要求 1 所述的磁性随机存取存储器，其特征在于：上述单元单位是存储单元 (MC11~MC48) 配置成为矩阵形状的存储单元块，上述各存储单元块中的存储单元的一端分别在每行与上述字线 (RWL1~RWL8) 相连接，另一端则在每列与上述副位线 (SBL1~SBL8) 相连接。

3.根据权利要求 1 所述的磁性随机存取存储器，其特征在于：上述开关电路，包含电流通路的一端与上述副位线 (SBL1~SBL8) 分别相连接，而电流通路的另一端在每列与主位线 (MBL1~MBL4) 相连接，利用从上述行选择电路 (34-1、34-2) 输出的单元单位的选择信号 (SS1、SS2) 进行开/关控制的第 1MOS 晶体管 (Q1~Q8)。

4.根据权利要求 1 所述的磁性随机存取存储器，其特征在于：上述列选择电路的构成包括：电流通路的一端与上述主位线 (MBL1~MBL4) 分别相连接，另一端与上述读出放大器 (32) 相连接的列

选择用的第 2MOS 晶体管(Q11~Q14); 与上述第 2MOS 晶体管的栅相连接的列选择线(CSL1~CSL4); 向上述列选择线输出列地址选择信号进行选择性驱动的 CSL 驱动器(33); 以及基于从上述 CSL 驱动器输出的列地址选择信号向上述主位线选择性地赋予偏置电压的第 1 偏置电路(31-1~31-4)。

5.根据权利要求 1 所述的磁性随机存取存储器, 其特征在于: 上述行选择电路, 包含对上述各单元单位分别选择性地驱动上述字线(RWL1~RWL8), 并且将包含对上述各单元单位分别控制上述开关电路(Q1~Q8)而选择的存储单元的单元单位中的副位线(SBL1~SBL8)与主位线(MBL1~MBL4)相连接的读出字线驱动器(34-1、34-2、35-1、35-2); 以及将行地址信号译码而供给上述读出字线驱动器的行译码器(34-1、34-2、35-1、35-2)。

6.根据权利要求 1 所述的磁性随机存取存储器, 其特征在于: 上述行选择电路的构成包括: 电流通路的一端与上述字线(RWL1~RWL8)的一端分别相连接, 该电流通路的另一端共同连接的第 3MOS 晶体管(Q31~Q38); 对上述第 3MOS 晶体管的另一端赋予偏置电压的第 2 偏置电路(36); 以上述单元单位为单元驱动上述第 3MOS 晶体管的第 1 读出字线驱动器(35-1、35-2); 对行地址信号进行译码供给上述第 1 读出字线驱动器的第 1 行译码器(35-1、35-2); 电流通路的一端分别与上述字线的另一端相连接, 该电流通路的另一端与基准电位共同连接的第 4MOS 晶体管(Q21~Q28); 对上述第 4MOS 晶体管进行选择性驱动并且将包含对上述各单元单位分别控制上述开关电路(Q1~Q8)所选择的存储单元的单元单位中的副位线(SBL1~SBL8)与主位线(MBL1~MBL4)相连接的第 2 读出字线驱动器(34-1、34-2); 以及将上述行地址信号译码而供给上述第 2 读出字线驱动器的第 2 行译码器(34-1、34-2)。

7.根据权利要求 1 所述的磁性随机存取存储器, 其特征在于: 上述行选择电路的构成包括: 电流通路的一端与上述字线(RWL1~RWL8)的一端分别相连接, 该电流通路的另一端共同连接的第 3MOS 晶体管

(Q41~Q48 或 Q51~Q58); 对上述第 3MOS 晶体管的另一端赋予偏置电压的第 2 偏置电路(36); 电流通路的一端分别与上述字线的另一端相连接, 该电流通路的另一端与基准电位共同连接的第 4MOS 晶体管(Q21~Q28); 对上述第 4MOS 晶体管进行选择性驱动、并且将包含对上述各单元单位分别控制上述开关电路(Q1~Q8)和上述第 3MOS 晶体管所选择的存储单元的单元单位中的副位线(SBL1~SBL8)与主位线(MBL1~MBL4)相连接、同时将字线(RWL1~RWL8)与上述第 2 偏置电路相连接的读出字线驱动器(34、35); 以及将行地址信号译码而供给上述读出字线驱动器的行译码器(34、35)。

8.根据权利要求 7 所述的磁性随机存取存储器, 其特征在于: 上述第 3MOS 晶体管(Q41~Q48)是 N 沟道型, 对每一个单元单位, 将供给上述开关电路(Q1~Q8)的信号(SS1、SS2)的反相信号(bSS1、bSS2)供给上述第 3MOS 晶体管的栅。

9.根据权利要求 7 所述的磁性随机存取存储器, 其特征在于: 上述第 3MOS 晶体管(Q51~Q58)是 P 沟道型, 对每一个单元单位, 将供给上述开关电路(Q1~Q8)的信号(SS1、SS2)供给上述第 3MOS 晶体管的栅。

10.根据权利要求 4 所述的磁性随机存取存储器, 其特征在于: 上述第 1 偏置电路(31-1~31-4), 根据从上述 CSL 驱动器(33)输出的列地址选择信号, 停止对所选择的主位线(MBL1~MBL4)进行偏置电压的施加。

11.根据权利要求 10 所述的磁性随机存取存储器, 其特征在于: 选择的主位线, 响应上述列地址选择信号被连接到上述读出放大器(32)而从上述读出放大器对其施加实质上与从上述第 1 偏置电路(31-1~31-4)输出的偏置电压相等的电压。

12.根据权利要求 6 所述的磁性随机存取存储器, 其特征在于: 从上述第 2 偏置电路(36)所输出的偏置电压与从上述第 1 偏置电路(31-1~31-4)所输出的偏置电压实质上相等。

13.根据权利要求 7 所述的磁性随机存取存储器, 其特征在于: 从

上述第 2 偏置电路(36)所输出的偏置电压与从上述第 1 偏置电路(31-1~31-4)输出的偏置电压实质上相等。

14.一种磁性随机存取存储器,其特征在于包括:

表现磁阻效应的交叉点型的存储单元配置成为矩阵形状,在数据读出时使用的读出位线由主位线和副位线构成的分层位线方式的存储单元阵列;以及

在读出动作时,将与所选择的存储单元相连接的副位线所连接的非选择的存储单元所连接的字线置于浮动状态,将与不包含所选择的存储单元的副位线相连接的上述以外的字线设定为实质上与上述主位线相等的电位的字线电位设定部件。

15.根据权利要求 14 所述的磁性随机存取存储器,其特征在于:与所选择的存储单元(MC11~MC48)相连接的字线(RWL1~RWL8)的电位,和与不包含选择的存储单元的副位线(SBL1~SBL8)相连接的非选择的存储单元所连接的字线的电位不同。

16.根据权利要求 14 所述的磁性随机存取存储器,其特征在于:其构成还包括使上述主位线(MBL1~MBL4)的电位保持为规定的偏置电压的偏置部件(31-1~31-4)。

17.根据权利要求 16 所述的磁性随机存取存储器,其特征在于:上述偏置部件(31-1~31-4),响应选择上述存储单元阵列的行地址选择信号,停止对所选择的主位线(MBL1~MBL4)进行偏置电压的供给。

18.根据权利要求 17 所述的磁性随机存取存储器,其特征在于:上述所选择的主位线(MBL1~MBL4),响应上述列地址选择信号被连接到上述读出放大器(32)而从上述读出放大器对其施加实质上与从上述偏置部件(31-1~31-4)输出的偏置电压相等的电压。

19.一种磁性随机存取存储器,其特征在于包括:

表现磁阻效应的交叉点型的存储单元配置成为矩阵形状,在数据读出时使用的读出位线由主位线和副位线构成的分层位线方式的存储单元阵列;

使用于选择上述存储单元的字线与不同的第 1、第 2 电位供给源

有选择地连接的连接部件；以及

控制上述连接部件，将上述字线电气地设定为浮动状态的控制部件。

20.根据权利要求 19 所述的磁性随机存取存储器，其特征在于：上述控制部件，具有在读出时设定用于字线的电位的第 1、第 2 行译码器及字线驱动器(34-1、34-2、35-1、35-2)，

通过利用上述第 1、第 2 行译码器及字线驱动器使上述连接部件(Q21~Q28、Q31~Q38)非活性化，将上述字线(RWL1~RWL8)电气地设定为浮动状态。

21.根据权利要求 20 所述的磁性随机存取存储器，其特征在于：上述连接部件(Q1~Q8)，具有根据上述第 1、第 2 行译码器及字线驱动器(34-1、34-2、35-1、35-2)的输出信号，将上述字线(RWL1~RWL8)分别与第 1、第 2 电位供给源相连接的第 1、第 2 选择电路(Q21~Q28、Q31~Q38)，上述第 1、第 2 选择电路分别由 N 沟道型 MOS 晶体管构成，上述 MOS 晶体管分别由上述第 1、第 2 行译码器及字线驱动器的输出信号控制。

22.根据权利要求 21 所述的磁性随机存取存储器，其特征在于：从第 1 行译码器及字线驱动器(35-1、35-2、34、35)供给上述第 1 选择电路(Q31~Q38、37-1、37-2、39-1、39-2)的信号是以各副位线(SBL1~SBL8)为单位独立的，从上述第 2 行译码器及字线驱动器(34-1、34-2、34、35)供给上述第 2 选择电路(Q21~Q28)的信号是在各字线(RWL1~RWL8)分别独立的。

23.根据权利要求 19 所述的磁性随机存取存储器，其特征在于：上述控制部件，具有在读出时用于设定字线的电位的行译码器及字线驱动器(34-1、34-2、35-1、35-2、34、35、37-1、37-2、39-1、39-2)，

通过利用上述行译码器及字线驱动器使上述连接部件(Q1~Q8)非活性化，将上述字线(RWL1~RWL8)电气地设定电浮动状态。

24.根据权利要求 23 所述的磁性随机存取存储器，其特征在于：上述连接部件，具有根据上述行译码器及字线驱动器的输出信号，将

上述字线分别与第 1、第 2 电位供给源相连接的第 1、第 2 选择电路(37-1、37-2、Q21~Q28)，上述第 1、第 2 选择电路分别由 N 沟道型 MOS 晶体管(Q41~Q48、Q21~Q28)构成，上述 MOS 晶体管分别由上述行译码器及字线驱动器(34、35)的输出信号控制。

25.根据权利要求 24 所述的磁性随机存取存储器，其特征在于：从上述行译码器及字线驱动器(34、35)供给上述第 1 选择电路(37-1、37-2)的信号是将主位线(MBL1~MBL4)和副位线(SBL1~SBL8)之间的选择信号(SS1、SS2)进行逻辑反相的信号(bSS1、bSS2)，从上述行译码器及字线驱动器(34、35)供给上述第 2 选择电路(Q21~Q28)的输出信号是在各字线(RWL1~RWL8)分别独立的。

26.根据权利要求 23 所述的磁性随机存取存储器，其特征在于：上述连接部件，具有根据上述行译码器及字线驱动器(34、35)的输出信号，将上述字线(RWL1~RWL8)分别与第 1、第 2 电位供给源相连接的第 1、第 2 选择电路(39-1、39-2、Q21~Q28)，上述第 1 选择电路(39-1、39-2)由 P 沟道型 MOS 晶体管(Q51~Q58)构成，上述第 2 选择电路由 N 沟道型 MOS 晶体管(Q21~Q28)构成，上述各 MOS 晶体管分别由上述行译码器及字线驱动器(34、35)的输出信号控制。

27.根据权利要求 26 所述的磁性随机存取存储器，其特征在于：从上述行译码器及字线驱动器(34、35)供给上述第 1 选择电路(39-1、39-2)的输出信号是主位线(MBL1~MBL4)和副位线(SBL1~SBL8)之间的选择信号(SS1、SS2)，从上述行译码器及字线驱动器(34、35)供给上述第 2 选择电路(Q21~Q28)的输出信号是在各字线(RWL1~RWL8)分别独立的。

28.一种磁性随机存取存储器的数据读出方法，其特征在于：该方法是一种从具有表现磁阻效应的交叉点型的存储单元配置成为矩阵形状，在数据读出时所使用的读出位线由主位线和副位线构成的分层位线方式的存储单元阵列的从磁性随机存取存储器读出数据的方法，其构成包括：

声明与要选择的存储单元相连接的字线，并且使与要选择的存储

单元所连接的副位线相连接的非选择的存储单元所连接的字线成为浮动状态；以及

将与不包含所选择的存储单元的副位线相连接的上述以外的字线设定为与上述主位线实质上相等的电位。

29.根据权利要求28所述的磁性随机存取存储器的数据读出方法，其特征在于：在将上述字线设定为与上述主位线实质上相等的电位之后，

使选择的存储单元所连接的副位线与主位线相连接，选择上述主位线与读出放大器相连接，以及

对选择的存储单元的存储数据利用上述读出放大器进行检测放大而读出。

MRAM 及其数据读法

相关申请参见

本申请系根据并且要求承认在先的日本专利申请 No. 2003-144792, 登记日期 2003 年 5 月 22 日, 此处援引其整个内容作为参考。

技术领域

本发明涉及具有利用磁阻效应进行“1”、“0”信息存储的磁性随机存取存储器(MRAM)及其数据读出方法。特别是, 以分割位线结构(分层位线方式)配置交叉点型存储单元的存储单元阵列中的读出时的主/副位线以及字线的电位控制。

背景技术

MRAM, 是通过利用磁阻效应进行“1”或“0”信息存储使存储器动作的器件, 作为兼备非易失性、高集成性、高可靠性、低功耗性以及高速动作性的通用存储器件的候补之一占有一席之地, 各个公司已经开始开发。

在磁阻效应中公知的主要有 GMR(巨磁阻)和 TMR(隧道磁阻)两种效应。其中利用 GMR 效应的元件(GMR 元件)的是利用夹持于两个强磁性层中的导体的电阻根据上下的强磁性层的自旋的方向而变化的现象来存储信息的器件。不过, GMR 元件, 由于表示磁阻值的变化比例的 MR 比很低, 大约为 10%, 存储信息的读出信号很小, 确保读出范围就成为实现 MRAM 的最大课题。因此, 一般认为在当前实用性还不充分。

另一方面, 作为利用 TMR 效应的代表性的元件, 已知有利用自旋极化隧道效应产生的磁阻的变化的 MTJ(磁隧道结)元件。此 MTJ 元

件,是一种由强磁性层的两个金属层夹持绝缘膜(隧道绝缘膜)的叠层结构。在 MTJ 元件中,在上下的强磁性层的自旋方向互相平行时,在经由隧道绝缘膜的两个强磁性层之间的隧穿概率最大,其结果电阻值最小。与此相对,在上下的强磁性层的自旋方向互相反平行时,同一隧穿概率最小而电阻值最大。为了实现这样的两种自旋状态,通常,上述强磁性层(磁性体薄膜)中的某一方,设定其磁化方向为固定不受外部磁化的影响。一般,将此磁化方向固定的强磁性层称为钉扎层。另一方的强磁性层(磁性体薄膜),根据施加的磁场方向其磁化方向可以计划为与上述钉扎层平行或反平行。此强磁性层,一般称其为自由层,担负存储信息的任务。在 MTJ 元件的场合,现在可以得到作为电阻变化率的 MR 比超过 50% 的元件,正在逐渐成为 MRAM 开发的主流。

利用上述 MTJ 元件的对 MRAM 的写入是,为了使上述自由层的磁化方向反转,使大于等于一定大小的电流流过对各个存储单元直交通过的位线和字线,相应于由此而发生的合成磁场的大小控制自由层的磁化方向而进行的。

与此相对,读出是,在与所选择的位相对应的 MTJ 元件的两个磁性体薄膜之间施加电压,从流过其中的电流读取电阻值或者在所选择的 MTJ 元件中流过恒定电流,从而可以检测出在两个磁性体薄膜之间发生的电压。

作为这种利用 MTJ 元件的 MRAM 一例,比如,在下面的文献中有报告:ISSCC2000 技术论文摘要 P128《一种 10 毫微秒存取在每个单元利用隧道磁阻和 FET 开关的非易失性存储阵列》。不过,由于此文献中描述的 MRAM 的结构,1 位数据是借助两个 MOS 晶体管和两个 MTJ 元件进行存储的,难以大容量化和高集成化。另外,如果要获得大容量化和高集成化,由于寄生电容和寄生电阻的增大可能会使存取速度降低。

为了做到大容量化和高集成化,提出了一种 1 位数据由一个选择元件(MOS 晶体管或二极管)和一个 MTJ 元件进行存储的结构。另外,也提出了一种称为交叉点型不需要单元选择元件的存储单元,即一位

数据由一个 MTJ 元件进行存储的结构。如果采用交叉点型存储单元，有可能读出速度会降低，读出动作范围会变小，尚有待改进。

发明内容

所以，本发明的目的是提供一种可获得大容量化及高集成化而存取速度也可实现高速化的磁性随机存取存储器及其数据读出方法。

根据本发明的一种实施方式，可提供一种具有如下构成的磁性随机存取存储器：具有表现磁阻效应的交叉点型的存储单元的多个单元单位；与上述各单元单位中的存储单元的一端分别连接的字线；与上述各单元单位中的多个存储单元的另一端以规定的单位共同连接的副位线；经开关电路分别与多个副位线共同连接并与上述副位线一起形成分层位线结构的主位线；用来选择上述主位线与读出放大器相连接的列选择电路；行选择电路，其结构为在通过控制上述开关电路以上述单元单位为单位进行上述字线的选择动作、读出动作时，位于连接了所选择的存储单元的选择字线以外，将与连接了上述所选择的存储单元的副位线相连接的非选择的存储单元相连接的字线设定为浮动状态，而将与不包含所选择的存储单元的单元单位中的存储单元相连接的字线设定为与上述主位线同一电位。

另外，根据本发明的一种实施方式，可提供一种具有如下构成的磁性随机存取存储器：表现磁阻效应的交叉点型的存储单元配置成为矩阵形状，在数据读出时使用的读出位线由主位线和副位线构成的分层位线方式的存储单元阵列；以及在读出动作时，将与所选择的存储单元相连接的副位线所连接的非选择的存储单元所连接的字线置于浮动状态，将与不包含所选择的存储单元的副位线相连接的上述以外的字线设定为实质上与上述主位线相等的电位的字线电位设定部件。

此外，根据本发明的一种实施方式，可提供一种具有如下构成的磁性随机存取存储器：表现磁阻效应的交叉点型的存储单元配置成为矩阵形状，在数据读出时使用的读出位线由主位线和副位线构成的分层位线方式的存储单元阵列；使用于选择上述存储单元的字线与不同

的第 1、第 2 电位供给源有选择地连接的连接部件；以及控制上述连接部件，将上述字线电气地设定为浮动状态的控制部件。

根据本发明的一种实施方式，可提供一种具有如下构成的磁性随机存取存储器的数据读出方法，一种磁性随机存取存储器的数据读出方法，其特征在于：该方法是一种从具有表现磁阻效应的交叉点型的存储单元配置成为矩阵形状，在数据读出时所使用的读出位线由主位线和副位线构成的分层位线方式的存储单元阵列的从磁性随机存取存储器读出数据的方法，其构成包括：声明与要选择的存储单元相连接的字线，并且使与要选择的存储单元所连接的副位线相连接的非选择的存储单元所连接的字线成为浮动状态；以及将与不包含所选择的存储单元的副位线相连接的上述以外的字线设定为与上述主位线实质上相等的电位。

根据上述构成及方法，因为使用的是不需要单元的选择元件的交叉点型存储单元，容易实现大容量化和高集成化。另外，因为采用分层位线方式(分割位线结构)，在其读出动作时，使与所选择的存储单元同一副位线(分割位线)相连接的全部存储单元的字线保持电浮动状态，并且向与选择单元不同的副位线所连接的全部存储单元的字线供给与全部主位线同一的电位，所以可以抑制交叉点型存储单元固有的读出时的误差电流分量。并且，通过将处于非选择状态的全部副位线的电位设定为与主位线相同，可以使读出动作做到高速化。由此，容易达到大容量化和高集成化，并且可以实现读出范围大、可高速读出的 MRAM 及其数据读出方法。

附图说明

图 1 为示出按照本发明的实施方式 1 的磁性随机存取存储器(MRAM)的主要部分的抽出示图，是示出读出系统的核心部分的框图。

图 2 为示出图 1 所示的 MRAM 的读出动作时的时序图。

图 3 为示出按照本发明的实施方式 2 的磁性随机存取存储器(MRAM)的主要部分的抽出示图，是示出读出系统的核心部分的框图。

图 4 为示出图 3 所示的 MRAM 的读出动作时的时序图。

图 5 为示出按照本发明的实施方式 3 的磁性随机存取存储器 (MRAM) 的主要部分的抽出示图, 是示出读出系统的核心部分的框图。

图 6 为示出图 5 所示的 MRAM 的读出动作时的时序图。

图 7 为用来说明按照本发明的实施方式 1 至实施方式 3 的 MRAM 的应用例 1 的示图, 是示出数字用户线路(DSL)用调制解调器的 DSL 数据通道部分的框图。

图 8 为用来说明按照本发明的实施方式 1 至实施方式 3 的 MRAM 的应用例 2 的示图, 是示出手机终端的框图。

图 9 为用来说明按照本发明的实施方式 1 至实施方式 3 的 MRAM 的应用例 3 的示图, 是示出将 MRAM 收纳于智能媒体等媒体内容的智能卡(MRAM 卡)的示例的上视图。

图 10 为示出用来将数据转写到 MRAM 卡的转写装置的平面图。

图 11 为示出用来将数据转写到 MRAM 卡的转写装置的剖面图。

图 12 为示出用来将数据转写到 MRAM 卡的上嵌式转写装置的剖面图。

图 13 为示出用来将数据转写到 MRAM 卡的载入式转写装置的剖面图。

具体实施方式

[实施方式 1]

图 1 为示出按照本发明的实施方式 1 的磁性随机存取存储器 (MRAM) 的主要部分的抽出示图。由于本发明系涉及读出动作, 此处为简化说明起见只示出读出系统的核心部分, 写入系统的核心部分则省略。由 MTJ 元件构成的交叉点型存储单元 MC11~MC48, 配置于多个(此处为 2 个)存储单元块(单元单位)中。第 1 存储单元块中的存储单元 MC11~MC14、MC21~MC24、MC31~MC34、MC41~MC44 分别以其一端与作为共同节点的副位线 SBL1、SBL3、SBL5、SBL7 各四个相连接。另外, 第 2 存储单元块中的存储单元 MC15~MC18、

MC25~MC28、MC35~MC38、MC45~MC48 分别以其一端与作为共同节点的副位线 SBL2、SBL4、SBL6、SBL8 各四个相连接。这些副位线 SBL1~SBL8，分别经过用作选择开关(开关电路)的选择 MOS 晶体管 Q1~Q8 的电流通路与主位线 MBL1~MBL4 每列相连接。就是说，向包含选择单元的副位线 SBL1~SBL8 的选择 MOS 晶体管 Q1~Q8 供给高电平的栅信号作为单元单位的选择信号，换言之，通过使选择线 SS1 或 SS2 迁移到高电位，可以使特定的副位线 SBL1~SBL8 以单元单位为单元选择连接到主位线 MBL1~主位线 MBL4。

在上述主位线 MBL1~MBL4 上连接有列选择电路。此列选择电路，其构成包含偏置电路 31-1~31-4、作为列选择栅的 MOS 晶体管 Q11~Q14、列选择线 CSL1~CSL4、列译码器及列选择线(CSL)驱动器 33 等。

就是说，主位线 MBL1~MBL4，在其一端与上述偏置电路 31-1~31-4 相连接，对全部主位线 MBL1~MBL4 施加规定的偏置电压。另外，各主位线 MBL1~MBL4 的一个端部，经过上述 MOS 晶体管 Q11~Q14 的电流通路选择地与读出放大器 32 相连接，将存储单元 MC11~MC18、MC21~MC28、MC31~MC38 MC41~MC48 的存储数据进行检测放大而读出到芯片内或芯片外的其他电路。上述 MOS 晶体管 Q11~Q14 的栅与列选择线 CSL1~CSL4 相连接，并且在这些列选择线 CSL1~CSL4 上输入有上述列译码器及 CSL 驱动器 33 的输出信号。

另一方面，上述交叉点型存储单元 MC11~MC18、MC21~MC28、MC31~MC38、MC41~MC48 的另一端分别与每行不同的布线层相连接。在读出时，这些布线层，用作读出用字线 RWL(RWL1~RWL8)。在上述读出用字线 RWL1~RWL8 的两端设置有行选择电路。此行选择电路，其构成包含 MOS 晶体管 Q31~Q38，偏置电路 36，第 1 行译码器及读出字线驱动器 35-1、35-2，MOS 晶体管 Q21~Q28，第 2 行译码器及读出字线驱动器 34-1、34-2 等。

就是说，在上述读出用字线 RWL1~RWL8 的一端上分别连接有 MOS 晶体管 Q31~Q38 的电流通路的一端，MOS 晶体管 Q31~Q38 的

电流通路的另一端与偏置电路 36 的输出端子相连接。这些 MOS 晶体管 Q31~Q38, 由从第 1 行译码器及读出字线驱动器 35-1、35-2 输出的字线电位设定信号 RWLSET1、RWLSET2 以单元单位为单位驱动, 上述读出用字线 RWL1~RWL4 或 RWL5~RWL8 选择性地由偏置电路 36 输出的偏置电压设定。由此偏置电路 36 产生与偏置电路 31-1~31-4 实质上相等的偏置电压。

在上述读出用字线 RWL1~RWL8 的另一端分别连接有 MOS 晶体管 Q21~Q28 的电流通路的一端, 而 MOS 晶体管 Q21~Q28 的电流通路的另一端与作为基准电位 Vss 电源(接地电位)相连接。这些 MOS 晶体管 Q21~Q28, 由第 2 行译码器及读出字线驱动器 34-1、34-2 输出的字线驱动信号 RWLACT1~RWLACT8 个别驱动, 上述读出用字线 RWL1~RWL8(布线层)选择性地被设定为低电压电平(比如, Vss 电平)。

由这两个行译码器及读出字线驱动器 34-1、34-2、35-1、35-2 产生的字线电位的控制方法的差别, 在于可否个别控制各读出用字线 RWL1~RWL8 或可否以单元单位为单位(或以副位线为单位)进行控制。

如果在数据读出中, 比如, 选择以虚线围出的存储单元 MC22, 则通过使在与此存储单元 MC22 相对应的副位线 SLB3 和主位线 MBL2 之间设置的选择 MOS 晶体管 Q3 的栅输入信号(选择线 SS1)迁移到高电位而导通, 使主位线 MBL2 和副位线 SBL3 连接。另外, 利用第 2 行译码器及读出字线驱动器 34-1 只使与选择单元 MC22 相当的字线驱动信号 RWLACT2 迁移到高电位, 利用第 1 行译码器及读出字线驱动器 35-1 使输出的字线电位设定信号 RWLSET1 迁移到低电位。

由此, 从主位线 MBL2 经副位线 SBL3 生成通向读出用字线 RWL2 的电流通路。其后, 由列译码器及 CSL 驱动器 33 中的列译码器对从外部输入的列地址信号进行译码, 利用 CSL 驱动器使选择信号 CSL2 迁移到高电位状态, 使选择 MOS 晶体管 Q12 导通而使主位线 MBL2 与读出放大器 32 相连接。此时, 利用上述列选择信号 CSL2 将与主位线 MBL2 相连接的偏置电路(位线偏置电路)31-2 设定为非活动

状态。

对上述选择的主位线 MBL2 从读出放大器 32 施加与偏置电路 31-2 的同电位(实质上是相等电位), 并通过对流过选择单元 MC22 的电流进行检测和放大而读出存储信息。

此时, 与包含选择单元 MC22 的副位线 SBL3 相连接的非选择单元群(MC21、MC23、MC24)相连接的字线群 RWL1、RWL3、RWL4, 由行译码器及读出字线驱动器 35-1、34-1 控制为浮动状态。另一方面, 与不包含选择单元 MC22 的副位线 SBL2、SBL4、SBL6、SBL8 相连接的非选择单元群 MC15~MC18、MC25~MC28、MC35~MC38、MC45~MC48 所连接的字线群 RWL5~RWL8, 通过利用行译码器及读出字线驱动器 35-2、34-2, 设定 MOS 晶体管 Q35~Q38 导通、MOS 晶体管 Q27~Q28 为非导通状态, 设定偏置电路 36 输出的偏置电压为, 即与主位线 MBL1~MBL4 实质上相等的偏置电压。

另外, 在上述图 1 示出的电路中, 是以 32 位大小的存储单元 MC11~MC18、MC21~MC28、MC31~38、MC41~MC48 为例, 但在实际的 MRAM 中, 存储单元采用适当的二维集成配置。另外, 例示的是分别与副位线 SBL1~SBL8 相连接的 4 位的存储单元, 但也可以进行适当的变更。

图 2 为示出选择上述存储单元 MC22 的读出动作时的时序图。在待机状态中, 为了使作为在副位线 SBL1~SBL8 和主位线 MBL1~MBL4 之间的选择开关的 MOS 晶体管 Q1~Q8 全部处于非导通状态, 选择线 SS1、SS2 处于低电位状态。另一方面, 全部主位线 MBL1~MBL4, 由位线偏置电路 31-1~31-4 设定为规定的偏置电压。此外, 通过将作为列译码器及 CSL 驱动器 33 的输出信号的列选择信号 CSL1~CSL4 设定为低电位, 读出放大器 32 与全部位线(主位线 MBL1~MBL4 及副位线 SBL1~SBL8)断开。全部的字线 RWL1~RWL8, 通过将第 2 行译码器及读出字线驱动器 34-1、34-2 的输出信号 RWLACT1~RWLACT8 设定为低电位, 将第 1 行译码器及读出字线驱动器 35-1、35-2 的输出信号 RWLSET1、RWLSET2 设定为高电位而与偏置电路(字线偏置电

路)36相连接。

另外，因为上述字线偏置电路 36 及位线偏置电路 34-1~34-4 生成实质上相等的偏置电压，在待机状态下，全部主位线 MBL1~MBL4 和读出用字线 RWL1~RWL8 预充电为同电位。另外，全部副位线 SBL1~SBL8，由于 MTJ 元件 MC11~MC48 是单纯的电阻，经由读出用字线 RWL1~RWL8，设定为与字线及位线同样的电位。

与此相对，在活动(Active)状态下，因为设想选择了存储单元 MC22，作为栅输入信号的选择线 SS1 和字线驱动信号 RWLACT2 向高电位迁移，并且字线电位设定信号 RWLSET1 向低电位迁移。由此，经过 MBL2→SBL3→RWL2 形成电流通路。另外，通过输入与选择单元 MC22 相当的列地址信号，列选择信号 CSL2 向高电位迁移，选择的主位线 MBL2 和读出放大器 32 电气结合。其结果，只有选择单元 MC22 的数据转送到读出放大器 32，于其中经检测放大后，经由未图示的读出系统电路群读出到存储器的外部。此时，利用列选择信号 CSL2 使选择主位线 MBL2 的偏置电路 31-2 变成非活动状态。

但是，与包含选择单元 MC22 的副位线 SBL3 相连接的其他非选择单元用的字线 RWL1、RWL3、RWL4，由于字线电位设定信号 RWLSET1 迁移到低电位，被控制为电浮动状态。此时，因为字线电位设定信号 RWLSET2 依然保持为高电位，与不包含选择单元 MC22 的副位线 SBL2、SBL4、SBL6、SBL8 相连接的存储单元 MC15~MC18、MC25~MC28、MC35~MC38、MC45~MC48 的字线群 RWL5~RWL8 保持与字线偏置电路 36 相连接的状态。其结果，字线群 RWL5~RWL8，保持与主位线 MBL1~MBL4 同一电位状态。因此，处于与主位线 MBL1~MBL4 断开的状态的副位线 SBL2、SBL4、SBL6、SBL8 的电位也经过 RWL5~RWL8 成为低阻抗状态，可以保持与主位线 MBL1~MBL4 同一电位状态。由此，在下一个周期中，可以避免与副位线 SBL2、SBL4、SBL6、SBL8 相连接的任意存储单元存取时的速度散差及速度降低。

[实施方式 2]

图3为示出按照本发明的实施方式2的MRAM的概略构成框图。在图3中,对于与图1同一构成部赋予相同的标号,其详细说明则省略。本实施方式2与前述的实施方式1的差异是在图1中行译码器及读出字线驱动器是配置于读出字线RWL1~RWL8的两端,而此处则只设置于一端侧。

为实现此电路方式,设置了对每个单元单位选择性地将读出字线RWL1~RWL4、RWL5~RWL8连接到偏置电路36的选择电路37-1、37-2。选择电路37-1的构成包括电流通路的一端与上述读出字线RWL1~RWL4分别连接,另一端与偏置电路36的输出端子的共同连接的N沟道型MOS晶体管Q41~Q44;以及将从行译码器及读出字线驱动器34输出的栅信号(经选择线SS1进行转送,将副位线SBL1、SBL3、SBL5、SBL7选择性地与主位线MBL1~MBL4相连接的信号)进行逻辑反相的反相器38-1。从此反相器38-1输出的信号bSS1,供给上述MOS晶体管Q41~Q44的栅。同样,选择电路37-2的构成包括电流通路的一端与上述读出字线RWL5~RWL8分别连接,另一端与偏置电路36的输出端子的共同连接的N沟道型MOS晶体管Q45~Q48;以及将从行译码器及读出字线驱动器35输出的栅信号(经选择线SS2进行转送,将副位线SBL2、SBL4、SBL6、SBL8选择性地与主位线MBL1~MBL4相连接的信号)进行逻辑反相的反相器38-2。由此反相器38-2输出的信号bSS2,供给上述MOS晶体管Q45~Q48的栅。

图4为示出按照本实施方式2的MRAM的读出动作的时序图。比较图4和图2的时序图可知,基本动作与实施方式1相同,只是在每个单元单位将读出字线RWL1~RWL4、RWL5~RWL8选择性地与偏置电路36相连接的动作中使用栅信号(选择线SS1、SS2)的反相信号bSS1、bSS2这一点不同。

所以,在本实施方式2中也可获得与上述实施方式1同样的作用效果。

[实施方式3]

图5为示出按照本发明的实施方式3的MRAM概略构成的框图。

在本实施方式3中,与图3一样,原来配置于读出字线RWL1~RWL8的两端的行译码器及读出字线驱动器现在只设置于一端侧。于是,通过由P沟道型MOS晶体管Q51~Q54、Q55~Q58构成选择电路39-1、39-2,对这些MOS晶体管Q51~Q54、Q55~Q58直接供给栅信号(经选择线SS1、SS2转送,将副位线选择性地与主位线相连接的信号)。

图6为示出本实施方式3的动作时的时序图。基本动作与实施方式1、2相同,只是在对每个单元单位将读出字线RWL1~RWL4、RWL5~RWL8选择性地与偏置电路36相连接的动作中使用栅信号(选择线SS1、SS2的电位)这一点不同。

所以,在本实施方式3中也可获得与上述实施方式1、2同样的作用效果。

如上所述,根据本发明的各实施方式,因为使用的是不需要单元的选择元件的交叉点型存储单元,容易实现大容量化和高集成化。另外,因为采用分层位线方式(分割位线结构),在其读出动作时,使与所选择的存储单元同一副位线(分割位线)相连接的全部存储单元的字线保持电浮动状态,并且向与选择单元不同的副位线(分割位线)所连接的全部存储单元的字线供给与全部主位线同一电位,所以可以抑制交叉点型存储单元固有的读出时的误差电流分量。而且,通过将处于非选择状态的全部副位线(分割位线)的电位设定为与主位线相同,可以使读出动作做到高速化。因此,容易达到大容量化,并且可以实现读出范围大、可高速读出的MRAM。

另外,按照本发明的实施方式1至3的磁性随机存取存储器(半导体存储装置),可应用于各种装置。在图7至图13中示出这些应用例的一部分。

(应用例)

图7示出抽出的数字用户线路(DSL)用调制解调器的DSL数据通道部分的框图。此调制解调器的构成包括可编程的数字信号处理器(DSP)100、A/D变换器110、D/A变换器120、发送驱动器150以及接收机放大器160等。在图7中,省略了带通滤波器而代之以作为用来

保持线路码程序(相应于由 DSP 执行的、代码化的用户线路信息、传送条件等(线路码; QAM、CAP、RSK、FM、AM、PAM、DWMT 等)选择调制解调器并使其动作的程序)的各种类型的任选存储器而示出的本实施方式的磁性随机存取存储器 170 和 EEPROM180。

另外,在本应用例中,作为用来保持线路码程序的存储器使用的是磁性随机存取存储器 170 和 EEPROM180 两种存储器,不过也可以将 EEPROM180 换为磁性随机存取存储器。就是说,从构成上也可以不使用两种存储器,而只使用磁性随机存取存储器。

(应用例 2)

作为另一应用例图 8 示出了手机终端 300。实现通信功能的通信部 200 的构成包括收发天线 201、天线共用器(双工器)202、接收部 203、基带处理部 204、用作声音编码的 DSP205、扬声器(受话器)206、话筒(送话器)207、发送部 208 以及频率合成器 209 等。

另外,在此手机终端 300 中设置有控制该手机终端的各部的控制部 220。控制部 220,是 CPU221、ROM222、本实施方式的磁性随机存取存储器(MRAM)223 以及闪存 224 经 CPU 总线 225 连接而形成的微型计算机。在上述 ROM222 中预先存储在 CPU221 中执行的程序及显示用的字体等必需的数据。MRAM223 主要用作作业区, CPU221 在程序执行中根据需要临时存储计算过程中的数据等或临时存储在控制部 220 和各部之间交换的数据的场合等等时使用。另外,闪存 224 是用来在手机终端 300 的电源切断时,比如,将最后的设定条件进行存储以便在下一个电源接通时恢复同样设定的这种使用方法中用来存储这些设定参数的。由此,即使是手机终端的电源切断,所存储的设定参数也不会消失。

此外,在此手机终端 300 中设置有声频再生处理部 211、外部输出端子 212、LCD 控制器 213、显示用 LCD(液晶显示器)214 以及产生呼叫音的振铃信号器 215 等。上述声频再生处理部 211,使输入到手机终端 300 的音频信息(或存储于后述的外部存储器 240 中的音频信息)再生。再生的音频信息,可以通过经外部输出端子 212 传送到耳机及

便携式音箱等在外部取出。这样，通过设置声频再生处理部 211，就可以对音频信息进行再生。上述 LCD 控制器 213，比如，可以经 CPU 总线 225 接受来自上述 CPU221 的显示信息，变换为用来控制 LCD214 的 LCD 控制信息，驱动 LCD214 而进行显示。

在上述手机终端 300 中，设置有接口电路(I/F)231、233、235、外部存储器 240、外部存储器插槽 232、按键操作部 234 以及外部输入输出端子 236 等。在上述外部存储器插槽 232 之中，可插入存储卡等外部存储器 240。此外外部存储器插槽 232，经接口电路(I/F)231 与 CPU 总线 225 相连接。这样，通过在手机终端 300 中设置插槽 232，就可以将手机终端 300 内部的信息写到外部存储器 240 中，或将存储于外部存储器 240 中的信息(比如音频信息)输入到手机终端 300。上述按键操作部 234，经接口电路(I/F)233 与 CPU 总线 225 相连接。从按键操作部 234 输入的键输入信息传送到，比如，CPU221。上述外部输入输出端子 236，经接口电路(I/F)233 与 CPU 总线 225 相连接，作为将来自外部的各种信息输入到手机终端 300 或从手机终端 300 将信息输出到外部之际的端子而发挥作用。

另外，在本应用例中，使用的是 ROM222、MRAM223 及闪存 224，但也可以将闪存 224 换为磁性随机存取存储器，另外，也可以将 ROM222 置换为磁性随机存取存储器。

(应用例 3)

图 9 至 13 分别示出将磁性随机存取存储器应用于容纳智能媒体等媒体内容的智能卡(MRAM 卡)的示例。

在 MRAM 卡 400 中，内置 MRAM 芯片 401。在 MRAM 卡 400 中，在与 MRAM 芯片 401 相对应的位置形成开口部 402，露出 MRAM 芯片 401。在此开口部 402 中设置挡板 403，在携带该 MRAM 卡时以挡板 403 保护 MRAM 芯片 401。此挡板 403，由具有屏蔽外部磁场效果的材料，比如，由陶瓷材料制作的。在转写数据时，打开挡板 403，使 MRAM 芯片 401 露出。外部端子 404，是用于将存储于 MRAM 卡中的内容数据取出到外部时使用。

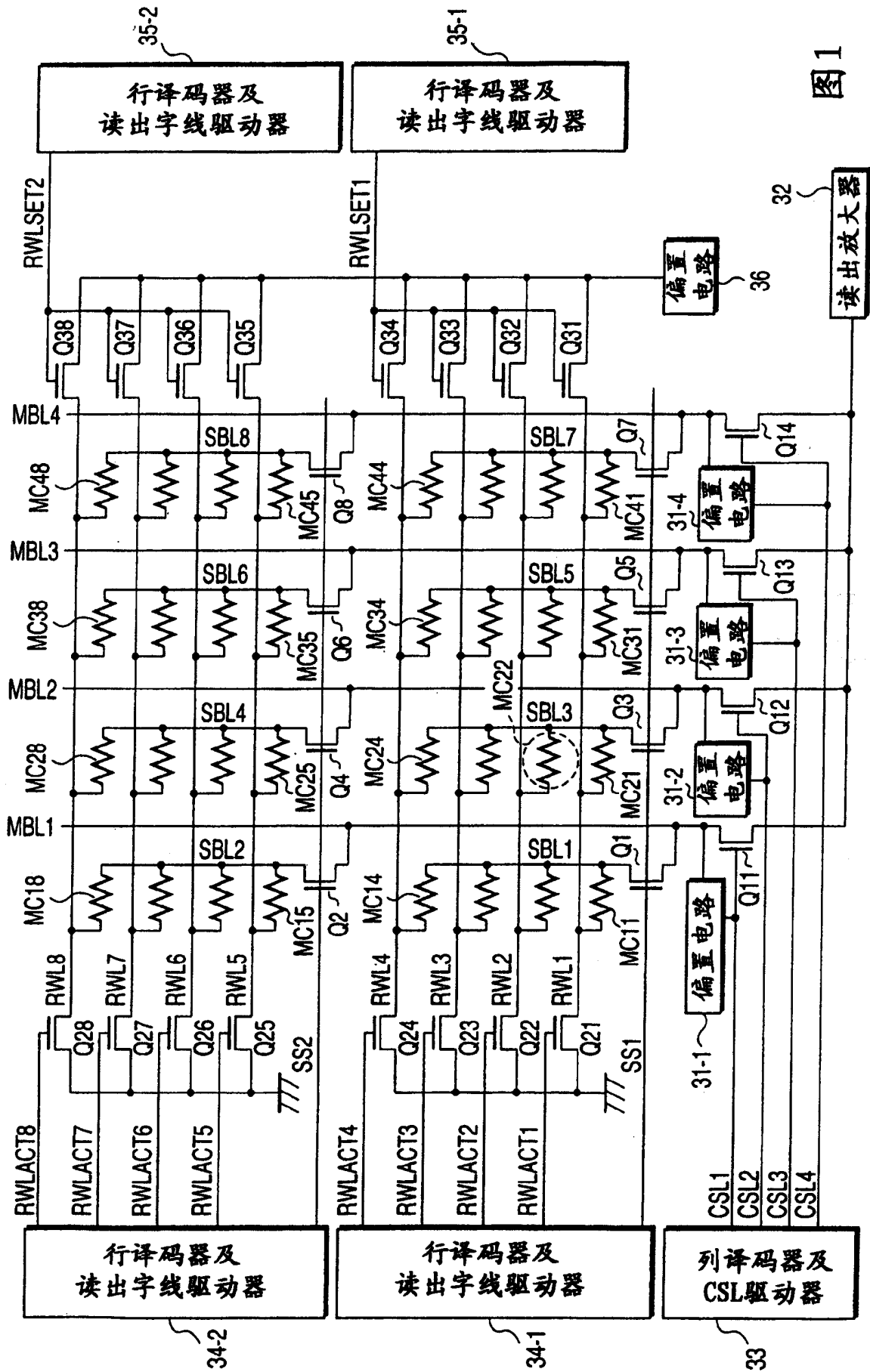
图 10 和图 11 分别示出用来将数据转写到上述 MRAM 卡时使用的转写装置。图 10 是插卡型的转写装置上视图，图 11 为其剖面图。在将终端用户使用的第 2MRAM 卡 450 按照箭头所示的方向插入到转写装置 500 的插入部 510 中时，可一直推进到受到止动器 520 阻挡为止。此止动器 520 的作用是使第 1MRAM550 和第 2MRAM 卡 450 位置重合的部件。如果将第 2MRAM 卡 450 置于规定的位置，则从第 1MRAM 数据改写控制部向外部端子 530 供给控制信号，将存储于第 1MRAM550 中的数据转写到第 2MRAM 卡 450。

在图 12 中示出上嵌式转写装置的剖面图。此转写装置，如箭头所示，是以 520 为目标将第 2MRAM 卡 450 嵌入于第 1MRAM550 之上的载置型装置。因为其转写方法与插卡型相同，其说明省略。

在图 13 中示出载入式转写装置。此转写装置，与 CD-ROM 驱动器及 DVD 驱动器一样，在转写装置 500 中设置有滑动托盘 560，此滑动托盘 560 可在箭头所示的方向上移动。在滑动托盘 560 移动到虚线所示的位置时，将第 2MRAM 卡 450 放置到滑动托盘 560 上而将其传送到转写装置 500 内部。因为传送是使第 2MRAM 卡 450 的前端接触到止动器 520 为止这一点以及转写方法都与插入型相同，其说明省略。

如上所述，根据本发明的一个方面，可获得一种大容量化及高集成化而存取速度也可实现高速化的磁性随机存取存储器及其数据读出方法。

其他的优点和改型对于本领域人士是易于实现的。因此，本发明在其广义上不局限于上述具体细节和代表性的实施方式。所以，在不脱离后附的权利要求及其等同体确定的一般发明概念的精神和范围的情况下可以实现各种改型。



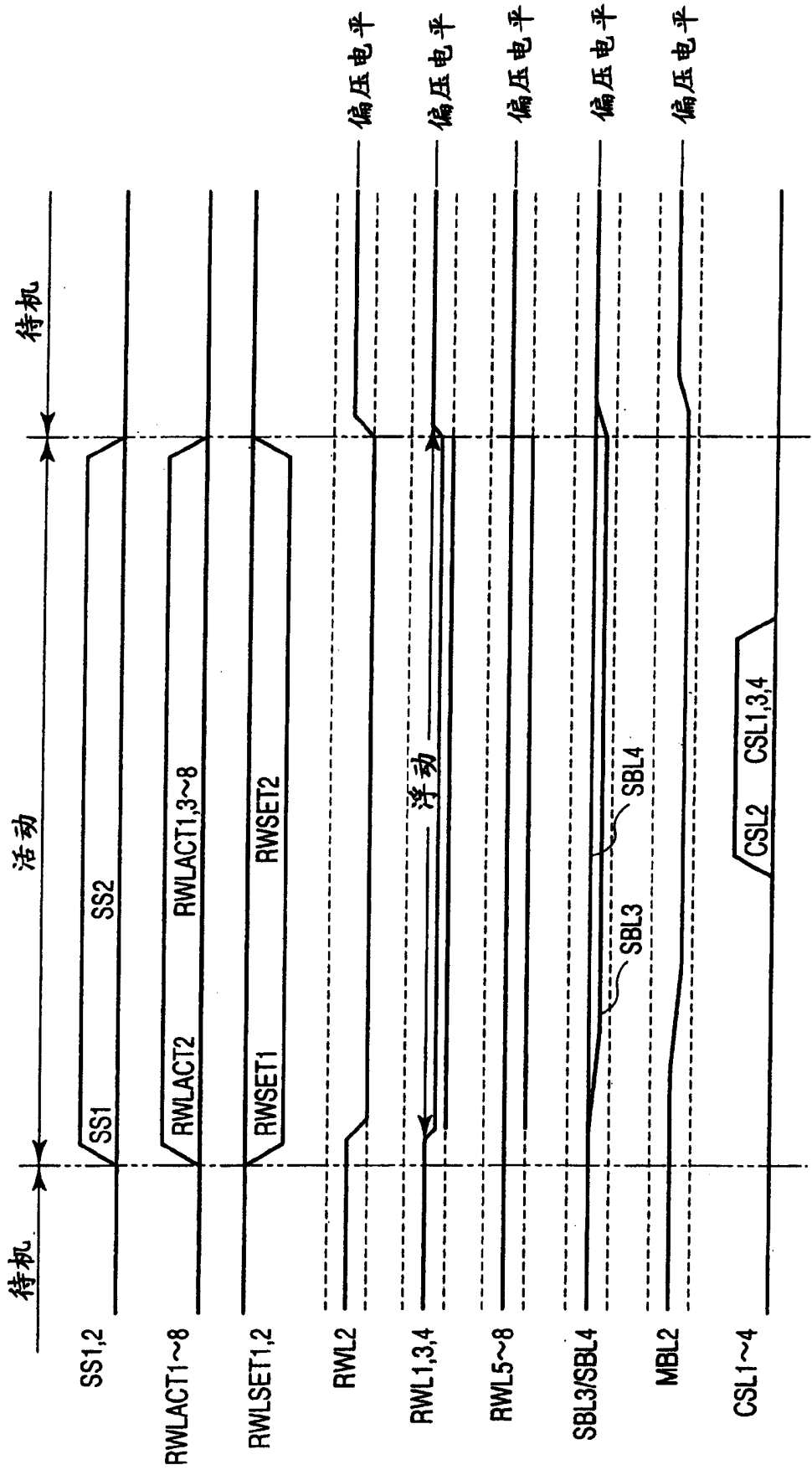


图 2

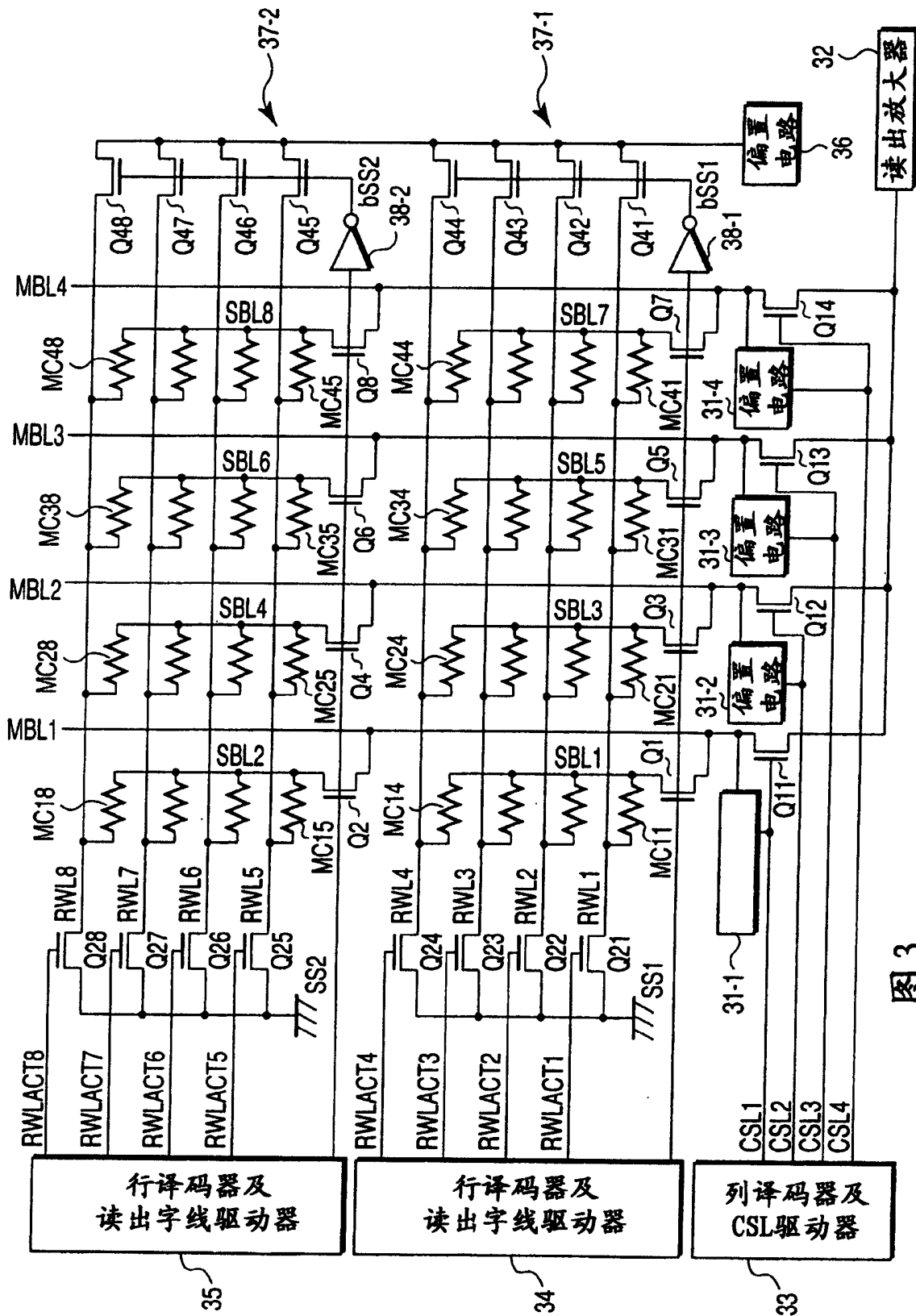


图 3

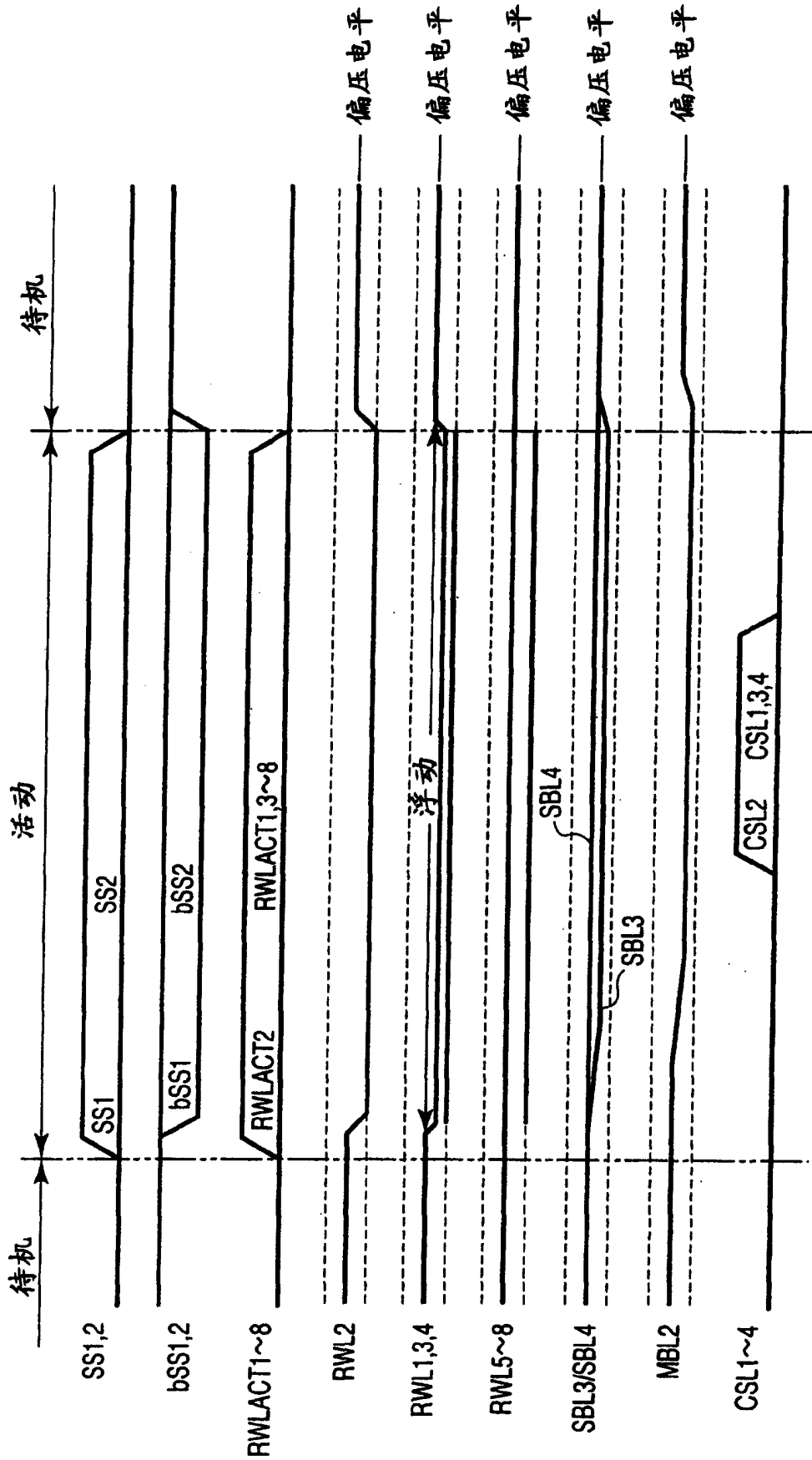


图 4

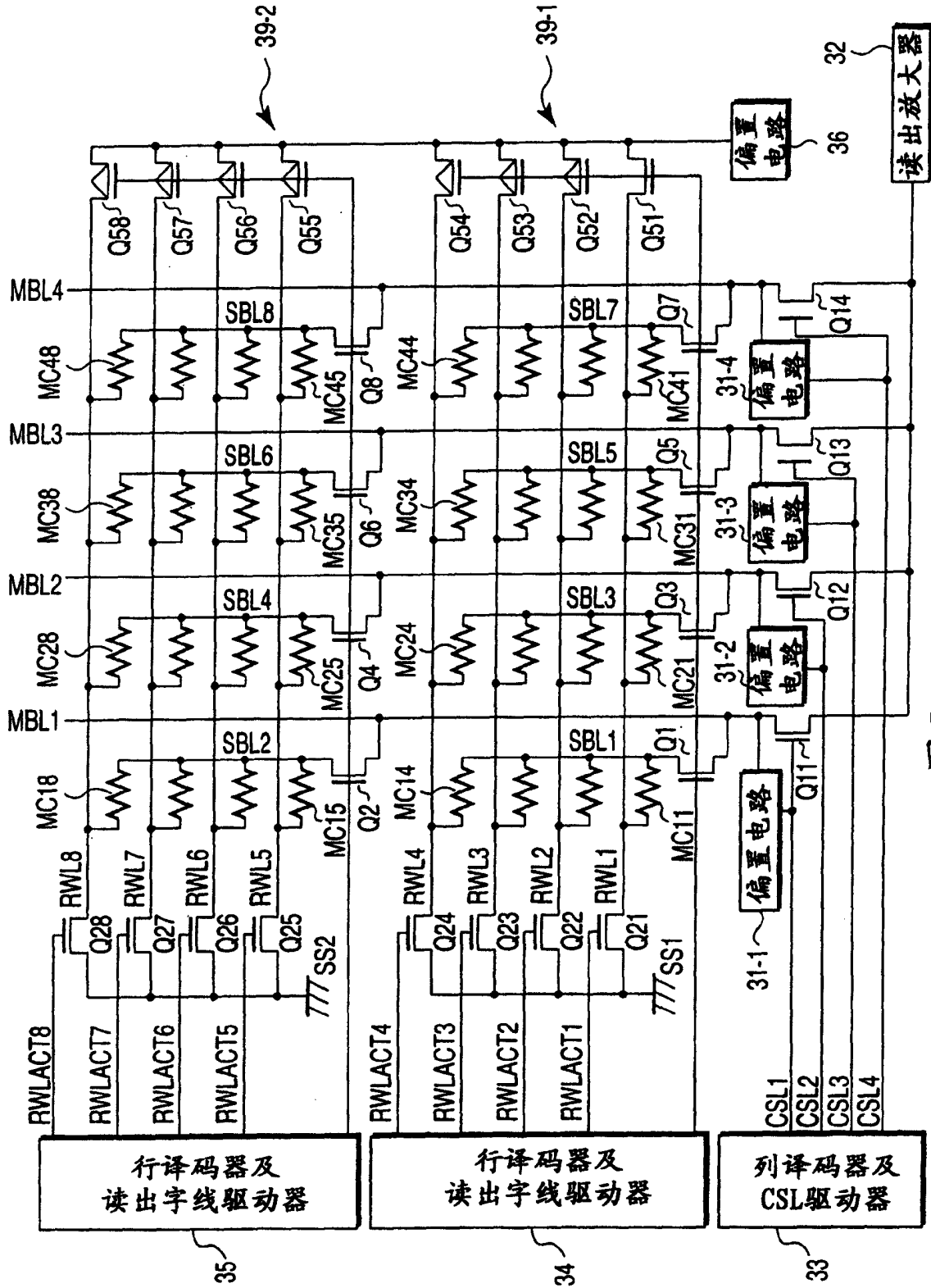


图5

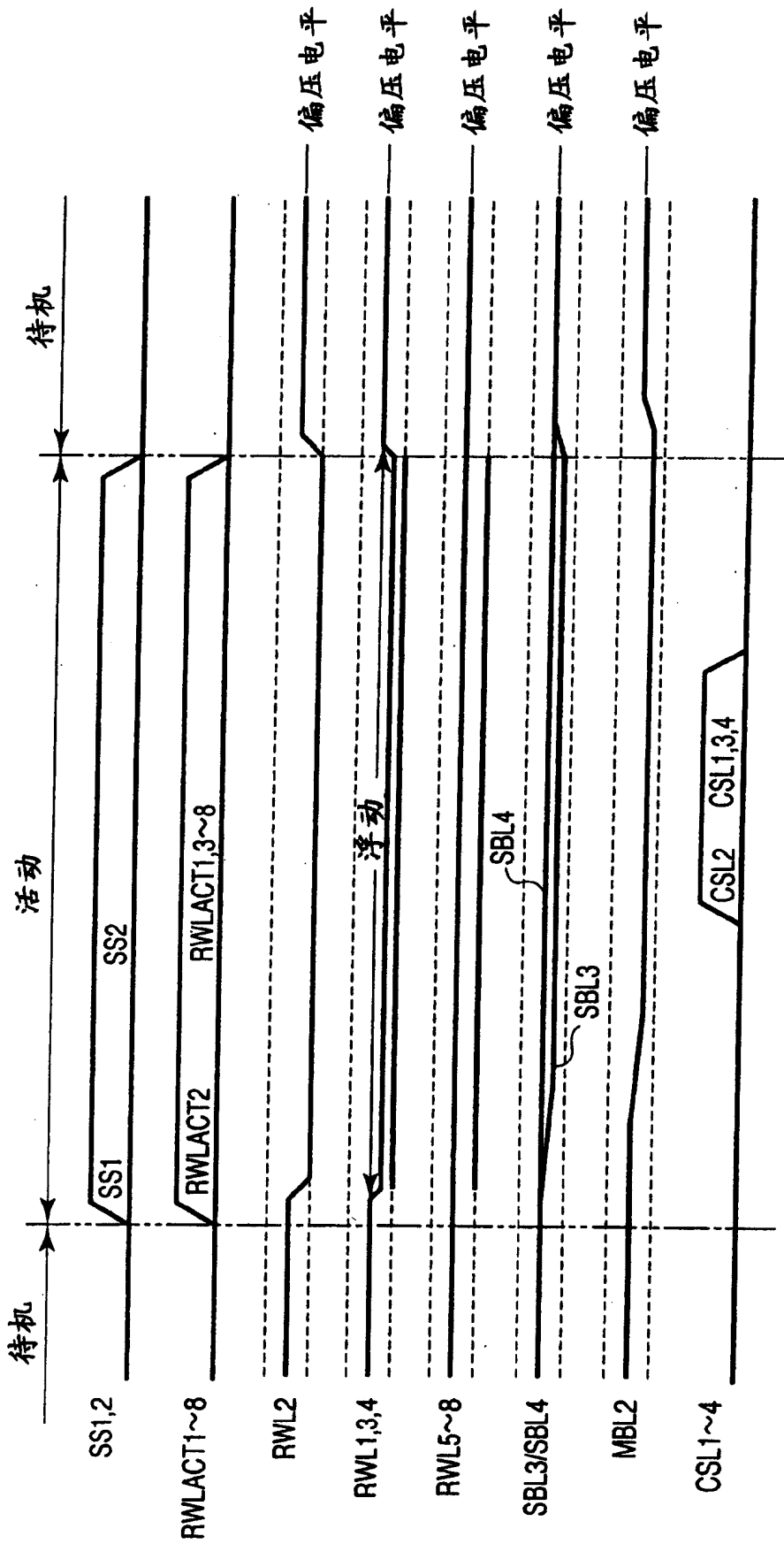


图6

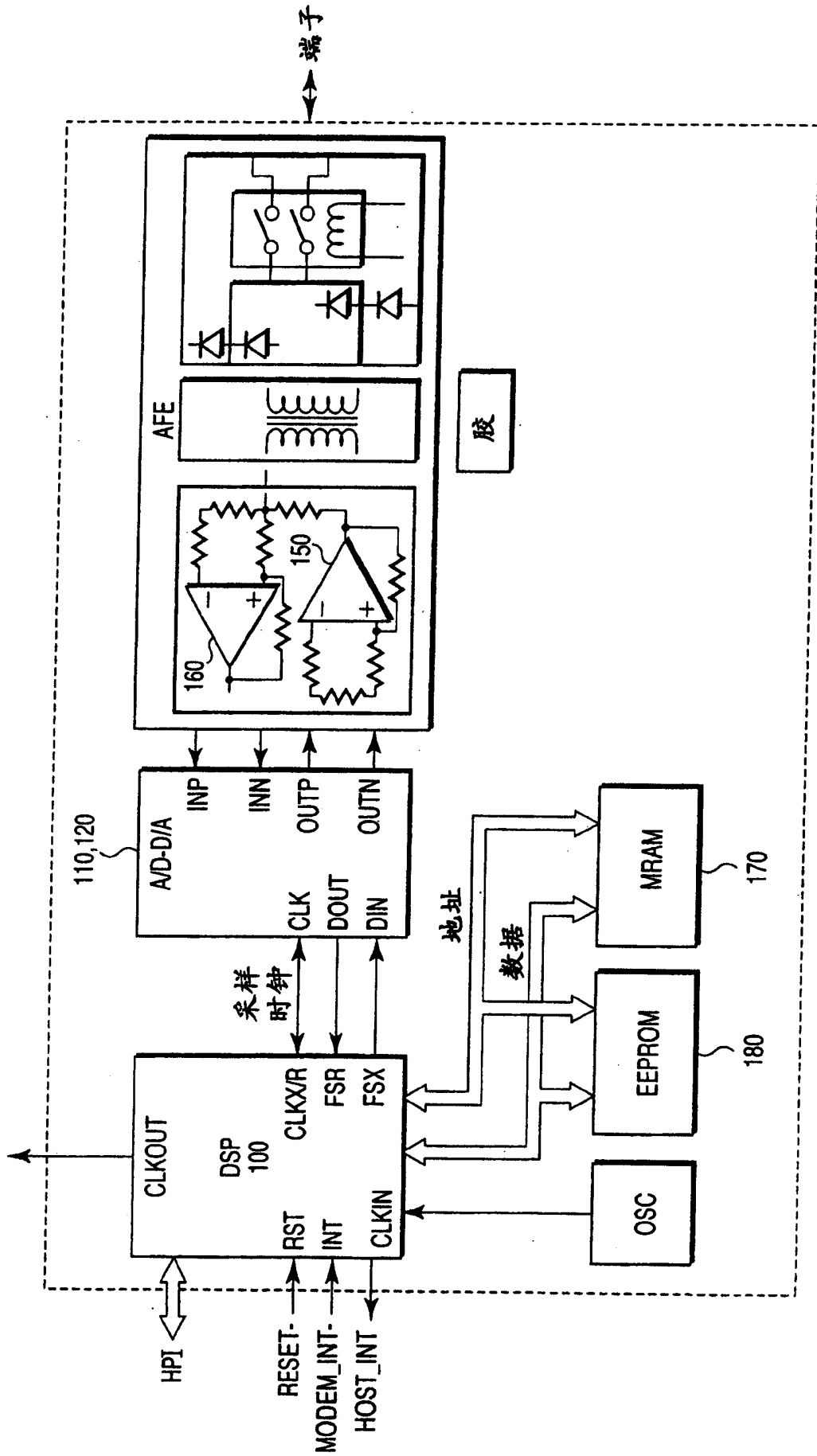


图7

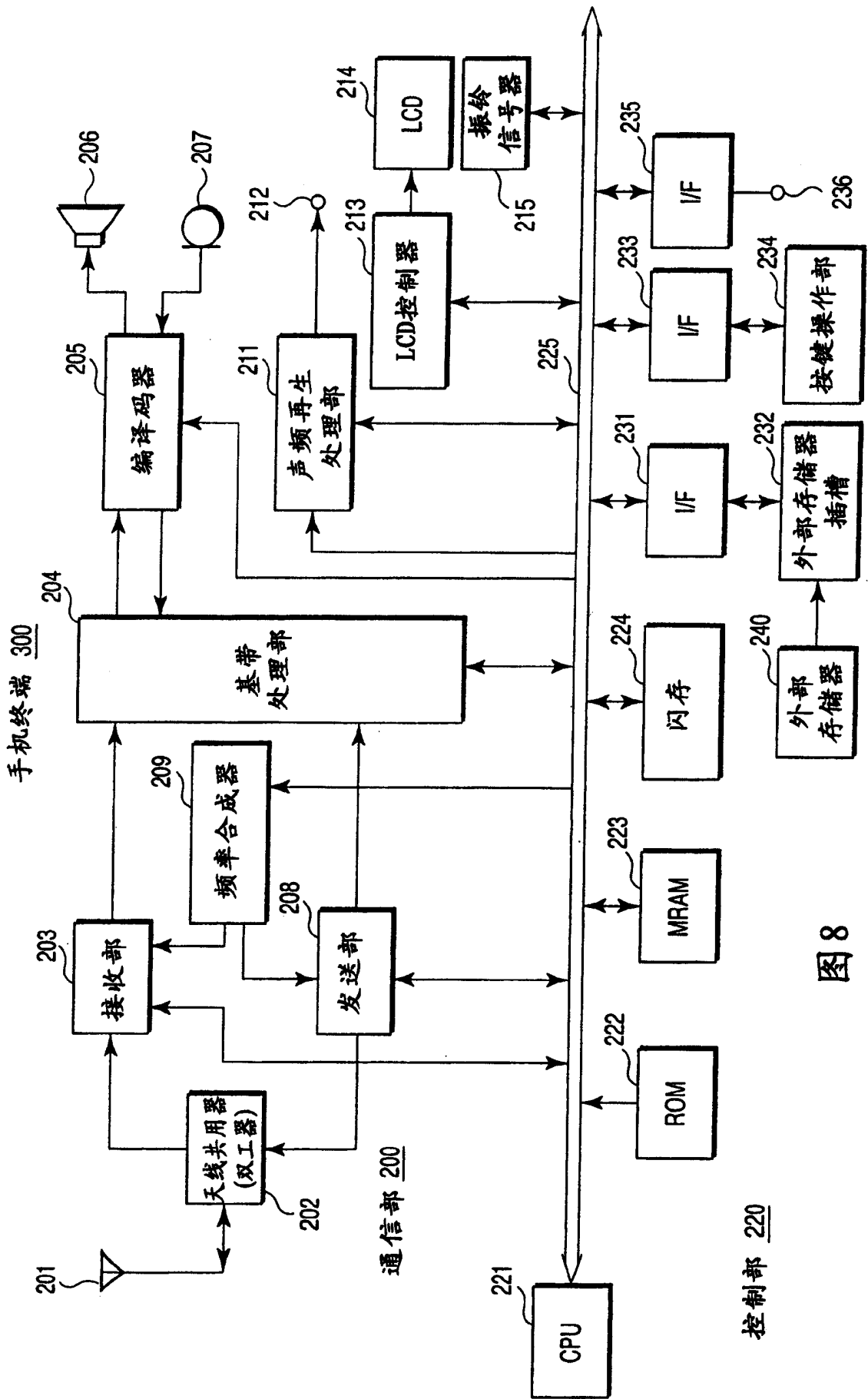
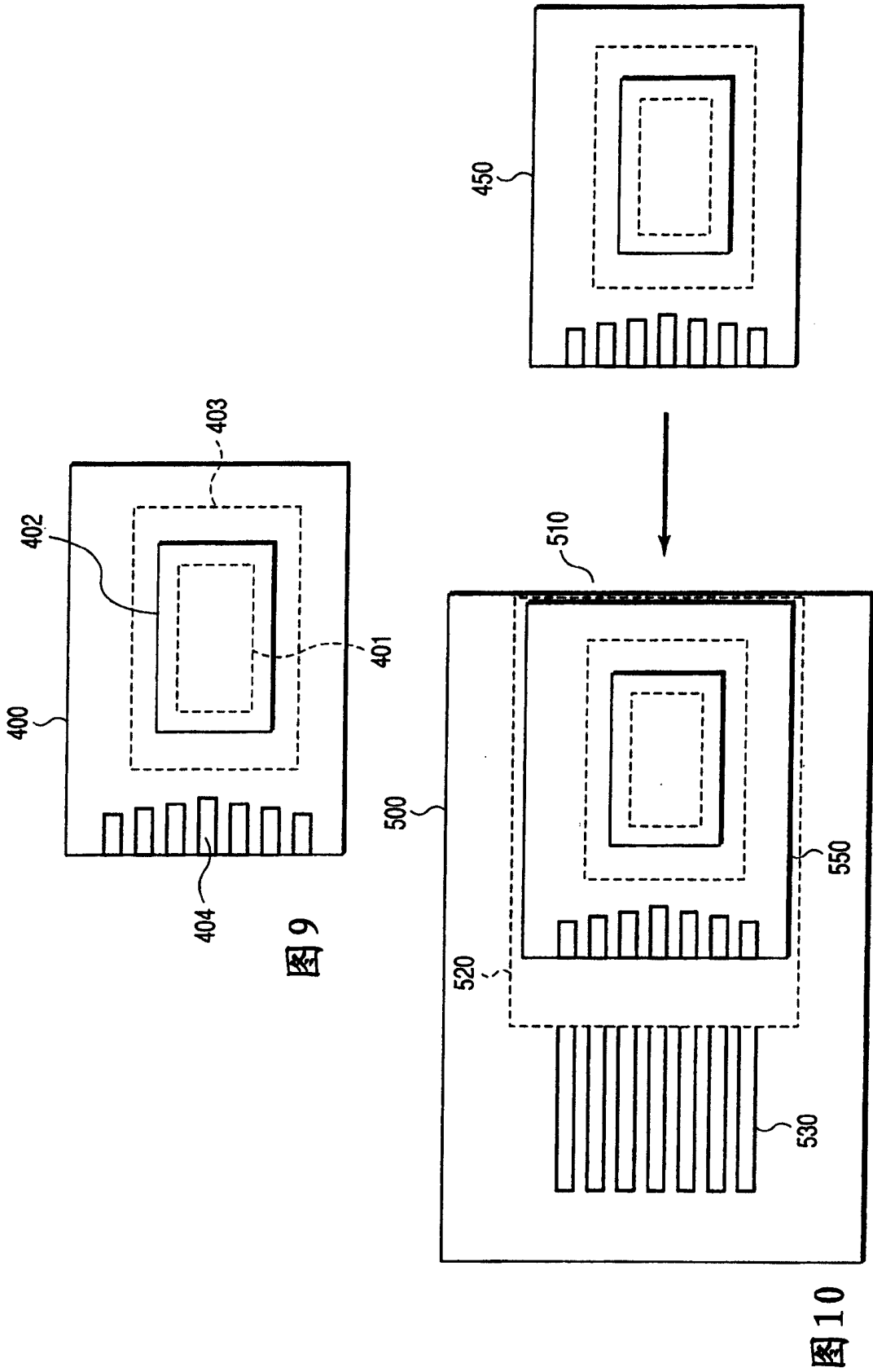


图 8



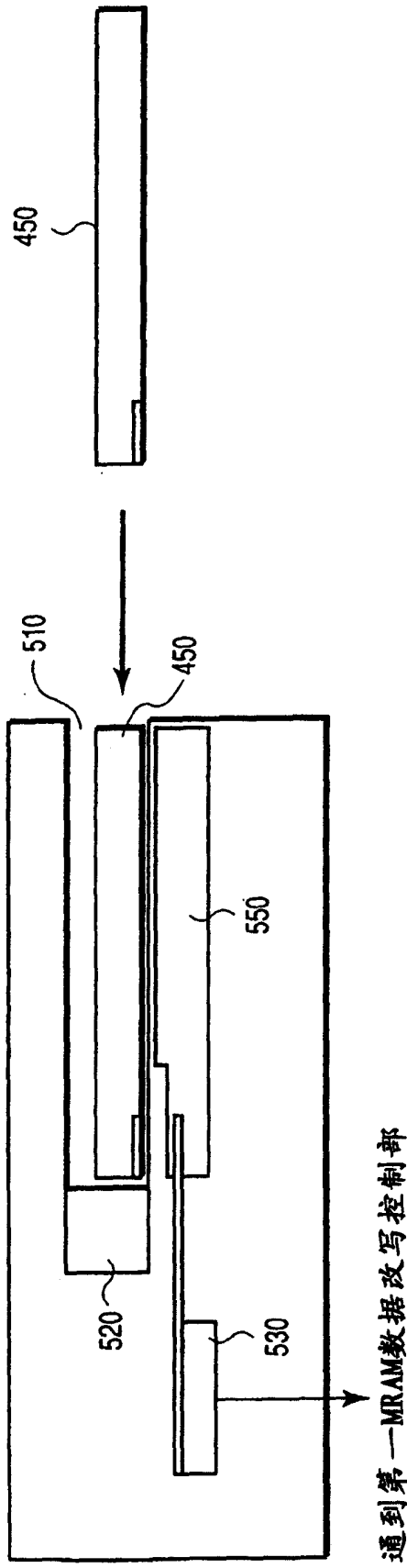


图11

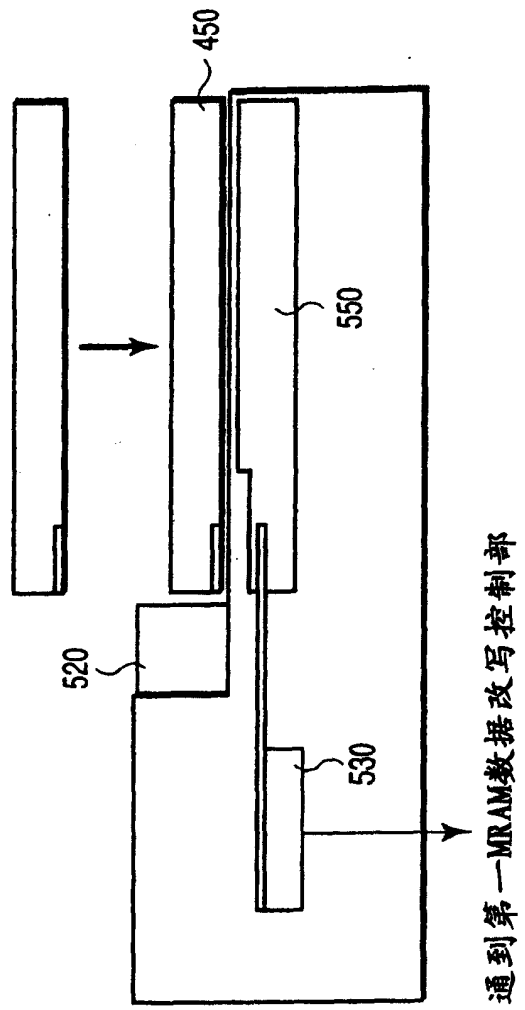


图12

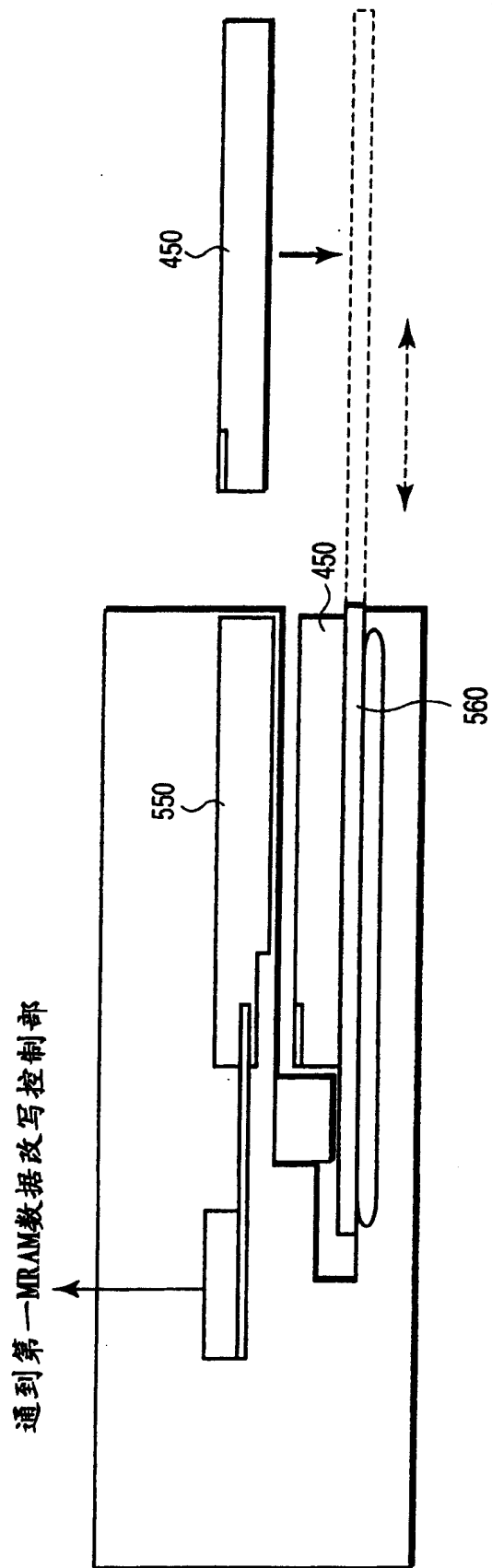


图13