

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/04 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월01일 10-0618903 2006년08월25일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0052739 2005년06월18일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	김규현 경기 수원시 영통구 영통동 벽적골8단지 한신아파트 811-606 김창현 경기 성남시 분당구 수내동 양지마을금호아파트 301-504
(74) 대리인	리엔텍특허법인 이혜영

심사관 : 박혜련

(54) 독립된 전원 장치를 구비하는 반도체 집적 회로와 반도체 집적 회로를 구비하는 반도체 시스템 및 반도체 집적 회로형성 방법

요약

독립된 전원 장치를 구비하는 반도체 집적 회로와 반도체 집적 회로를 구비하는 반도체 시스템 및 반도체 집적 회로 형성 방법이 개시된다. 반도체 집적 회로는 전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판, 상기 반도체 기판 위에 적층되는 절연층, 상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되는 제 1 도전층, 상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층 및 상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되며 전압을 발생하는 파워 발생층을 구비한다. 본 발명에 따른 반도체 집적 회로와 반도체 집적 회로를 구비하는 반도체 시스템 및 반도체 집적 회로 형성 방법은 각각의 반도체 칩 위에 독립적인 전압 발생 장치가 적층 됨으로써 각각의 반도체 칩의 용도에 따라서 전압 발생 장치의 수명을 다르게 할 수 있으며 반도체 시스템의 부피를 줄일 수 있는 장점이 있다.

대표도

도 5

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 반도체 시스템의 일 예를 나타내는 도면이다.

도 2는 일반적인 반도체 시스템의 다른 예를 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 반도체 시스템을 나타내는 도면이다.

도 4(a) 내지 도 4(c)는 도 3의 반도체 집적 회로의 형성 방법을 설명하는 도면이다.

도 5는 본 발명의 다른 실시예에 따른 반도체 시스템을 나타내는 도면이다.

도 6(a) 내지 도 6(c)는 도 5의 반도체 집적 회로의 형성 방법을 설명하는 도면이다.

도 7은 본 발명의 다른 실시예에 따른 반도체 집적 회로를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로와 반도체 시스템 및 반도체 집적 회로의 형성 방법에 관한 것으로서, 특히 대응되는 전용의 전원 장치를 구비하는 반도체 집적 회로와 이러한 반도체 집적 회로를 구비하는 반도체 시스템 및 반도체 집적 회로의 형성 방법에 관한 것이다.

최근 반도체 집적 회로는 점점 소형화 및 고 집적화 되고 있으며 다양한 기능의 집적 회로들이 하나의 반도체 시스템에 포함되고 있다. 구체적으로 예를 들면, 휴대전화에 사용되는 반도체 시스템에는 소정의 고주파전력을 얻기 위해 높은 전원 전압(예를 들면 약 3V 정도)이 요구되는 RF(Radio Frequency : 고주파) 출력용의 고전원 집적 회로와 그 이외의 낮은 전원 전압(예를 들면 약 1.2V 정도)이 요구되는 메모리나 논리 회로용의 집적 회로가 포함된다.

도 1은 일반적인 반도체 시스템의 일 예를 나타내는 도면이다.

도 2는 일반적인 반도체 시스템의 다른 예를 나타내는 도면이다.

도 1의 반도체 시스템(100)은 서로 다른 기능을 수행하는 복수개의 집적 회로들(S_IC1, S_IC2, S_IC3)과 집적 회로들(S_IC1, S_IC2, S_IC3)로 전압을 인가하는 전원 전압 장치(PS)를 구비한다. 전원 전압 장치(PS)는 스스로 전압을 발생하는 장치이다.

도 2의 반도체 시스템(200)은 서로 다른 기능을 수행하는 복수개의 집적 회로들(S_IC1, S_IC2, S_IC3)과 집적 회로들(S_IC1, S_IC2, S_IC3)로 전압을 인가하는 전원 전압 장치(B) 및 전원 전압 장치(B)로 전하를 공급하는 충전장치(C)를 구비한다.

전원 전압 장치(B)는 스스로 전압을 발생하지 못하고 충전장치(C)를 통하여 외부로부터 전하를 수신 받아 전압을 집적 회로들(S_IC1, S_IC2, S_IC3)로 인가한다.

도 1 및 도 2에 개시된 것과 같이, 일반적인 반도체 시스템(100, 200)은 시스템 내의 각각의 집적 회로들(S_IC1, S_IC2, S_IC3)이 공유된 전원 전압 장치(PS, B)로부터 일괄적으로 전압을 수신한다. 이러한 경우 다음과 같은 문제점이 있다.

즉, 시스템(100, 200) 공간의 대부분을 큰 부피의 전원 전압 장치(PS, B)가 차지하게 되어 시스템(100, 200)에 더 많은 집적 회로들을 장착하는 것이 어려우며 시스템(100, 200)의 크기를 줄이는 데에 한계가 있고 각각의 집적 회로들(S_IC1, S_IC2, S_IC3)이 서로 밀착되어 장착되므로 시스템(100, 200)의 온도 상승의 원인이 된다.

또한, 집적 회로들(S_IC1, S_IC2, S_IC3)이 전원 전압 장치(PS, B)를 공유하므로 가장 전압을 많이 소모하는 집적 회로(예를 들면 CPU)가 전원 전압 장치(PS, B)의 수명시간을 제한한다.

즉, 노트북(Notebook) 또는 이동 전화기(mobile-phone)의 경우 CPU 또는 송수신 장치가 가장 많은 전압을 소모하는데, 만일 전원 전압 장치가 분리된다면 상기 CPU 또는 송수신 장치용 전원 전압 장치는 빨리 소모되더라도 메모리(DRAM 또는 SRAM 등) 용 전원 전압 장치는 더 오래 지속됨으로써 더 오래 정보를 유지할 수 있을 것이다. 그러나, 현재는 도 1 및 도 2에 도시된 것처럼 모든 집적 회로들(S_IC1, S_IC2, S_IC3)의 전원 전압 장치(PS, B)가 동시에 턴 오프 된다.

마지막으로, 잡음을 많이 유발하는 집적 회로와 그렇지 않은 집적 회로, 잡음에 둔감한 집적 회로와 그렇지 않은 집적 회로 간에 전원 전압 장치가 공유됨으로써 전체적인 반도체 시스템의 성능이 가장 잡음 특성이 나쁜 집적 회로에 의해 제한되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 전용의 전원 장치를 구비하는 반도체 집적 회로를 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 전용의 전원 장치를 구비하는 반도체 집적 회로를 구비하는 반도체 시스템을 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 전용의 전원 장치를 구비하는 반도체 집적 회로의 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 반도체 집적 회로는 전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판, 상기 반도체 기판 위에 적층되는 절연층, 상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되는 제 1 도전층, 상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층 및 상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되며 전압을 발생하는 파워 발생층을 구비한다.

상기 제 1 도전층과 상기 제 1 도전층에 연결된 비아는 일체형 배선을 이루며, 상기 제 2 도전층과 상기 제 2 도전층에 연결된 비아는 일체형 배선을 이룬다. 상기 파워 발생층은 스스로 전압을 발생시키는 물질일 수 있다.

상기 파워 패드들 중 하나는 전원 전압용 패드이고, 상기 파워 패드들 중 다른 하나는 접지에 연결되는 패드이다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 집적 회로는 전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판, 상기 반도체 기판 위에 적층되는 제 1 절연층, 상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 제 1 절연층 위에 적층되는 제 1 도전층, 상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층, 상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되는 제 2 절연층 및 상기 제 1 도전층에 비아를 통하여 연결되며 상기 제 2 절연층 위에 적층되는 제 3 도전층을 구비한다.

상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층 및 제 2 절연층은 커패시터를 형성한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 집적 회로는 전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판, 상기 반도체 기판 위에 적층되는 절연층 및 상기 절연층 위에 적층되며 상기 파워 패드들로 비아를 통하여 전압을 인가하는 배터리를 구비한다. 상기 배터리는 태양 전지 또는 스스로 전압을 발생하는 물질이다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 집적 회로는 전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판, 상기 반도체 기판 위에 적층되는 절연층 및 상기 절연층 위에 적층되며, 외부에서 인가되는 전하를 저장한 후 상기 파워 패드들로 비아를 통하여 전압을 인가하는 커패시터를 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 복수개의 반도체 집적 회로들을 구비하는 반도체 시스템에 있어서 상기 반도체 집적 회로들은 각각 자신의 파워 패드들로 비아를 통하여 전압을 인가하는 전압 발생 장치를 구비하고, 상기 전압은 대응되는 상기 반도체 집적 회로들에 적합한 레벨이다.

상기 전압 발생 장치는 배터리 또는 스스로 전압을 발생하는 물질일 수 있다. 상기 전압 발생 장치는 외부에서 인가되는 전하를 저장한 후 상기 파워 패드들로 비아를 통하여 전압을 인가하는 커패시터 또는 탄소 나노 튜브(Carbon nano-tube)일 수 있다. 상기 전압 발생 장치에 전하를 인가하는 전하 발생 장치를 더 구비할 수 있다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 집적 회로의 형성 방법은 반도체 기판에 전기 회로 및 파워 패드들을 형성하는 단계, 상기 전기회로 및 파워 패드들 위에 절연층을 형성하는 단계, 상기 파워 패드들 중 하나에 비아를 통하여 연결되는 제 1 도전층을 상기 절연층 위에 형성하는 단계, 상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 도전층과 분리되는 제 2 도전층을 상기 절연층 위에 형성하는 단계 및 상기 제 1 도전층 및 상기 제 2 도전층 위에 전압을 발생하는 파워 발생층을 형성하는 단계를 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 집적 회로의 형성 방법은 반도체 기판에 전기 회로 및 파워 패드들을 형성하는 단계, 상기 전기회로 및 파워 패드들 위에 제 1 절연층을 형성하는 단계, 상기 파워 패드들 중 하나에 비아를 통하여 연결되는 제 1 도전층을 상기 제 1 절연층 위에 형성하는 단계, 상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 도전층과 분리되는 제 2 도전층을 상기 제 1 절연층 위에 형성하는 단계, 상기 제 1 도전층 및 상기 제 2 도전층 위에 제 2 절연층을 형성하는 단계 및 상기 제 1 도전층에 비아를 통하여 연결되는 제 3 도전층을 상기 제 2 절연층 위에 형성하는 단계를 구비한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 발명의 실시예에 따른 반도체 시스템을 나타내는 도면이다.

도 3에는 본 발명의 실시예에 따른 반도체 시스템(300)을 구성하는 복수개의 반도체 집적 회로들(S_IC1A, S_IC2A, S_IC3A)이 개시된다. 이들 반도체 집적 회로들(S_IC1A, S_IC2A, S_IC3A)은 모두 동일한 구조를 가지므로 이들 중에서 하나의 반도체 집적 회로(S_IC1A)의 구조 및 동작에 대하여 설명된다.

도 3을 참조하면, 본 발명의 실시예에 따른 반도체 집적 회로(S_IC1A)는 전기 회로(미도시) 및 파워 패드들(미도시)이 표면에 장착된 반도체 기판, 반도체 기판 위에 적층되는 절연층(미도시) 및 절연층(미도시) 위에 적층되며 파워 패드들(미도시)로 비아를 통하여 전압을 인가하는 배터리(B1)를 구비한다. 반도체 기판 및 절연층을 통합하여 S1으로 표시한다.

여기서, 배터리(B1)는 태양 전지일 수 있다. 또한, 배터리(B1)는 태양 전지 이외에도 스스로 전압을 발생하는 물질일 수 있다. 즉, 본 발명의 실시예에 따른 반도체 집적 회로(S_IC1A)는 기존의 반도체 칩 상부에 전압을 스스로 발생할 수 있는 전압 발생 장치가 장착된다.

그러면, 각각의 반도체 칩이 서로 전압 발생 장치를 공유하지 않으므로 각각의 반도체 칩의 용도에 따라서 전압 발생 장치의 수명을 다르게 할 수 있다. 그리고, 각각의 반도체 칩의 잡음 특성에 따라 반도체 시스템의 잡음 특성이 제한되는 문제가 해결 될 수 있다.

또한, 각각의 반도체 칩의 상단에 전압 발생 장치가 분산되므로, 반도체 시스템의 부피를 줄이고 더 많은 반도체 칩을 반도체 시스템에 집적할 수 있다. 도 4를 참조하여 도 3의 반도체 집적 회로(S_IC1A)의 구조 및 동작을 좀 더 설명한다.

도 4(a) 내지 도 4(c)는 도 3의 반도체 집적 회로의 형성 방법을 설명하는 도면이다.

도 3 및 도 4(a) 내지 도 4(c)를 참조하면, 반도체 집적 회로(S_IC1A)는 전기 회로(41) 및 파워 패드들(VCC_P, GND_P)이 표면에 장착된 반도체 기판(SUB), 반도체 기판(SUB) 위에 적층되는 절연층(I1), 파워 패드들(VCC_P, GND_P) 중 하나에 비아를 통하여 연결되며 절연층(I1) 위에 적층되는 제 1 도전층(M1), 파워 패드들(VCC_P, GND_P) 중 다른 하나에 비아를 통하여 연결되며 절연층(I1) 위에 적층되고 제 1 도전층(M1)과 분리되는 제 2 도전층(M2) 및 제 1 도전층(M1) 및 제 2 도전층(M2) 위에 적층되며 전압을 발생하는 파워 발생층(P)을 구비한다.

좀 더 상세히 설명하면, 먼저, 반도체 기판(SUB)에 전기 회로(41) 및 파워 패드들(VCC_P, GND_P)을 형성한다.(도 4(a)참조)

여기서, 전기 회로(41)는 반도체 집적 회로(S_IC1A)의 기능을 구현하는 로직 회로들이다. 파워 패드들(VCC_P, GND_P) 중 하나는 전원 전압용 패드(VCC_P)이고, 파워 패드들(VCC_P, GND_P) 중 다른 하나는 접지에 연결되는 패드(GND_P)이다.

전기 회로(41) 및 파워 패드들(VCC_P, GND_P) 위에 절연층(I1)을 형성한다.(도 4(a)참조) 절연층(I1)이 형성된 반도체 집적 회로(S1)는 일반적인 칩과 동일하다. 전원 전압용 패드(VCC_P)에 비아(V1)를 통하여 연결되는 제 1 도전층(M1)을 절연층(I1) 위에 형성한다.(도 4(b)참조) 제 1 도전층(M1)과 제 1 도전층(M1)에 연결된 비아(V1)는 일체형 배선을 이룬다.

제 1 도전층(M1)과 비아(V1)가 일체형 배선을 이루도록 절연층(I1)위에 비아(V1)와 제 1 도전층(M1)을 형성하는 방법은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상세한 설명을 생략한다.

접지에 연결되는 패드(GND_P)에 비아(V2)를 통하여 연결되며 제 1 도전층(M1)과 분리되는 제 2 도전층(M2)을 절연층(I1) 위에 형성한다.(도 4(b)참조) 제 2 도전층(M2)과 제 2 도전층(M2)에 연결된 비아(V2)는 일체형 배선을 이룬다.

제 2 도전층(M2)과 비아(V2)가 일체형 배선을 이루도록 절연층(I1)위에 비아(V2)와 제 2 도전층(M2)을 형성하는 방법은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상세한 설명을 생략한다.

제 1 도전층(M1) 및 제 2 도전층(M2)은 전기를 통할 수 있는 금속 물질이나 이에 상응하는 물질일 수 있다. 마지막으로, 제 1 도전층(M1) 및 제 2 도전층(M2) 위에 전압을 발생하는 파워 발생층(P)을 형성한다.(도 4(C)참조) 파워 발생층(P)은 스스로 전압을 발생시키는 물질일 수 있다. 일 예로서, 태양 전지와 같은 물질일 수 있다.

즉, 파워 발생층(P)은 스스로 전압을 발생하고 발생된 전압을 제 1 도전층(M1)과 비아(V1)를 통하여 전원 전압용 패드(VCC_P)로 인가한다. 전원 전압용 패드(VCC_P)로 인가된 전압은 전기 회로들(41)의 동작에 이용된다. 파워 발생층(P)과 제 1 및 제 2 도전층(M1, M2)은 도 3의 배터리(B1)를 형성한다.

이러한 구조를 가지는 반도체 집적 회로(S_IC1A)는 반도체 집적 회로의 기능에 따라 파워 발생층(P)의 수명을 다르게 조절할 수 있는 장점이 있다.

도 5는 본 발명의 다른 실시예에 따른 반도체 시스템을 나타내는 도면이다.

도 5에는 본 발명의 다른 실시예에 따른 반도체 시스템(500)을 구성하는 복수개의 반도체 집적 회로들(S_IC1B, S_IC2B, S_IC3B)과 반도체 집적 회로들(S_IC1B, S_IC2B, S_IC3B)로 전도성 신호선(EC)을 통하여 전하를 공급하는 전하 발생 장치(C)가 개시된다.

전도성 신호선(EC)은 반도체 시스템(500)의 반도체 집적 회로들(S_IC1B, S_IC2B, S_IC3B)이 장착되는 마더보드(미도시)에 패터닝 된 PCB 이거나 이에 상응하는 전기를 통할 수 있는 전송 라인일 수 있다.

도 5의 반도체 시스템(500)을 구성하는 반도체 집적 회로들(S_IC1B, S_IC2B, S_IC3B)은 도 3의 반도체 집적 회로들(S_IC1A, S_IC2A, S_IC3A)과 달리 외부의 전하 발생 장치(C)로부터 전하를 공급받는다. 즉, 전하를 공급받아 저장한 후 전압을 발생한다. 전하 발생 장치(C)는 스스로 전하를 발생하거나 또는 외부에서 입력되는 전하를 수신한 후 전송하는 모든 장치들일 수 있다. 예를 들어, 핸드폰과 같은 모바일 기기를 충전시키는 충전기 일 수 있다.

반도체 집적 회로들(S_IC1B, S_IC2B, S_IC3B)은 모두 동일한 구조를 가지므로 이들 중에서 하나의 반도체 집적 회로(S_IC1B)의 구조 및 동작에 대하여 설명된다.

도 5를 참조하면, 본 발명의 다른 실시예에 따른 반도체 집적 회로(S_IC1B)는 전기 회로(미도시) 및 파워 패드들(미도시)이 표면에 장착된 반도체 기판, 상기 반도체 기판 위에 적층되는 절연층(미도시) 및 절연층(미도시) 위에 적층되며, 외부에서 인가되는 전하를 저장한 후 파워 패드들(미도시)로 비아를 통하여 전압을 인가하는 커패시터(CAP1)를 구비한다.

반도체 기관 및 절연층을 통합하여 S1으로 표시한다. 본 발명의 다른 실시예에 따른 반도체 집적 회로(S_IC1B)는 기존의 반도체 칩 상부에 외부에서 인가되는 전하를 저장한 후 전압을 발생하는 전압 발생 장치가 장착된다. 전압 발생 장치의 예로서 전압 발생 장치는 커패시터 또는 탄소 나노 튜브일 수 있다.

각각의 반도체 칩이 서로 전압 발생 장치를 공유하지 않으므로 각각의 반도체 칩의 용도에 따라서 전압 발생 장치의 수명을 다르게 할 수 있다. 그리고, 각각의 반도체 칩의 잡음 특성에 따라 반도체 시스템의 잡음 특성이 제한되는 문제가 해결될 수 있다.

또한, 각각의 반도체 칩의 상단에 전압 발생 장치가 분산되므로, 반도체 시스템의 부피를 줄이고 더 많은 반도체 칩을 반도체 시스템에 집적할 수 있다. 도 6을 참조하여 도 5의 반도체 집적 회로(S_IC1B)의 구조 및 동작을 좀 더 설명한다.

도 6(a) 내지 도 6(c)는 도 5의 반도체 집적 회로의 형성 방법을 설명하는 도면이다.

도 3 및 도 6(a) 내지 도 6(c)를 참조하면, 반도체 집적 회로(S_IC1B)는 전기 회로(61) 및 파워 패드들(VCC_P, GND_P)이 표면에 장착된 반도체 기관(SUB), 반도체 기관(SUB) 위에 적층되는 제 1 절연층(I1), 파워 패드들(VCC_P, GND_P) 중 하나에 비아를 통하여 연결되며 제 1 절연층(I1) 위에 적층되는 제 1 도전층(M1), 파워 패드들(VCC_P, GND_P) 중 다른 하나에 비아를 통하여 연결되며 제 1 절연층(I1) 위에 적층되고 제 1 도전층(M1)과 분리되는 제 2 도전층(M2), 제 1 도전층(M1) 및 제 2 도전층(M2) 위에 적층되는 제 2 절연층(I2) 및 제 1 도전층(M1)에 비아(V3)를 통하여 연결되며 제 2 절연층(I2) 위에 적층되는 제 3 도전층(M3)을 구비한다.

좀 더 상세히 설명하면, 반도체 기관(SUB)에 전기 회로(61) 및 파워 패드들(VCC_P, GND_P)을 형성한다.(도 6(a)참조) 여기서, 전기 회로(61)는 반도체 집적 회로(S_IC1B)의 기능을 구현하는 로직 회로들이다. 파워 패드들(VCC_P, GND_P) 중 하나는 전원 전압용 패드(VCC_P)이고, 파워 패드들(VCC_P, GND_P) 중 다른 하나는 접지에 연결되는 패드(GND_P)이다.

전기 회로(61) 및 파워 패드들(VCC_P, GND_P) 위에 제 1 절연층(I1)을 형성한다.(도 6(a)참조) 제 1 절연층(I1)이 형성된 반도체 집적 회로(S1)는 일반적인 칩과 동일하다. 파워 패드들(VCC_P, GND_P) 중 하나에 비아(V1)를 통하여 연결되는 제 1 도전층(M1)을 제 1 절연층(I1) 위에 형성한다.(도 6(b) 참조)

제 1 도전층(M1)과 제 1 도전층(M1)에 연결된 비아(V1)는 일체형 배선을 이룬다. 제 1 도전층(M1)과 비아(V1)가 일체형 배선을 이루도록 제 1 절연층(I1)위에 비아(V1)와 제 1 도전층(M1)을 형성하는 방법은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상세한 설명을 생략한다.

파워 패드들(VCC_P, GND_P) 중 다른 하나(V2)에 비아를 통하여 연결되며 제 1 도전층(M1)과 분리되는 제 2 도전층(M2)을 제 1 절연층(I1) 위에 형성한다.(도 6(b) 참조) 제 2 도전층(M2)과 제 2 도전층(M2)에 연결된 비아(V2)는 일체형 배선을 이룬다.

제 2 도전층(M2)과 비아(V2)가 일체형 배선을 이루도록 제 1 절연층(I1)위에 비아(V2)와 제 2 도전층(M2)을 형성하는 방법은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상세한 설명을 생략한다.

제 1 도전층(M1) 및 제 2 도전층(M2)은 전기를 통할 수 있는 금속 물질이나 이에 상응하는 물질일 수 있다. 도 6(b)에 도시된 단계까지는 도 4(a) 및 도 4(b)에 도시된 반도체 집적 회로의 형성방법과 동일하다.

제 1 도전층(M1) 및 제 2 도전층(M2) 위에 제 2 절연층(I2)을 형성한다.(도 6(C) 참조) 마지막으로, 제 1 도전층(M1)에 비아(V3)를 통하여 연결되는 제 3 도전층(M3)을 제 2 절연층(I2) 위에 형성한다.(도 6(C) 참조)

제 3도전층(M3)과 제 3 도전층(M3)에 연결된 비아(V3)는 일체형 배선을 이룬다. 제 3 도전층(M3)과 비아(V3)가 일체형 배선을 이루도록 제 2 절연층(I2)위에 비아(V3)와 제 3 도전층(M3)을 형성하는 방법은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상세한 설명을 생략한다.

제 3 도전층(M3)은 전기를 통할 수 있는 금속 물질이나 이에 상응하는 물질일 수 있다.

제 1 도전층(M1), 제 2 도전층(M2), 제 3 도전층(M3) 및 제 2 절연층(I2)은 도 5에 도시된 커패시터(CAP1)를 형성한다. 즉, 제 1 도전층(M1), 제 2 도전층(M2), 제 3 도전층(M3) 및 제 2 절연층(I2)은 두 개의 대전판과 그 사이에 절연 물질을 가지는 커패시터와 동일한 구조가 된다.

따라서, 커패시터(CAP1)는 전하 발생 장치(C)로부터 전하를 공급받아 저장한 후 전압을 발생한다. 그리고 발생된 전압을 제 1 도전층(M1)과 비아(V1)를 통하여 전원 전압용 패드(VCC_P)로 인가한다. 전원 전압용 패드(VCC_P)로 인가된 전압은 전기 회로들(61)의 동작에 이용된다.

이러한 구조를 가지는 반도체 집적 회로(S_IC1B)는 반도체 집적 회로의 기능에 따라 커패시터(CAP1)에 저장되는 전하의 양을 조절함으로써 전압 발생 시간을 조절할 수 있는 장점이 있다.

도 7은 본 발명의 다른 실시예에 따른 반도체 집적 회로를 나타내는 도면이다.

도 3 및 도 5에는 각각의 전압 발생 장치(B1, CAP1)를 가지는 복수개의 반도체 집적 회로들(S_IC1A, S_IC2A, S_IC3A, S_IC1B, S_IC2B, S_IC3B)이 개시된다. 그러나 본 발명의 기술적 사상은 도 3 및 도 5에 도시된 반도체 집적 회로들(S_IC1A, S_IC2A, S_IC3A, S_IC1B, S_IC2B, S_IC3B)에 한정되지 아니한다.

즉, 본 발명의 기술적 사상은 도 7에 도시된 반도체 집적 회로(700)와 같이 복수개의 반도체 칩들(S1, S2, S3, S4)의 상부에 하나의 전압 발생 장치(PG)를 공통으로 적층하는 구조로 구현될 수도 있다.

전압 발생 장치(PG)는 도 3에 도시된 배터리(B1, B2, B3)나 도 5에 도시된 커패시터(CAP1, CAP2, CAP3)와 같은 물질일 수 있으며 그 기능 또한 동일하다.

도 7의 반도체 집적 회로(700)는 도 4 또는 도 6에 도시된 방법과 동일한 방법에 의하여 형성될 수 있으며 당업자라면 그 형성 방법을 이해할 수 있으므로 상세한 설명을 생략한다.

본 발명의 기술적 사상은 도 4, 도 5 및 도 7에 도시된 실시예 이외에도 메모리 모듈 상에 장착되는 복수개의 반도체 칩들에 대해서도 적절한 변형에 의하여 적용될 수 있을 것이다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 집적 회로와 반도체 집적 회로를 구비하는 반도체 시스템 및 반도체 집적 회로 형성 방법은 각각의 반도체 칩 위에 독립적인 전압 발생 장치가 적층 됨으로써 각각의 반도체 칩의 용도에 따라서 전압 발생 장치의 수명을 다르게 할 수 있으며 반도체 시스템의 부피를 줄일 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

전기 회로 및 파워 패드들이 표면에 장착된 반도체 기관;

상기 반도체 기관 위에 적층되는 절연층;

상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되는 제 1 도전층;

상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층 ; 및

상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되며 전압을 발생하는 파워 발생층을 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 2.

제 1항에 있어서,

상기 제 1 도전층과 상기 제 1 도전층에 연결된 비아는 일체형 배선을 이루며, 상기 제 2 도전층과 상기 제 2 도전층에 연결된 비아는 일체형 배선을 이루는 것을 특징으로 하는 반도체 집적 회로.

청구항 3.

제 1항에 있어서, 상기 파워 발생층은,

스스로 전압을 발생시키는 물질인 것을 특징으로 하는 반도체 집적 회로.

청구항 4.

제 1항에 있어서, 상기 파워 패드들 중 하나는,

전원 전압용 패드이고, 상기 파워 패드들 중 다른 하나는 접지에 연결되는 패드인 것을 특징으로 하는 반도체 집적 회로.

청구항 5.

전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판 ;

상기 반도체 기판 위에 적층되는 제 1 절연층 ;

상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 제 1 절연층 위에 적층되는 제 1 도전층 ;

상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층 ;

상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되는 제 2 절연층 ; 및

상기 제 1 도전층에 비아를 통하여 연결되며 상기 제 2 절연층 위에 적층되는 제 3 도전층을 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 6.

제 5항에 있어서,

상기 제 1 도전층과 상기 제 1 도전층에 연결된 비아는 일체형 배선을 이루고, 상기 제 2 도전층과 상기 제 2 도전층에 연결된 비아는 일체형 배선을 이루며, 상기 제 3 도전층과 상기 제 3 도전층에 연결된 비아는 일체형 배선을 이루는 것을 특징으로 하는 반도체 집적 회로.

청구항 7.

제 5항에 있어서, 상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층 및 제 2 절연층은, 커패시터를 형성하는 것을 특징으로 하는 반도체 집적 회로.

청구항 8.

제 5항에 있어서, 상기 파워 패드들 중 하나는, 전원 전압용 패드이고, 상기 파워 패드들 중 다른 하나는 접지에 연결되는 패드인 것을 특징으로 하는 반도체 집적 회로.

청구항 9.

전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판 ;
상기 반도체 기판 위에 적층되는 절연층 ; 및
상기 절연층 위에 적층되며 상기 파워 패드들로 비아를 통하여 전압을 인가하는 배터리를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 10.

제 9항에 있어서, 상기 배터리는,
태양 전지 또는 스스로 전압을 발생하는 물질인 것을 특징으로 하는 반도체 집적 회로.

청구항 11.

전기 회로 및 파워 패드들이 표면에 장착된 반도체 기판 ;
상기 반도체 기판 위에 적층되는 절연층 ; 및
상기 절연층 위에 적층되며, 외부에서 인가되는 전하를 저장한 후 상기 파워 패드들로 비아를 통하여 전압을 인가하는 커패시터를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 12.

복수개의 반도체 집적 회로들을 구비하는 반도체 시스템에 있어서,
상기 반도체 집적 회로들은 각각 자신의 파워 패드들로 비아를 통하여 전압을 인가하는 전압 발생 장치를 구비하고, 상기 전압은 대응되는 상기 반도체 집적 회로들에 적합한 레벨인 것을 특징으로 하는 반도체 시스템.

청구항 13.

제 12항에 있어서, 상기 전압 발생 장치는,

배터리 또는 스스로 전압을 발생하는 물질인 것을 특징으로 하는 반도체 시스템.

청구항 14.

제 12항에 있어서, 상기 전압 발생 장치는,

외부에서 인가되는 전하를 저장한 후 상기 파워 패드들로 비아를 통하여 전압을 인가하는 커패시터 또는 탄소 나노 튜브 (Carbon nano-tube)인 것을 특징으로 하는 반도체 시스템.

청구항 15.

제 14항에 있어서,

상기 전압 발생 장치에 전하를 인가하는 전하 발생 장치를 더 구비하는 것을 특징으로 하는 반도체 시스템.

청구항 16.

제 12항에 있어서, 상기 집적 회로들 각각은,

전기 회로 및 상기 파워 패드들이 표면에 장착된 반도체 기판 ;

상기 반도체 기판 위에 적층되는 절연층 ;

상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되는 제 1 도전층 ;

상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층 ; 및

상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되며 전압을 발생하는 파워 발생층을 구비하고,

상기 제 1 도전층, 상기 제 2 도전층 및 상기 파워 발생층은 상기 전압 발생 장치를 형성하는 것을 특징으로 하는 반도체 시스템.

청구항 17.

제 12항에 있어서, 상기 집적 회로들 각각은,

전기 회로 및 상기 파워 패드들이 표면에 장착된 반도체 기판 ;

상기 반도체 기판 위에 적층되는 제 1 절연층 ;

상기 파워 패드들 중 하나에 비아를 통하여 연결되며 상기 제 1 절연층 위에 적층되는 제 1 도전층 ;

상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 절연층 위에 적층되고 상기 제 1 도전층과 분리되는 제 2 도전층 ;

상기 제 1 도전층 및 상기 제 2 도전층 위에 적층되는 제 2 절연층 ; 및

상기 제 1 도전층에 비아를 통하여 연결되며 상기 제 1 도전층 위에 적층되는 제 3 도전층을 구비하고,

상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층 및 상기 제 2 절연층은 상기 전압 발생 장치를 형성하는 것을 특징으로 하는 반도체 시스템.

청구항 18.

반도체 기판에 전기 회로 및 파워 패드들을 형성하는 단계 ;

상기 전기회로 및 파워 패드들 위에 절연층을 형성하는 단계 ;

상기 파워 패드들 중 하나에 비아를 통하여 연결되는 제 1 도전층을 상기 절연층 위에 형성하는 단계 ;

상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 도전층과 분리되는 제 2 도전층을 상기 절연층 위에 형성하는 단계 ; 및

상기 제 1 도전층 및 상기 제 2 도전층 위에 전압을 발생하는 파워 발생층을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 집적 회로의 형성 방법.

청구항 19.

제 18항에 있어서,

상기 제 1 도전층과 상기 제 1 도전층에 연결된 비아는 일체형 배선을 이루며, 상기 제 2 도전층과 상기 제 2 도전층에 연결된 비아는 일체형 배선을 이루는 것을 특징으로 하는 반도체 집적 회로의 형성방법.

청구항 20.

제 18항에 있어서, 상기 파워 발생층은,

스스로 전압을 발생시키는 물질인 것을 특징으로 하는 반도체 집적 회로의 형성 방법.

청구항 21.

반도체 기판에 전기 회로 및 파워 패드들을 형성하는 단계 ;

상기 전기회로 및 파워 패드들 위에 제 1 절연층을 형성하는 단계 ;

상기 파워 패드들 중 하나에 비아를 통하여 연결되는 제 1 도전층을 상기 제 1 절연층 위에 형성하는 단계 ;

상기 파워 패드들 중 다른 하나에 비아를 통하여 연결되며 상기 제 1 도전층과 분리되는 제 2 도전층을 상기 제 1 절연층 위에 형성하는 단계 ;

상기 제 1 도전층 및 상기 제 2 도전층 위에 제 2 절연층을 형성하는 단계 ; 및

상기 제 1 도전층에 비아를 통하여 연결되는 제 3 도전층을 상기 제 2 절연층 위에 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 집적 회로의 형성 방법.

청구항 22.

제 21항에 있어서,

상기 제 1 도전층과 상기 제 1 도전층에 연결된 비아는 일체형 배선을 이루고, 상기 제 2 도전층과 상기 제 2 도전층에 연결된 비아는 일체형 배선을 이루며, 상기 제 3 도전층과 상기 제 3 도전층에 연결된 비아는 일체형 배선을 이루는 것을 특징으로 하는 반도체 집적 회로의 형성 방법.

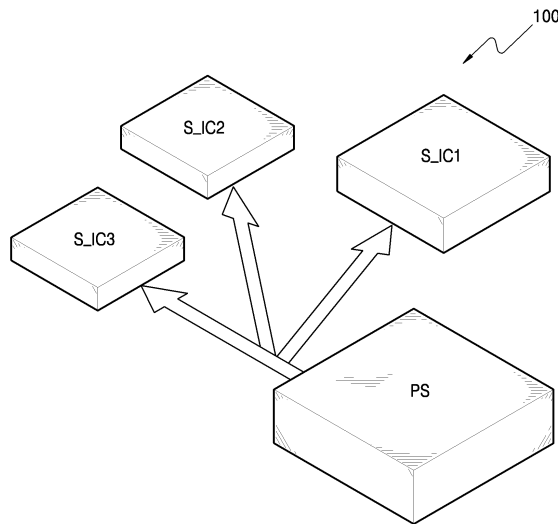
청구항 23.

제 21항에 있어서, 상기 제 1 도전층, 상기 제 2 도전층, 상기 제 3 도전층 및 제 2 절연층은,

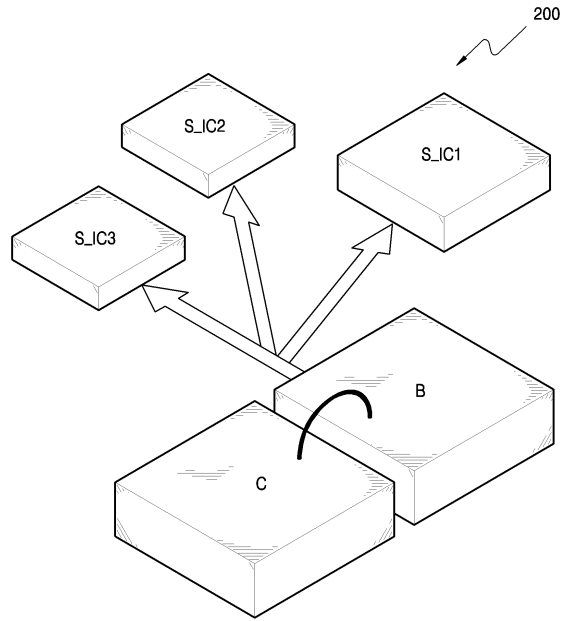
커패시터를 형성하는 것을 특징으로 하는 반도체 집적 회로의 형성 방법.

도면

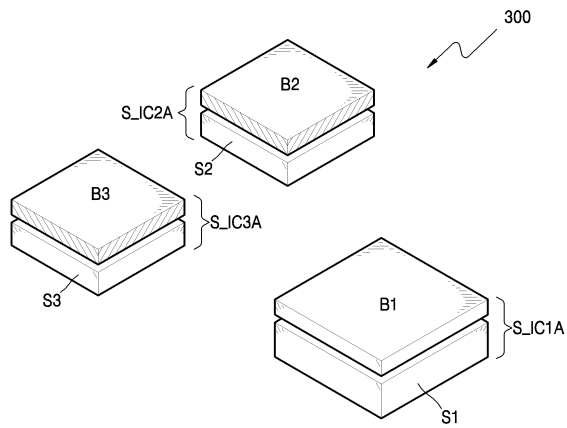
도면1



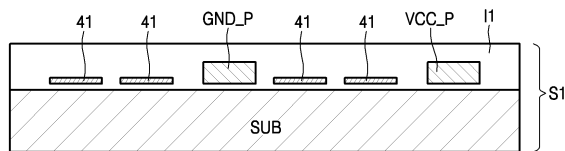
도면2



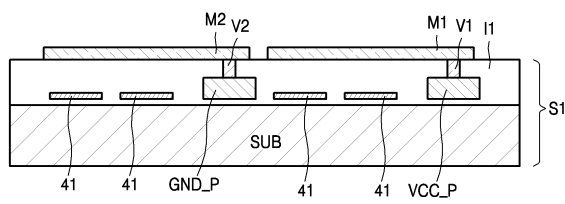
도면3



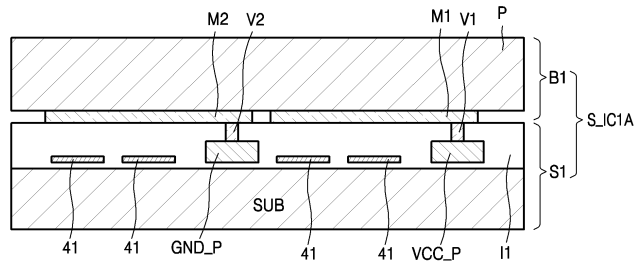
도면4a



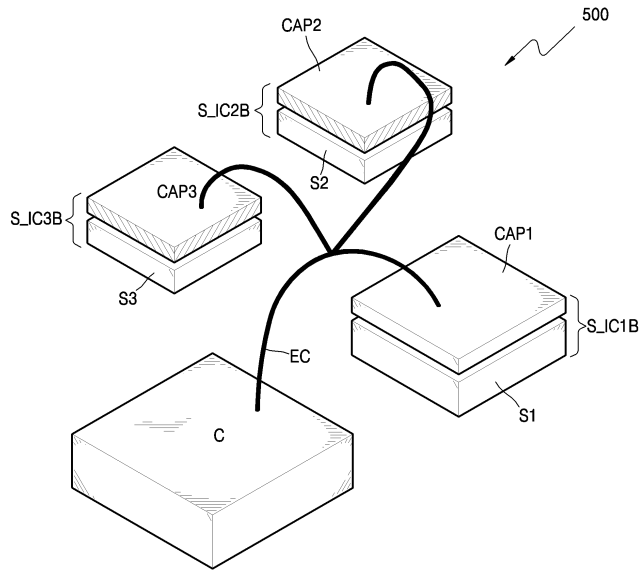
도면4b



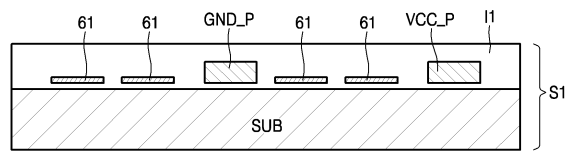
도면4c



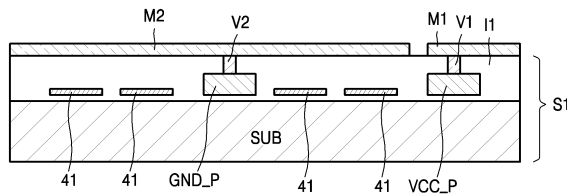
도면5



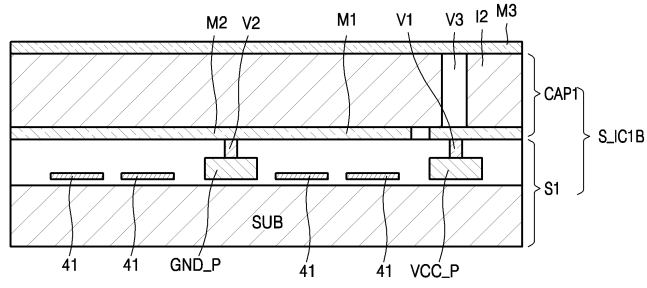
도면6a



도면6b



도면6c



도면7

