

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/12

H01L 23/48 H01L 21/48

H01L 21/60 H05K 3/00



[12] 发明专利申请公开说明书

[21] 申请号 03155819.4

[43] 公开日 2005年2月23日

[11] 公开号 CN 1585114A

[22] 申请日 2003.8.22 [21] 申请号 03155819.4

[71] 申请人 全懋精密科技股份有限公司

地址 台湾省新竹市

[72] 发明人 许诗滨 蔡琨辰

[74] 专利代理机构 北京三幸商标专利事务所

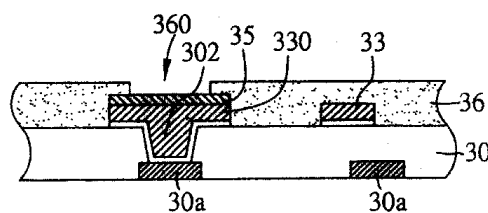
代理人 刘激扬

权利要求书3页 说明书9页 附图9页

[54] 发明名称 有电性连接垫金属保护层的半导体封装基板结构及其制法

[57] 摘要

本发明的有电性连接垫金属保护层的半导体封装基板结构及其制法主要提供一绝缘层，该绝缘层中有多个盲孔以显露覆盖在绝缘层下的内层线路，在绝缘层及盲孔表面形成一导电膜，在该导电膜上形成第一阻层，并使第一阻层形成多个开口以外露出部分导电膜，接着进行电镀制程，在第一阻层开口中形成图形线路层及在绝缘层的盲孔形成导电盲孔，再形成一第二阻层，覆盖电性连接垫以外的图形线路层，使电性连接垫外露出第二阻层，接着进行电镀制程，在该电性连接垫上形成阻障金属层，之后去掉第二阻层、第一阻层与覆盖在第一阻层下的导电膜，还可再于基板表面形成拒焊层，并使该拒焊层形成多个开口，以外露出阻障金属层。



ISSN 1008-4274

1.一种有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该半导体封装基板结构包括:

5 至少一绝缘层,该绝缘层中形成多个导电盲孔,以电性连接至覆盖在绝缘层下的内层线路;

至少一图形线路层,通过一导电膜以电镀方式形成在该绝缘层上,且该图形线路层包括多个电性连接垫,其中至少有一电性连接垫电性连接至导电盲孔;以及

至少一阻障金属层,完整覆盖住电性连接垫的上表面。

10 2.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该半导体封装基板结构还包括一拒焊层,形成于基板表面,覆盖住图形线路层,且该拒焊层有多个开孔以外露出阻障金属层。

15 3.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该绝缘层形成于多层电路基板表面。

4.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该封装基板为倒装芯片式封装基板及打线式封装基板中的一个。

20 5.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该电性连接垫是凸块焊垫。

6.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该电性连接垫是焊球垫。

7.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该电性连接垫是打线垫。

25 8.如权利要求 1 所述的有电性连接垫金属保护层的半导体封装基板结构,其特征在于,该阻障金属层的材料可以是金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金及镍/钯/金所构成的群组中的一种。

9.一种有电性连接垫金属保护层的半导体封装基板结构的制法,其特征在于,该半导体封装基板结构的制法包括:

30 提供一绝缘层,且该绝缘层中形成有多个盲孔以显露覆盖在绝缘层下的内层线路;

在绝缘层及盲孔表面形成一导电膜;

在导电膜上形成第一阻层,并使第一阻层形成有多个开口以外露出部分导电膜;

进行电镀制程以在第一阻层开口中形成图形线路层及在绝缘层的盲孔形成导电盲孔，该图形线路层包括多个电性连接垫，且至少有一电性连接垫电性连接至导电盲孔；

5 形成第二阻层覆盖电性连接垫以外的图形线路层，使电性连接垫外露出第二阻层；

进行电镀制程以在电性连接垫上形成阻障金属层；以及
去掉第二阻层、第一阻层与覆盖在第一阻层下的导电膜。

10.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该半导体封装基板结构的制法还包括在该基板表面形成拒焊层，并使拒焊层形成多个开孔以外露出阻障金属层。

11.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该绝缘层形成于多层电路层基板的表面。

12.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该封装基板为倒装芯片式封装基板及打线式封装基板中的一个。

13.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该电性连接垫是凸块焊垫。

14.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该电性连接垫是焊球垫。

15.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该电性连接垫是打线垫。

16.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该阻障金属层的材料可以是金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金及镍/钯/金所构成群组中的一种。

17.如权利要求9所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该第一及第二阻层可以是干膜及液态光阻中的一种。

18.一种有电性连接垫金属保护层的半导体封装基板结构的制法，其特征

30 在于，半导体封装基板结构的制法包括：
提供一绝缘层，且该绝缘层中形成多个盲孔以显露覆盖在绝缘层下的内层线路；

在绝缘层及盲孔表面形成一导电膜；

35 在导电膜上形成一阻层，且该阻层有多个开口以外露出部分导电膜；

进行电镀制程以在该阻层开口中形成多个电性连接垫及在绝缘层的盲孔形成导电盲孔，且该电性连接垫电性连接至导电盲孔；

进行电镀制程以在该电性连接垫上形成阻障金属层；以及
去掉该阻层与覆盖在阻层下的导电膜。

5 19.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，半导体封装基板结构的制法还包括在基板表面形成拒焊层，并使拒焊层形成多个开孔以外露出该阻障金属层。

10 20.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该阻层开口对应至绝缘层盲孔位置。

21.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该绝缘层形成于多层电路层基板的表面。

15 22.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该封装基板为倒装芯片式封装基板及打线式封装基板中的一个。

23.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该电性连接垫是凸块焊垫。

20 24.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该电性连接垫是焊球垫。

25.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构的制法，其特征在于，该电性连接垫是打线垫。

25 26.如权利要求 18 所述的有电性连接垫金属保护层的半导体封装基板结构制法，其特征在于，该阻障金属层的材料可为金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金及镍/钯/金所构成群组中的一种。

有电性连接垫金属保护层的半导体封装基板结构及其制法

技术领域

5 本发明是关于一种有电性连接垫金属保护层的半导体封装基板结构及其制法，特别是关于一种在制作基板线路与导电盲孔时，同时在基板的电性连接垫上形成金属保护层的结构及其制程方法。

背景技术

在电子产品轻薄短小、多功能、高速及高频化的发展趋势下，印刷电路板(PCB)或 IC 封装基板技术也向细线路及小孔径发展。目前印刷电路板或 IC 封装基板制程从传统 100 μm 以上的线路尺寸：包括导线宽(Line width)、导线间距(Space)与深宽比(Aspect ratio)，降至约 30 μm ，并研发更小的线路精度。

现有技术中，当基板导线尺寸在 40 μm 以上时，一般采用成本低廉且蚀刻快速的传统蚀刻法，如图 1A 及图 1B 所示，在绝缘层 10 的表面上形成金属层 11，接着在金属层 11 上涂布一阻层 12，再利用湿蚀刻法，采用强酸或强碱蚀刻液 13(Etchant)的扩散效应(Diffusion)与待蚀刻的金属层 11 的表面分子进行化学反应，以完成蚀刻移除，这种减成(Subtractive)蚀刻法具有高蚀刻速率与低使用成本，且蚀刻后的导电层均匀度(Uniformity)较高，由于该蚀刻法是通过蚀刻液 13 与特定材料的化学反应完成的，因此其蚀刻选择性(Selectivity)比其它方法好，不会去掉不想要蚀刻的其它材料，但是由于这种湿蚀刻为等向性(Isotropic)蚀刻，因此在向下蚀刻时将导致如图 1B 所示的底切(Under cut)现象 14，影响制程的精度，这种湿蚀刻法的质量传递(Mass transport)精度的限制，使其蚀刻的导线尺寸的精度难以再往下发展。

25 一般用于半导体制程的干蚀刻法(Dry etching)，不论是飞溅蚀刻(Sputtering etching)还是电浆蚀刻(Plasma etching)，其各向异性(Anisotropic)的蚀刻特性虽然可达到较细的蚀刻精度并缩小了导线的线宽，但是其每分钟仅能蚀刻几个纳米(nm)的低蚀刻速率，只适用于芯片厚度较薄的半导体芯片，对于厚度较厚(5 至 30 μm)的封装基板，干蚀刻法耗费的时间成本太大，同时，干蚀刻法是用离子轰击待蚀刻表面的物理蚀刻法，其蚀刻选择性并不理想，因此若采用干蚀刻法全
30 程制作封装基板，也可能会有导电层遭受污染的问题。

与传统的减成(Subtractive)蚀刻法比较,目前产业界采用能够制造更细线路的加成(Additive)法,以满足更高密度的电路板的需求,典型方法是用非电镀铜在绝缘电路板上形成一晶种层(Seed layer),再在绝缘层上直接形成电路层,这种方法可再分为完全加成(Fully-additive)法及半加成(Semi-additive)法两种制程,以避免蚀刻时遇到的问题。

目前可制作较细电路的半加成法的典型制程如图2A至图2F所示。

请参阅图2A,首先,核心电路板20包括多个已图案化的电路层21,位于两个电路层21间的绝缘层22,以及作为该电路层21间的电性内连接的电镀导通孔23。

如图2B所示,再提供两个有机绝缘层24,通过真空压合到核心电路板20的表面。

请参阅图2C,接着,在有机绝缘层24中图案化,形成多个开孔240,显露出部分的电路层21,并在有机绝缘层24表面形成非电镀铜薄层25。

请参阅图2D,在非电镀铜薄层25上布设一图案化的阻层(Resist layer)26,使阻层26形成多个开口(Opening)260,以外露出该非电镀铜薄层25。

请参阅图2E,再利用电镀方式在阻层开口260中形成线路层27,该电镀金属层一般可为金属铜构成的导电路路。

请参阅图2F,之后,再去掉阻层26及其覆盖的非电镀铜薄层25后,即可形成一增层式的四层基板200。

其中,用于半导体封装基板的表面形成有多个由铜材料组成的导电路路,并由其部分表面形成电性连接垫,以传输电信号或电源,同时,在电性连接垫的外露表面一般会形成有如镍/金(Ni/Au)的金属层,以有效提供电性连接垫与导电组件如金线、凸块或焊球与芯片或电路板的电性耦合,也可避免因外界环境影响导致电性连接垫本体的氧化。

该电性连接垫可为半导体倒装芯片封装基板与芯片电性耦合的凸块焊垫(Bump pad)或预焊锡焊垫(Presolder pad),该电性连接垫也可为打线式半导体封装基板与芯片电性耦合的焊垫(Finger),以及例如封装基板与电路板电性耦合的焊球垫(Ball pad)。通过在电性连接垫本体外露表面形成镍/金金属层,使包覆在镍/金金属层内的电性连接垫(通常为金属铜)不易因外界环境影响而氧化,以提高凸块、预焊锡或焊球等植设于电性连接垫的电性连接品质。

目前由于半加成法(SAP)制程的全面导通用的非电镀铜薄层,在线路图形电镀(Pattern plating)制程完成后就加以蚀刻(Etching)去掉,而后

为保护电镀线路层免受外界环境污染，即在基板表面进行形成拒焊剂(绿漆)制程，并使电性连接垫形成有镍/金(Ni/Au)金属层的表面显露出拒焊层的开孔，因为先前电镀导通用的非电镀铜层已去除，故通常必须采用非电镀(Electro-less)方式，即无外来电压的驱动力量(Driving force)，加以进行。

请参阅图 2G 及图 2H，图中显示的是现有技术中在封装基板的电性连接垫表面利用非电镀方式，即化学镍/金制程，形成镍/金金属层的方法示意图。

请参阅图 2G，如前所述，为使其中的镍/金金属层正确沉积在电性连接垫的表面，在形成图形的线路层 27 的封装基板 200 表面上，印刷(Printing)或涂布(Coating)如绿漆的拒焊层(Soldermask)28，且该封装基板 200 表面的线路层 27 包括多个电性连接垫 270，并使拒焊层 28 在电性连接垫 270 处形成开孔 280，以曝露出电性连接垫 270。

请参阅图 2H，进行化学镍/金制程时，将基板 200 进行化镍浸金制程(Electroless Nickel/Immersion Gold (EN/IG))，通过拒焊层的开孔 280，使镍/金金属层 29 沉积在露出拒焊层开孔 280 的电性连接垫 270 表面。

因此，如上所述，由于半加成法(SAP)制程是电镀图形线路供电流导通用的非电镀铜薄层，在线路图案化完成后即去掉，然后要形成的镍金金属层因电镀导通用的非电镀铜层已去除，故必须采用非电镀式形成，一般采用的化学镍/金制程中的制程液体将会对形成在封装基板表面的拒焊层进行腐蚀性攻击，造成拒焊层的剥离(Peeling)与电性连接垫上的镍/金金属层污染等可靠性降低的问题。

此外，为符合市场需求，半导体封装结构力求轻薄短小，芯片也朝小尺寸、高集成化(Integration)发展，因此，作为芯片承载件(Chip carrier)的半导体封装基板最好布设有高密度的电性连接垫，以使承载在基板上的芯片能够与基板形成良好且完整的电性连接，令高集成化的芯片能够运作自如，从而完全发挥其功能及特性。但是由于布有导线的 IC 封装基板有制程上的限制，其传递芯片信号与改善频宽、控制阻抗等功能的受限，成为高输入/输出(I/O)类封装件的发展障碍，且由于基板制程占有封装成本的 20%至 50%，因此在半导体芯片的集成电路制程已缩小到 $0.13\ \mu\text{m}$ ，且封装尺寸也不断缩小，几乎与芯片同大(约仅为芯片的 1.2 倍)时，如何开发与其搭配的细线路(Fine circuit)、高密度与小孔径的封装基板，是集成电路产业乃至其它相关电子产业进入下一代技术的重要研发课题。

但是若要将导线精度再往下发展，相对于基板上电性连接垫的尺

寸面积与相邻间距(Pitch)也需随之缩减,导致形成在电性连接垫处的拒焊层开孔太小,造成化学镍/金制程中,因液体对流性不佳,使化镍粒子质量传送(Mass transfer)不佳,出现不易满镀的现象,使后续的化金无法顺利浸镀(Immersed)在镍金属层上,因此出现跳镀现象,或使电性连接垫表面过度粗糙化无法形成致密(Dense)的镍/金金属层。

发明内容

为克服上述现有技术的缺点,本发明的主要目的在于提供一种有电性连接垫金属保护层的半导体封装基板结构及其制法,可利用电镀方式形成电性连接垫表面的阻障金属。

10 本发明的另一目的在于提供一种有电性连接垫金属保护层的半导体封装基板结构及其制法,可同时整合半加成法(SAP)形成线路结构与电镀方式形成电性连接垫表面的阻障金属层。

15 本发明的再一目的在于提供一种有电性连接垫金属保护层的半导体封装基板结构及其制法,避免现有化学镍金制程中,制程液体对封装基板表面的拒焊层进行腐蚀性攻击,造成拒焊层的剥离与电性连接垫上的镍/金金属层污染等可靠性不佳问题。

20 本发明的又另一目的在于提供一种有电性连接垫金属保护层的半导体封装基板结构及其制法,避免了化学镍/金制程中因液体对流性不佳,使化镍粒子质量传送(Mass transfer)不佳,出现不易满镀的现象,这会使后续的化金无法顺利浸镀(Immersed)在镍金属层上,因此出现跳镀现象,或使电性连接垫表面过度粗糙化无法形成致密(Dense)的镍/金金属层等问题。

25 为达上述目的,本发明提供一种有电性连接垫金属保护层的半导体封装基板结构的制法,其主要制程包括:提供一绝缘层,且该绝缘层中形成有多个盲孔以显露覆盖在绝缘层下的内层线路;在绝缘层及盲孔表面形成一导电膜;在导电膜上形成第一阻层,并使第一阻层形成多个开口以外露出部分导电膜;进行电镀制程以在第一阻层开口中形成图形线路层及在绝缘层的盲孔中形成导电盲孔,该图形线路层包括多个电性连接垫,且至少有一个电性连接垫电性连接至导电盲孔;
30 形成第二阻层覆盖电性连接垫以外的图形线路层,使电性连接垫外露出第二阻层;进行电镀制程以在电性连接垫上形成阻障金属层;以及去掉第二阻层、第一阻层与覆盖在第一阻层下的导电膜。

本发明的有电性连接垫金属保护层的半导体封装基板结构的另外一种制法主要包括:提供一绝缘层,且绝缘层中形成有多个盲孔以显

露覆盖在绝缘层下的内层线路；在绝缘层及盲孔表面形成一导电膜；在导电膜上形成阻层，且该阻层形成有多个开口以外露出部分导电膜；进行电镀制程以在阻层开口中形成多个电性连接垫及在绝缘层的盲孔中形成导电盲孔，且该电性连接垫电性连接至导电盲孔；进行电镀制程以在电性连接垫上形成阻障金属层；以及去掉阻层与覆盖在阻层下的导电膜。其中，该阻层开口对应绝缘层盲孔位置。

通本发明也提供一种有电性连接垫金属保护层的半导体封装基板结构，该基板主要包括：至少一绝缘层，该绝缘层中形成有多个导电盲孔，以电性连接至覆盖在绝缘层下的内层线路；至少一图形线路层，通过一导电膜以电镀方式形成在绝缘层上，且该图形线路层包括多个电性连接垫，其中至少有一电性连接垫电性连接至导电盲孔；以及至少一阻障金属层，完整覆盖住电性连接垫上表面。

由于本发明是用半加成法(SAP)，在制作图形线路与导电盲孔时，利用电镀所需的导电膜，搭配第二次阻层，进行影像转移以界定出欲电镀表面金属层(例如镍/金(Ni/Au)金属层)的区域，也或仅在基板表面形成电性连接垫区域，在电性连接垫的上表面上形成如电性连接垫般大小的镍/金金属层，达到利用电镀镍/金取代现有化学镍/金的结构与方法，进而避免现有化学镍/金制程导致的种种不良问题。

综上所述，本发明可在形成图案化线路与导电盲孔制程时，利用全面电性导通的导电膜，还增设第二阻层影像转移以覆盖住电性连接垫外其余的导电迹线区域，也或仅在基板表面形成电性连接垫，再进行电镀制程以在电性连接垫上形成阻障金属层，借以同时在基板中形成导电线路、导电盲孔、电性连接垫及覆盖其上的阻障金属层。取代非电镀(Electro-less)制程，避免非电镀制程中的制程液体对封装基板表面的拒焊层进行腐蚀性攻击，造成拒焊层的剥离与电性连接垫上的镍/金金属层污染等可靠性不佳问题，以及避免因细线路设计造成的制程液体对流性不佳，形成不易满镀的现象，使后续的化金无法顺利浸镀(Immersed)在镍金属层上，出现跳镀现象，或使该电性连接垫表面过度粗糙化无法形成致密(Dense)的镍/金金属层。

附图说明

图 1A 及图 1B 是现有的湿蚀刻法的基板制程示意图；

图 2A 至图 2F 是现有的半加成法的基板制程示意图；

图 2G 及图 2H 是现有的利用非电镀方式在基板的电性连接垫表面形成阻障金属层的制程示意图；

图 3A 至图 3I 为本发明的有电性连接垫金属保护层的半导体封装基板结构及其制法的实施例 1 的剖面示意图;

图 4 为本发明的有电性连接垫金属保护层的半导体封装基板结构及其制法的实施例 2 的剖面示意图;

5 图 5 为应用本发明的有电性连接垫金属保护层的半导体封装基板结构形成的底穴置晶型球栅阵列(CDBGAs)半导体封装件剖面示意图;

图 6 为应用本发明的有电性连接垫金属保护层的半导体封装基板结构形成的打线式半导体封装件剖面示意图; 以及

10 图 7 为应用本发明的有电性连接垫金属保护层的半导体封装基板结构形成的倒装芯片式半导体封装件剖面示意图。

具体实施方式

实施例 1

图 3A 至图 3J 为本发明的有电性连接垫金属保护层的半导体封装基板结构及其制法的实施例剖面示意图。

15 本发明的有电性连接垫金属保护层的半导体封装基板结构包括: 至少一绝缘层 30, 该绝缘层 30 中形成多个导电盲孔 301 以电性连接至覆盖在绝缘层 30 下的内层线路 30a; 至少一图形线路层 33, 通过一导电膜 31 以电镀方式形成在该绝缘层 30 上, 且该图形线路层 33 包括多个电性连接垫 330, 其中至少有一电性连接垫 330 电性连接至导电盲孔

20 301; 以及至少一阻障金属层 35, 完整覆盖住电性连接垫 330 的上表面。

如图 3A 所示, 本发明的有电性连接垫金属保护层的半导体封装基板结构的制法是, 首先, 提供一介电绝缘层 30, 且该绝缘层 30 中形成有多个盲孔 301, 以显露覆盖在绝缘层下的内层线路 30a, 并在绝缘层 30 及盲孔 301 表面形成一导电膜 31。绝缘层 30 可为环氧树脂(Epoxy resin)、聚酰亚胺(Polyimide)、氰酸盐(Cyanate Ester)、玻璃纤维(Glass fiber)、ABF(Ajinomoto Build-up Film, 日商味之素公司出产)、双马来酰亚胺/三嗪(BT, Bismaleimide Triazine)或混合环氧树脂与玻璃纤维(FR5)等材料构成; 导电膜 31 主要作为后述进行电镀金属层(包括图形线路层与电性连接垫上的阻障金属层)所需的电流传导路径, 它可由金属、合金或堆栈数层金属层构成, 可选自铜、锡、镍、铬、钛、铜-铬合金所

25 构成的组群的金属。导电膜 31 可通过物理气相沉积(PVD)、化学气相沉积(CVD)、非电镀或化学沉积等方式形成, 例如溅镀(Sputtering)、蒸镀(Evaporation)、电弧蒸气沉积(Arc vapor deposition)、离子束溅镀(Ion beam sputtering)、激光熔散沉积(Laser ablation deposition)、电浆促进的

30

化学气相沉积或非电镀等方法。但是根据实际操作的经验，导电膜 31 最好是由非电镀铜粒子构成。其中绝缘层 30 形成于多层电路层基板的表面，该基板可以是已完成所需的前段制程，例如其上形成有多个导通孔(PTH)或盲孔等，以供叠层间线路电性导通 (图未标)。

5 如图 3B 所示，再在导电膜 31 上利用印刷、旋涂或贴合等方式覆盖第一阻层 32，第一阻层 32 可为干膜或液态光阻等的光阻层(Photoresist)，并可借由曝光(Exposure)及显影(Development)等图案化制程使第一阻层 32 形成多个开口 320，借以显露出将要形成图形线路层的部分导电膜 31。

10 如图 3C 所示，接着进行电镀制程，以在第一阻层开口 320 中形成图形线路层 33 以及在绝缘层盲孔 301 中形成导电盲孔 302，该图形线路层 33 包括多个电性连接垫 330，电性连接垫 330 能够通过形成于绝缘层 30 的导电盲孔 302 电性连接至内层线路 30a。其中导电盲孔 302 可直接形成在电性连接垫 330 下方，或通过图形线路层 33 的导线将电性连接垫 330 电性导接至内层线路 30a。

15 如图 3D 所示，形成一第二阻层 34，覆盖电性连接垫 330 以外的图形线路层 33；其中第二阻层 34 可为干膜或液态光阻等的光阻层(Photoresist)，并可通过曝光(Exposure)及显影(Development)等图案化制程使第二阻层 34 形成多个开口 320，借以显露出电性连接垫 330，第二阻层 34 的材料可与第一阻层 32 的材料相同。

20 如图 3E 所示，接着进行电镀(Electroplating)制程，通过导电膜 31、导电盲孔 302 与电性连接垫 330 等电流传导路径，形成一完整覆盖在电性连接垫 330 上表面的阻障金属层 35。该阻障金属 25 可为金、镍、钯、银、锡、镍/钯、铬/钛、镍/金、钯/金或镍/钯/金等，较佳的选择是电镀镍/金金属层，其先电镀一层镍 351 后，再在其上电镀一层金 352(如图 3F 所示)，使镍/金金属通过导电膜 31 电镀在各电性连接垫 330 的整体上表面，将电性连接垫 330 的上表面完整覆盖一阻障金属层 35，当然本发明的阻障金属材料的选择，也可仅为上述的镍、金或其它金属之一，例如直接用金电镀在电性连接垫的显露表面，其它简单的替换，

25 如图 3G 所示，去掉第二阻层 34 与第一阻层 32，即形成电镀阻障金属层 35 覆盖在电性连接垫 330 的整体上表面。

30 如图 3H 所示，还通过蚀刻等技术去掉先前被第一阻层 32 覆盖的导电膜 31。

35 如图 3I 所示，之后在封装基板表面覆盖上一拒焊层(Solder mask)

36, 例如绿漆, 借以保护封装基板免受外在环境污染破坏, 该拒焊层 36 形成有多个开孔 360, 使完成电镀阻障金属层 35 的电性连接垫 330 能够显露于拒焊层开孔 360。

实施例 2

5 请参阅图 4, 在实施例 2 中可直接在基板表面上形成多个电性连接垫 330, 以及在该绝缘层 30 中形成导电盲孔 302, 而无其余导线部分, 使这些电性连接垫 330 可直接通过形成在绝缘层 30 中的导电盲孔 302 电性导接至内层线路 30a。在后续电性连接垫 330 上电镀形成阻障金属层的制程中, 由于在基板表面仅形成有电性连接垫, 则无需再覆盖第
10 二阻层部分即可直接进行电镀制程, 借以在这些电性连接垫的外露表面上完整覆盖一阻层金属层。

如上所述, 本发明是利用半加成法(SAP)形成增层部分的线路与导电盲孔, 然后利用形成该图案化结构的第一阻层与导电膜, 并另外再形成第二阻层(薄干膜)覆盖住没有形成阻障金属层的导电迹线部分, 定
15 义出要形成阻障金属层的电性连接垫部分, 也或仅在基板表面形成电性连接垫区域, 以通过先前形成图形线路结构的导电膜、导电盲孔与电性连接垫, 在电性连接垫上加镀一阻障金属层例如镍/金(Ni/Au)金属层, 以在电性连接垫上形成与电性连接垫上表面尺寸近似的阻障金属层结构, 之后再去掉这些阻层与导电膜, 与后续拒焊剂层的制程, 完
20 成表面图形线路与电性连接垫上阻障金属层的多层基板。

图 5 为应用本发明的有电性连接垫金属保护层的半导体封装基板结构所形成的底穴置晶型球栅阵列(Cavity down ball grid arrays, CDBGAs)半导体封装件, 其特点在于, 其中的基板形成一开孔, 并将一
半导体芯片以倒置方式通过该开孔电性连接至基板。

25 该 CDBGAs 半导体封装件主要在一球栅阵列(BGA)半导体封装基板 40 中形成至少一贯穿其上下表面的开孔 41, 并用散热片 42 接置在基板 40 的上表面上以封闭住开孔 41 的一侧, 将一半导体芯片 43 收纳在开孔 41 中, 以将芯片 43 的非作用面通过一导热性胶粘剂, 紧密粘附在散热片 42 上, 并通过多条焊线 44 穿过开孔 41, 以电性连接半
30 导体芯片 43 与基板 40 下表面上的电性连接垫 401, 而该电性连接垫 401 的表面即覆盖一阻障金属层 45(如镍/金金属层), 以供焊线 44(如金线)有效焊结与电性导接至电性连接垫 401 上, 接着, 再以封装胶体 46 包覆半导体芯片 43 与焊线 44 后, 在基板 40 的电性连接垫 402 上植置多个焊球 47, 而该电性连接垫 402 的表面也覆盖有一阻障金属层 45, 以

供焊球 47 有效焊结与电性导接至电性连接垫 402 上，以完成整合有散热片的半导体封装件。

图 6 及图 7 为应用本发明的有电性连接垫金属保护层的半导体封装基板结构形成的一打线式及倒装芯片式半导体封装件剖面示意图。

5 如图 6 所示，除上述的 CDBGA 半导体封装件外，本发明也可应用在打线式(Wire bonding)半导体封装件 50，其提供一打线式基板 51，并将至少一半导体芯片 52 接置在基板 51 后，利用多条焊线 53 将芯片 52 电性连接至基板 51 的电性连接垫 54 上，而与焊线 53 电性导接的电性连接垫 54 上表面即完整覆盖有阻障金属层 55 如镍/金金属层，供焊线 53(通常为金线)有效焊结至电性连接垫 54 上。

10 如图 7 所示，本发明也可应用于倒装芯片式半导体封装件 60，其提供一倒装芯片式基板 61，并将至少一半导体芯片 62 接置在基板 61 后，利用半导体芯片 62 电路面上的多个金属凸块 63 以倒装芯片方式电性导接至基板 61 表面的电性连接垫 64，而与该金属凸块 63 电性导接的电性连接垫 64 上表面完整覆盖有阻障金属层 65 如镍/金金属层，不仅可保护电性连接垫 64 不受外界环境影响而锈蚀，并能够有效提供金属凸块 63 与电性连接垫 64 的焊结。

因此，本发明的有电性连接垫金属保护层的半导体封装基板结构，除可应用在打线式(Wire bonding)封装基板外，也可应用在倒装芯片式封装基板；再有，本发明所述的电性连接垫，可以是打线垫、凸块焊垫、预焊锡焊垫或焊球垫等，先前图中以部分电性连接垫表示，实际该图形线路结构与电性连接垫的数目，是根据实际制程的需要而加以设计并分布在基板表面，且该制程可实施在基板的单一侧面或双侧面。

20 通过本发明的有电性连接垫金属保护层的半导体封装基板结构及其制法，不仅可在基板上形成多层的细线路结构以及在绝缘层中形成导电盲孔，同时，也可在图形线路结构的电性连接垫上电镀形成一尺寸近似相同的阻障金属层，以增加电性连接垫与阻障金属层的接触面积，并有效提供该电性连接垫与其它导电组件(如金属凸块、焊球及焊线等)的电性耦合，同时也可避免因外界环境影响而导致该电性连接垫本体的氧化；以及避免现有化学镍/金制程时产生的问题，有效提高封装结构的可靠性。还有，虽然目前也有利用电镀方式形成电性连接垫表面的阻障金属层，但是现有的电镀方式是通过在封装基板的表面另外布设电镀导线，借由该电镀导线导通至电性连接垫上，但是该制程中因这些电镀导线的设置，将大幅减少封装基板有效布线面积，并可能因布设该电镀导线衍生出噪声干扰等问题。

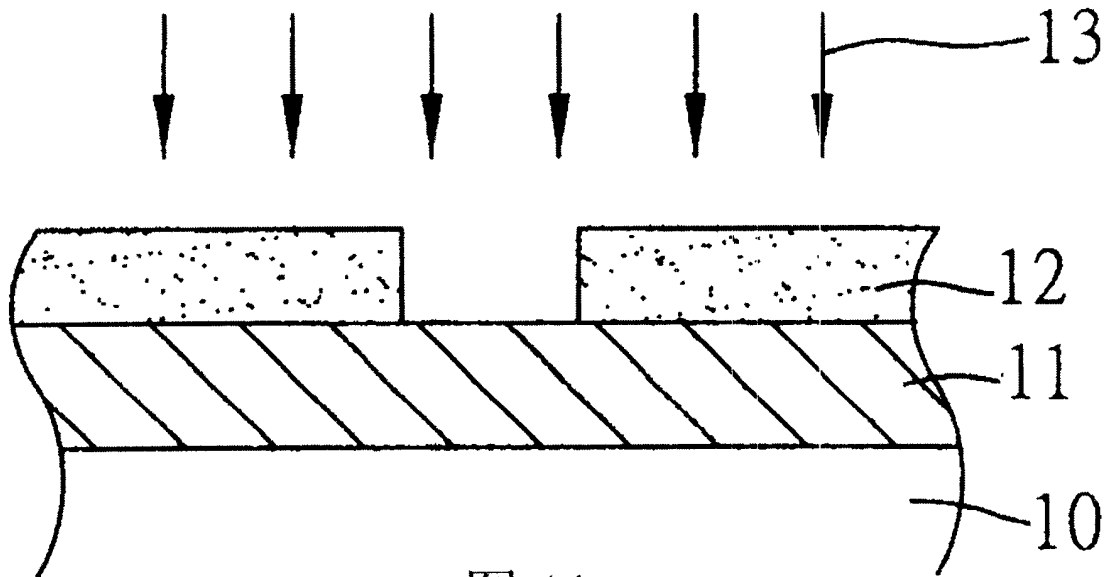


图 1A

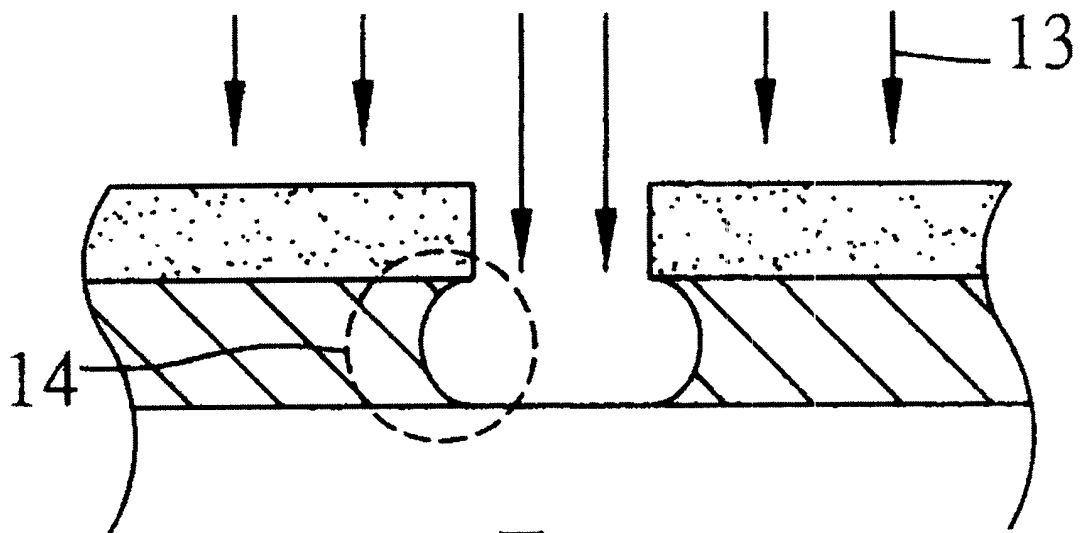


图 1B

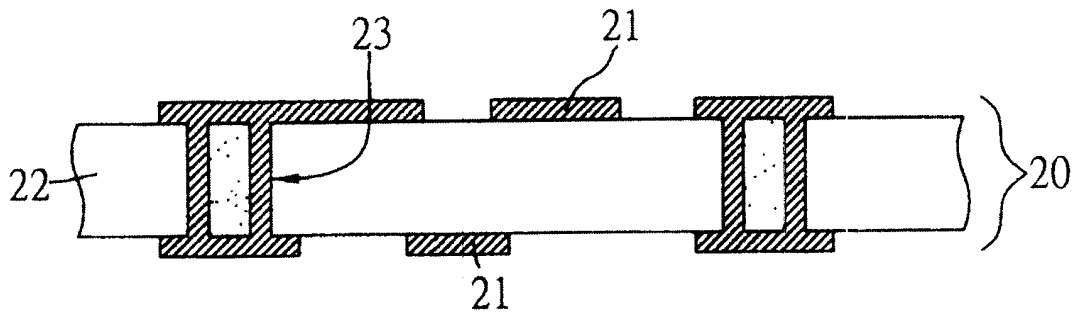


图 2A

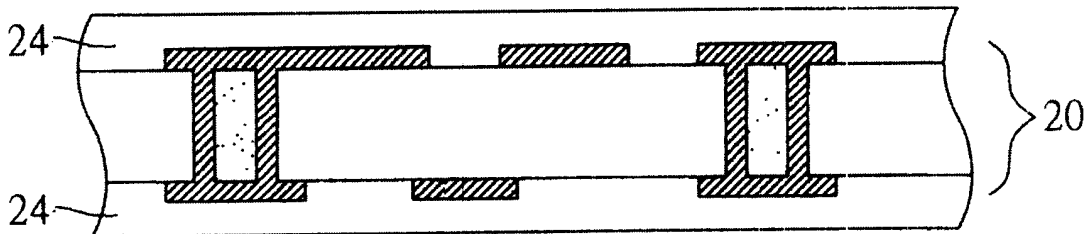


图 2B

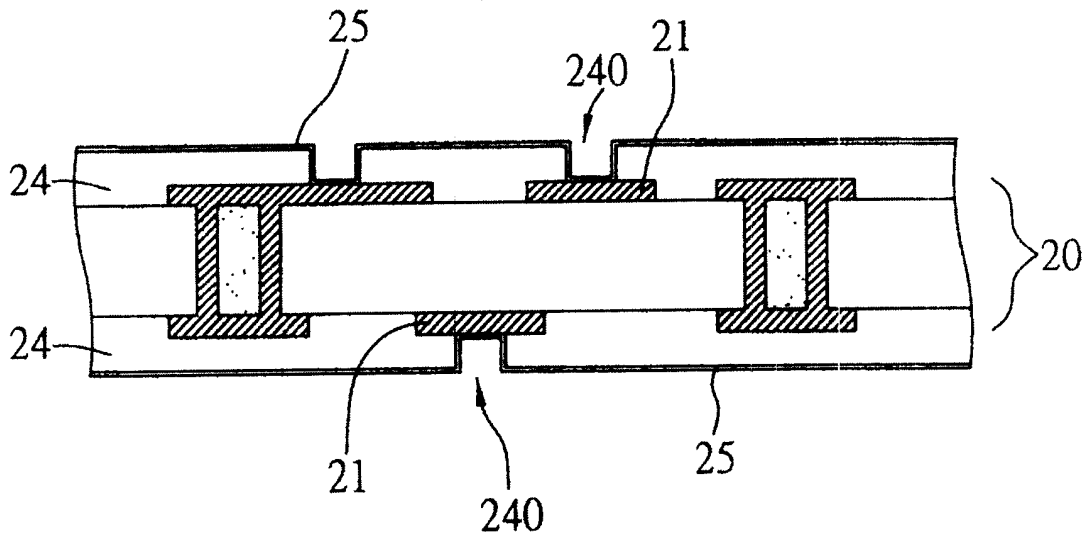


图 2C

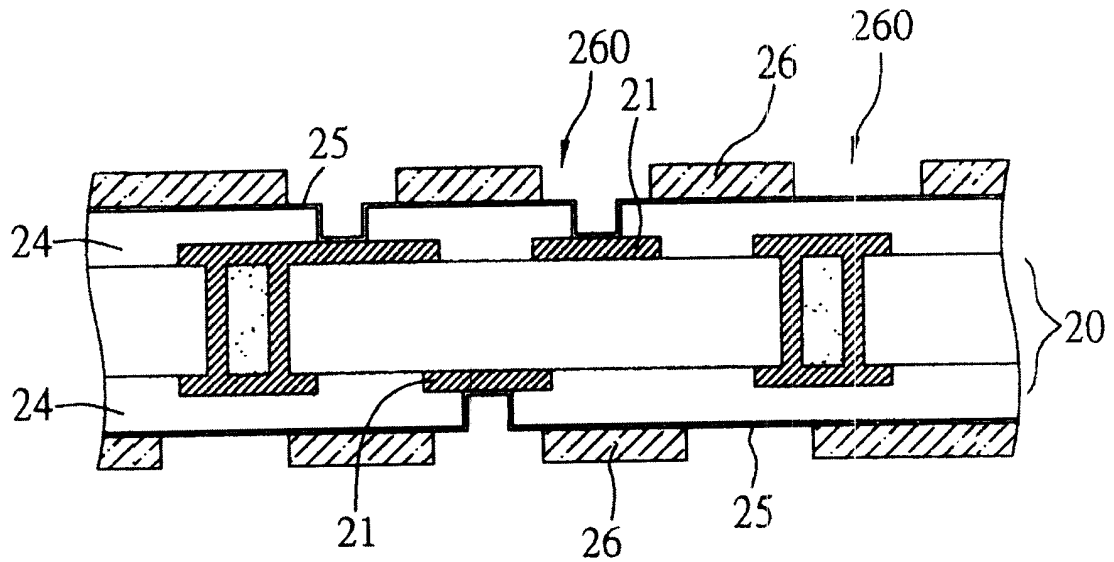


图 2D

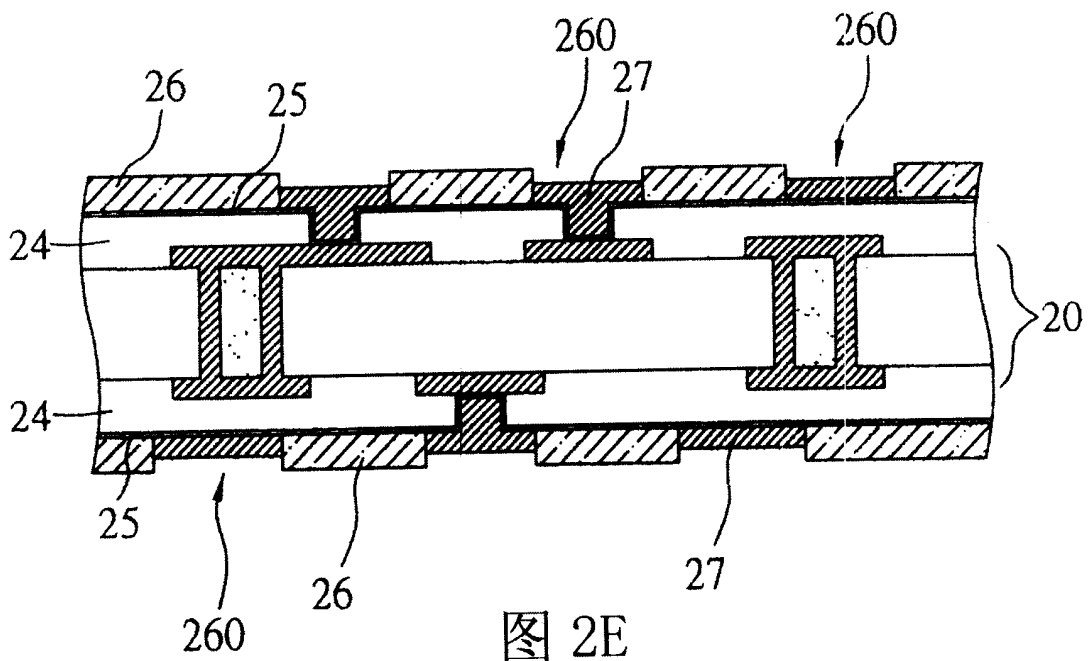


图 2E

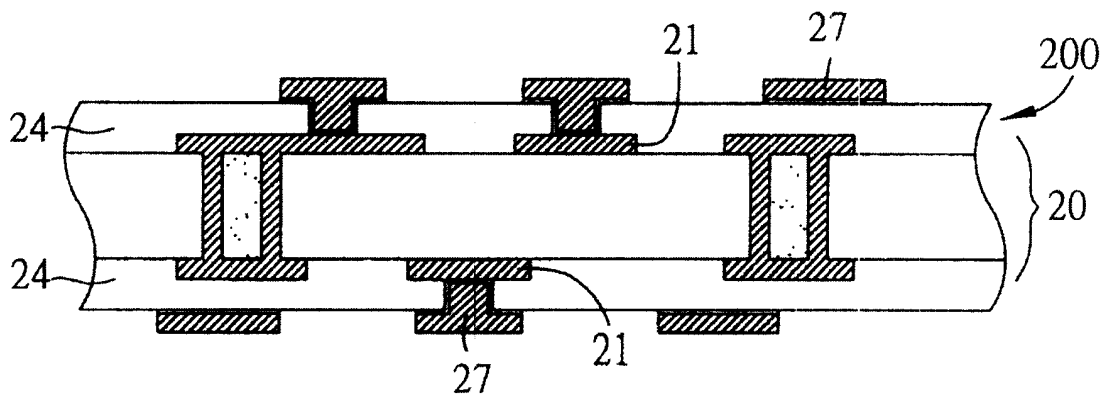


图 2F

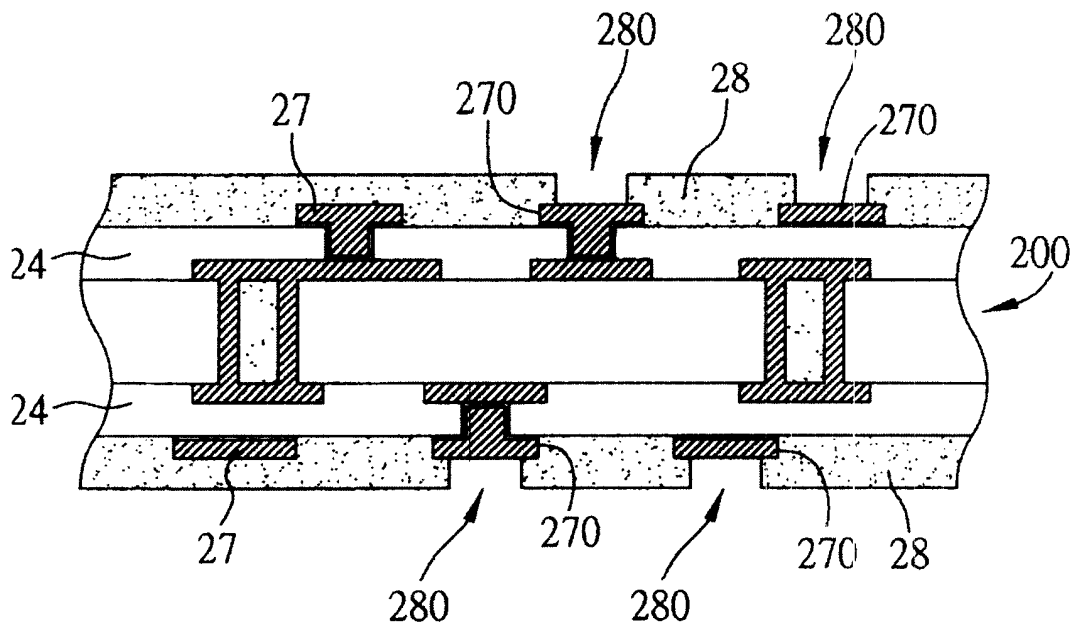


图 2G

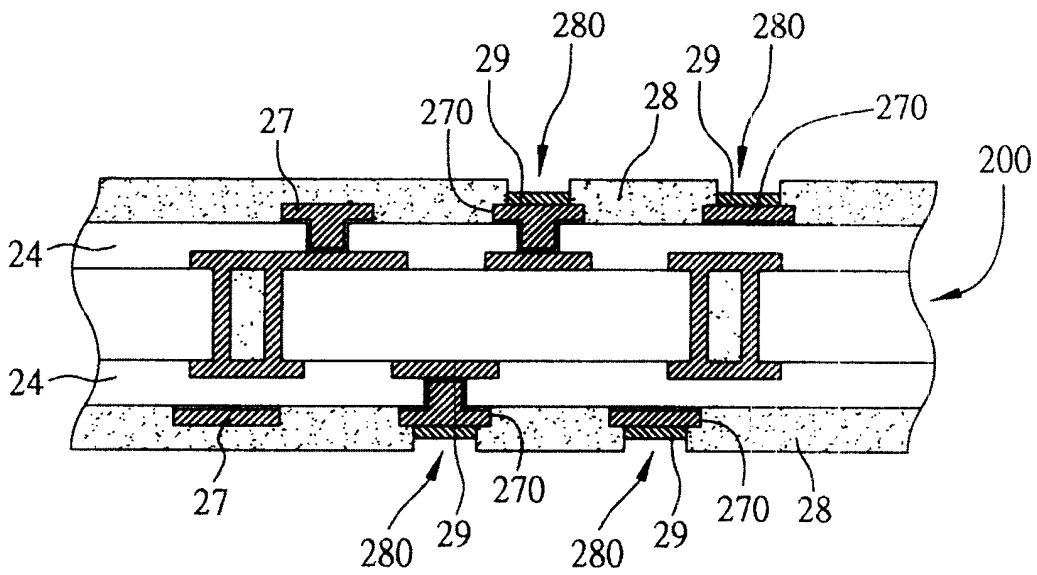


图 2H

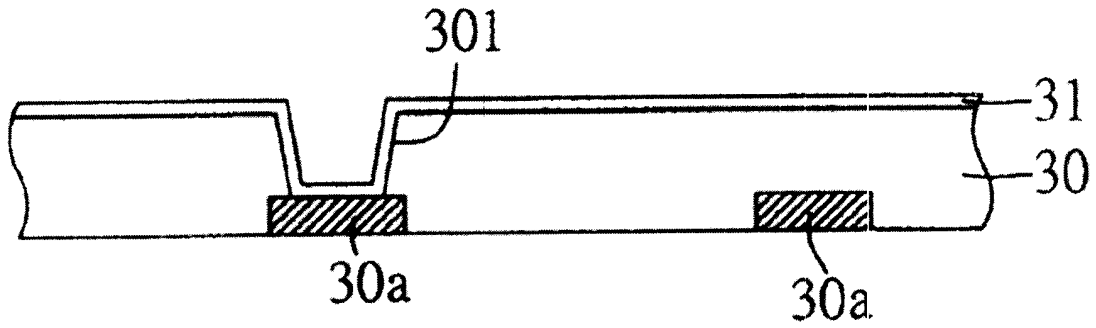


图 3A

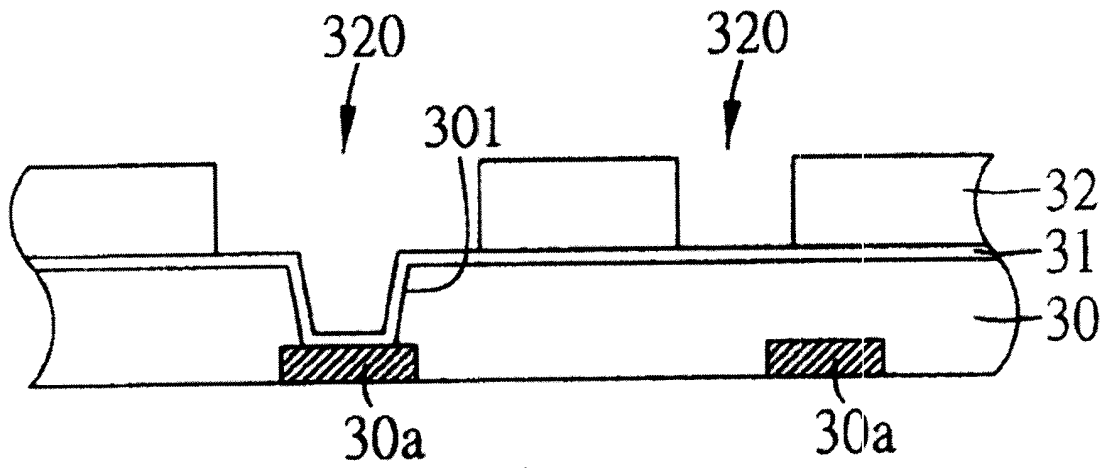


图 3B

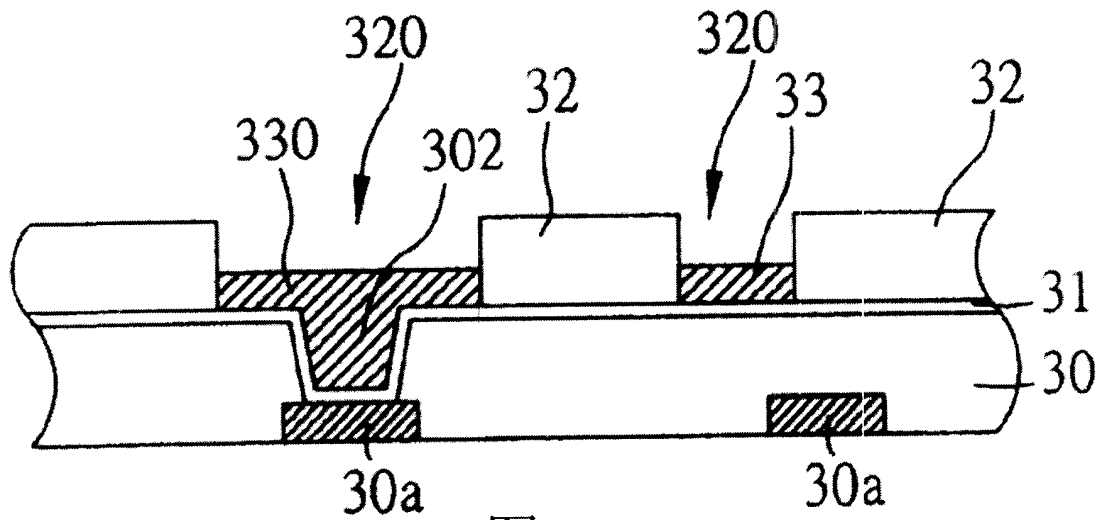


图 3C

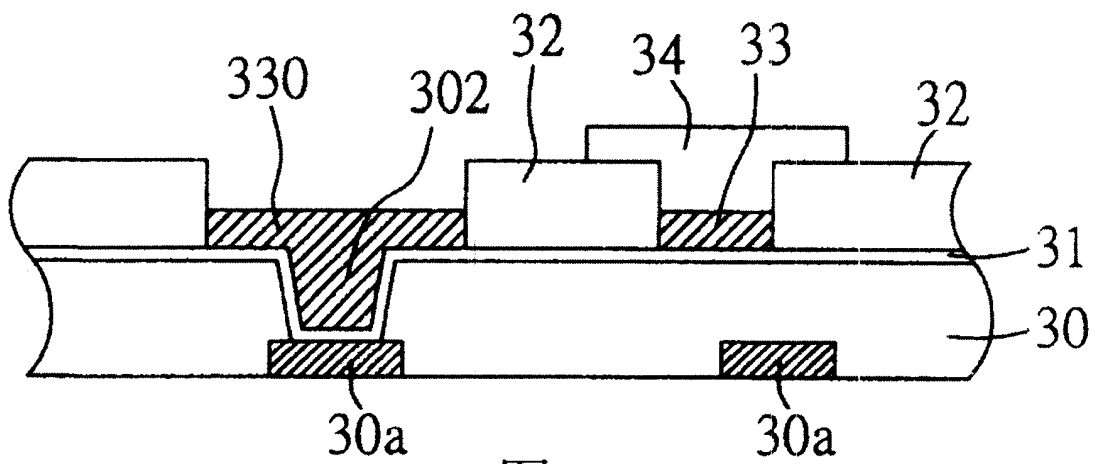


图 3D

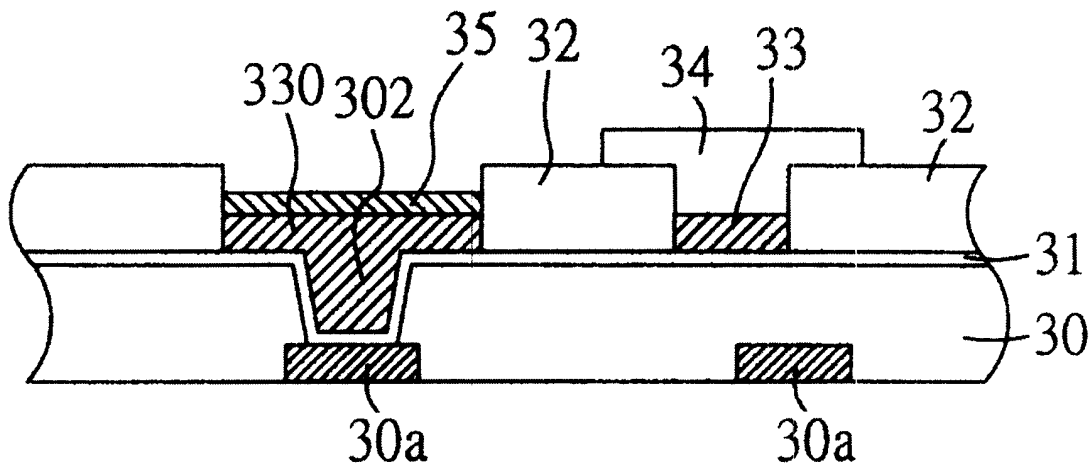


图 3E

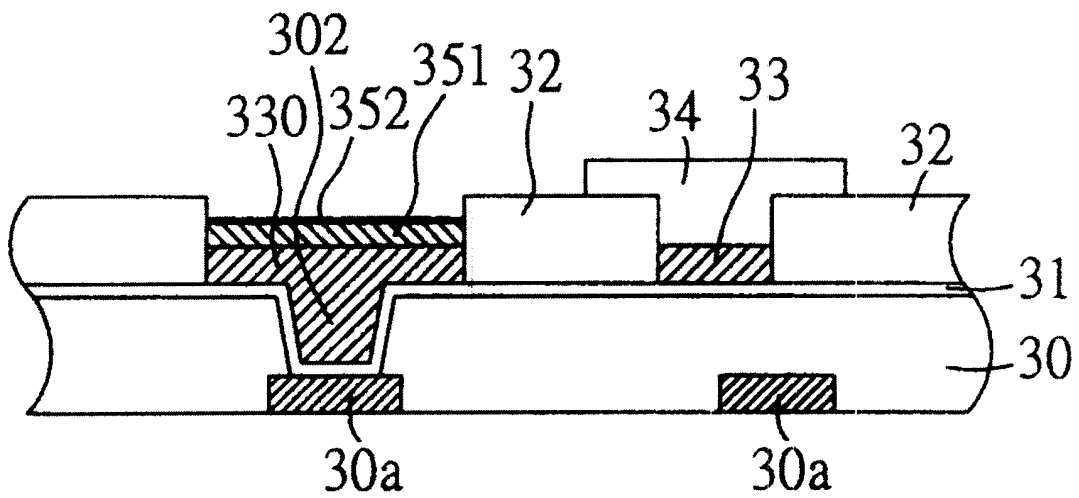


图 3F

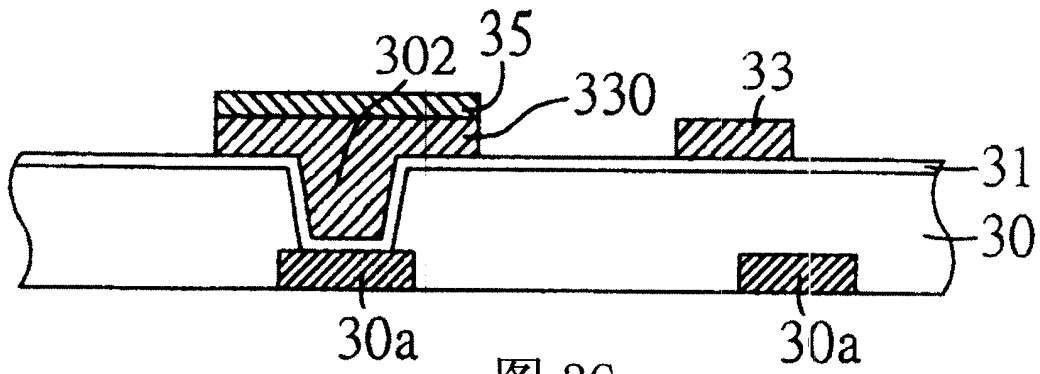


图 3G

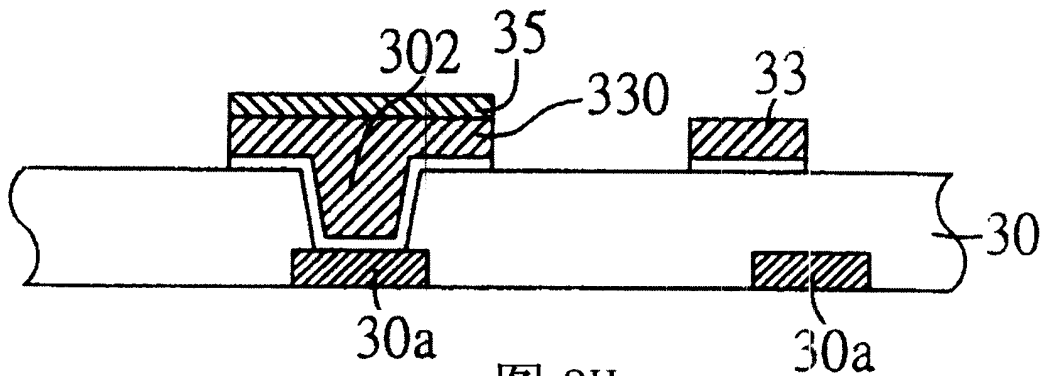


图 3H

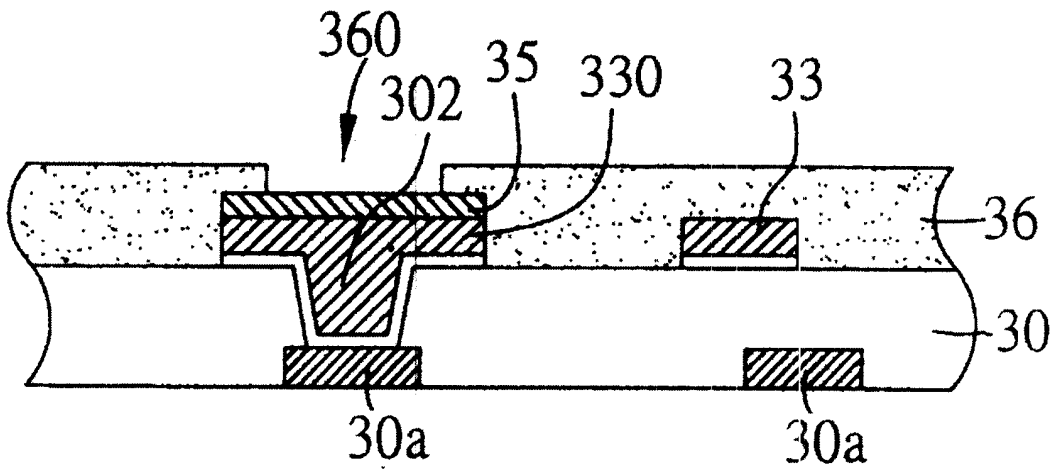


图 3I

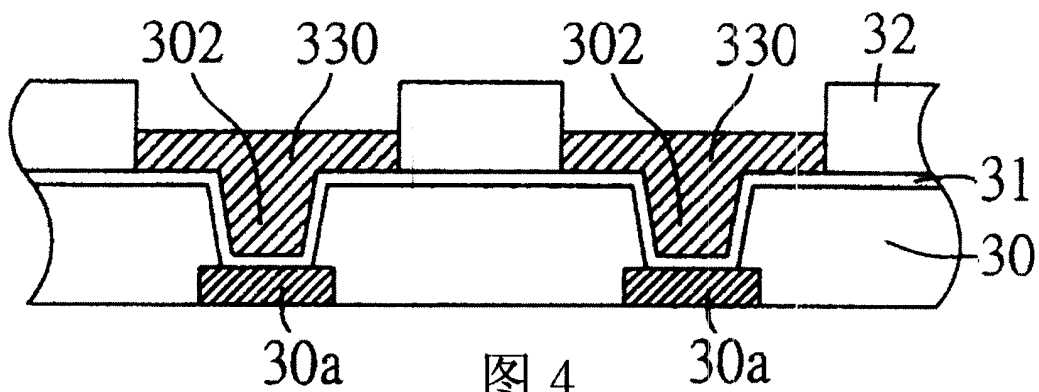


图 4

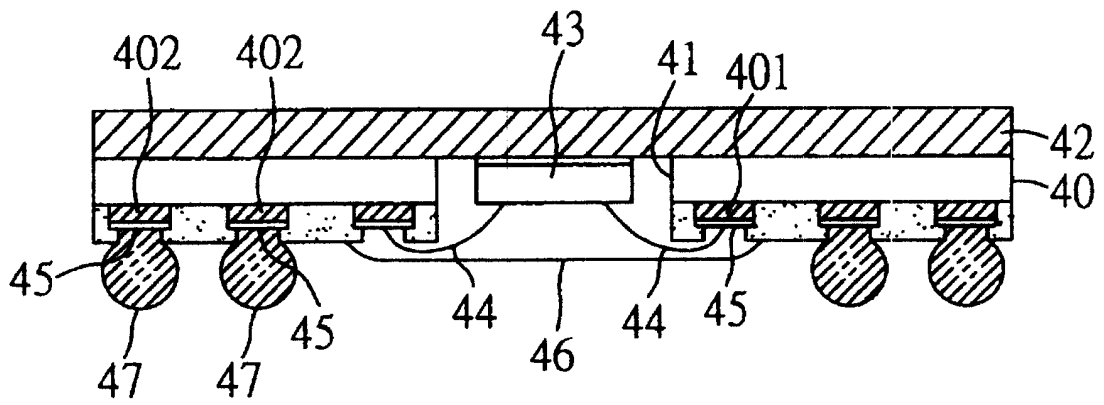


图 5

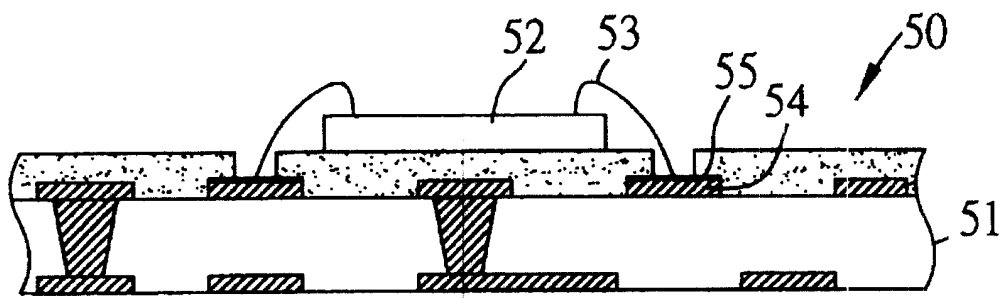


图 6

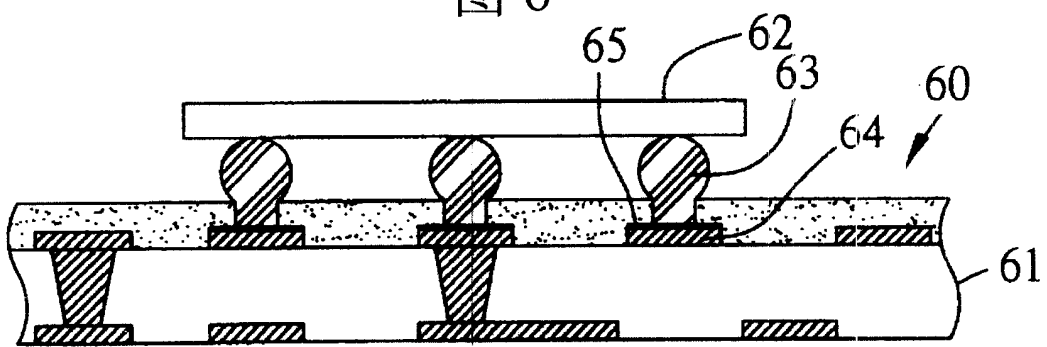


图 7