

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-33596

(P2005-33596A)

(43) 公開日 平成17年2月3日(2005.2.3)

(51) Int. Cl.⁷

H03F 3/193

F I

H03F 3/193

テーマコード (参考)

5J500

審査請求 未請求 請求項の数 21 O L (全 27 頁)

(21) 出願番号 特願2003-271690 (P2003-271690)
 (22) 出願日 平成15年7月8日 (2003.7.8)

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100071272
 弁理士 後藤 洋介
 (74) 代理人 100077838
 弁理士 池田 憲保
 (72) 発明者 田中 昭生
 東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

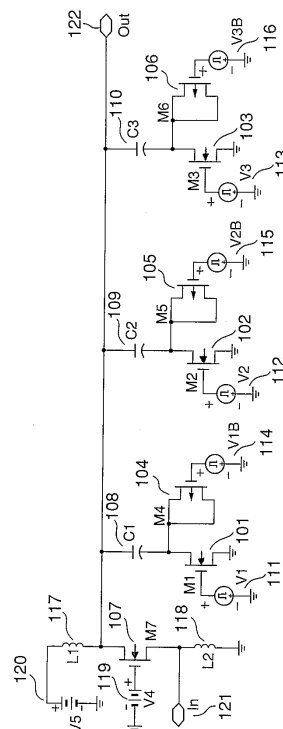
(54) 【発明の名称】 高周波増幅回路

(57) 【要約】

【課題】 広帯域で、低ノイズ、広ゲイン、小型、低消費電力のアンプを実現する。

【解決手段】 トランジスタ107の負荷として例えばインダクタとコンデンサからなる共振回路を使用して、コンデンサは複数のコンデンサ108、109、110をスイッチで切り換える構成を持ち、共振周波数を入力信号の周波数ホッピングに合わせて変化させる。スイッチの切り換え時に生じるリングングをキャンセルするために、ゲートフィードスルーをキャンセルするトランジスタをスイッチに付加する。高域でのゲインの低下やNFの上昇を抑制するためにゲートにインダクタを設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタに負荷として接続された、インダクタンス素子と複数の容量素子と該複数の容量素子に接続された複数のスイッチとを持つことを特徴とする高周波増幅回路。

【請求項 2】

前記複数のスイッチとして第 2 のトランジスタを使用し、該第 2 のトランジスタの制御端子に該第 2 のトランジスタを制御する第 1 のパルスを加え、該第 2 のトランジスタにつながり前記第 1 のパルスとは反対極性の第 2 のパルスを制御端子に加える複数の第 3 のトランジスタを持つことを特徴とする請求項 1 記載の高周波増幅回路。

10

【請求項 3】

前記第 3 のトランジスタは、前記第 2 のトランジスタとは反対極性のトランジスタであることを特徴とする請求項 2 記載の高周波増幅回路。

【請求項 4】

前記複数の容量素子は、バイナリーで容量値が異なる複数の容量素子であることを特徴とする請求項 1 記載の高周波増幅回路。

【請求項 5】

前記第 1 のトランジスタは、制御端子を交流的に接地したトランジスタであることを特徴とする請求項 1 記載の高周波増幅回路。

【請求項 6】

前記第 1 のトランジスタと前記インダクタンス素子と前記複数の容量素子と前記複数のスイッチとで構成される回路が 2 系統有り、位相が概ね 180 度異なる 2 つの信号を該 2 系統の回路にそれぞれ入力することを特徴とする請求項 1 記載の高周波増幅回路。

20

【請求項 7】

前記 2 系統の回路がさらに 2 組有り、これら 2 組の回路の出力を切り換えるスイッチを持つことを特徴とする請求項 6 記載の高周波増幅回路。

【請求項 8】

前記第 1 のトランジスタと前記インダクタンス素子と前記複数の容量素子と複数のスイッチとで構成される回路が 2 組有り、これら 2 組の回路の出力を切り換えるスイッチを持つことを特徴とする請求項 1 記載の高周波増幅回路。

30

【請求項 9】

前記第 1 のパルスと前記第 2 のパルスを生成する差動構成の電流モードロジックを持つことを特徴とする請求項 2 記載の高周波増幅回路。

【請求項 10】

前記第 1 のパルスと前記第 2 のパルスを入力信号の周波数ホッピングに同期して生成する、パルス生成回路を持つことを特徴とする請求項 2 記載の高周波増幅回路。

【請求項 11】

前記第 2 のトランジスタは N M O S トランジスタ、前記第 3 のトランジスタは P M O S トランジスタであることを特徴とする請求項 2 記載の高周波増幅回路。

【請求項 12】

第 4 のトランジスタに負荷としてつながり、共振周波数が入力信号に同期して変化する共振回路を持つことを特徴とする高周波増幅回路。

40

【請求項 13】

第 5 のトランジスタにつながり、入力信号に同期して制御を加える制御端子を持つ整合回路を持つことを特徴とする高周波増幅回路。

【請求項 14】

第 6 のトランジスタにつながり、入力信号に同期して制御を加える制御端子を持つフィルタを持つことを特徴とする高周波増幅回路。

【請求項 15】

第 7 のトランジスタに負荷として接続された、容量と複数インダクタンスとインダクタ

50

ンスに接続された複数のスイッチを持つことを特徴とする高周波増幅回路。

【請求項 16】

第 8 のトランジスタに負荷としてつながり、入力信号に同期して電圧や電流によって制御されるインダクタンスを持つことを特徴とする高周波増幅回路。

【請求項 17】

第 9 のトランジスタに負荷としてつながり、入力信号に同期して電圧や電流によって制御される容量を持つことを特徴とする高周波増幅回路。

【請求項 18】

ゲート接地で動作するトランジスタと、該トランジスタのゲートと電源との間に接続された第 1 のインダクタと、前記トランジスタのドレインに接続された負荷とを持つことを特徴とする高周波増幅回路。

10

【請求項 19】

前記第 1 のインダクタのインダクタンスは 0.5 nH から 2 nH の間であることを特徴とする請求項 18 記載の高周波増幅回路。

【請求項 20】

高速に周波数をホッピングさせる通信を行い、トランジスタに負荷として接続された、インダクタンス素子と複数の容量素子と該複数の容量素子に接続された複数のスイッチとを持つ高周波増幅回路を持つことを特徴とする無線通信システム。

【請求項 21】

増幅回路につながり、入力信号に同期して制御を加える制御端子を持つフィルタを有し、該フィルタはインダクタンス素子と複数の容量素子と該複数の容量素子に接続された複数のスイッチを有し、該スイッチとして第 10 のトランジスタを使用し、該第 10 のトランジスタの制御端子に該第 10 のトランジスタを制御する第 3 のパルスを加え、第 10 のトランジスタにつながり前記第 3 のパルスとは反対極性の第 4 のパルスを制御端子に加える複数の第 11 のトランジスタを有することを特徴とする高周波増幅回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は高周波信号を増幅する増幅回路に関し、特に広い周波数帯域にわたって増幅を行う広帯域高周波増幅回路に関する。本発明にかかる高周波増幅回路は、広帯域増幅回路として、高い伝送レートが要求される無線通信、有線通信のいずれにも適用され得る。

30

【背景技術】

【0002】

近年、無線通信においては広帯域通信が必要とされ、IEEE 802.11a 規格などでは 54 Mbps の広帯域通信が実用化されている。さらに近年、IEEE 802.15.4、TG3a 規格において、 1 Gbps クラスの無線通信であるウルトラワイドバンド (UWB) の規格策定が行われている。このような無線通信では、シャノンの法則から無線伝送に必要とされる占有周波数帯域は非常に広いものとなり、例えば UWB では 3.1 GHz から 10.6 GHz にわたる広い周波数帯域を使用する (例えば非特許文献 1 参照)。

40

しかし、下限の周波数の約 3 倍の周波数、つまり 3 オクターブにわたる広帯域無線通信は、今まで存在しなかった。

【0003】

例えばマルチバンド方式と呼ばれる UWB 無線では、図 25 に示すように、 3.1 GHz から 10.6 GHz までの周波数を例えば 8 個に分割し、8 個の周波数のそれぞれが 500 MHz 程度の帯域を持ち、8 個の周波数を順次高速にホッピングさせることで広い帯域をカバーする構成を持つ。

【0004】

このような広い周波数にわたる信号を増幅する回路として、抵抗整合増幅回路、負帰還増幅回路、進行波増幅回路等の例が知られている (例えば、非特許文献 2 参照)。

50

、抵抗整合回路は雑音指数 (NF) が増大する問題があり、負帰還増幅回路はNFの増大とゲインの低下の問題があり、進行波増幅回路は分布線路のサイズが増大する問題がある。

【0005】

一方、MOSFETゲートやバイポーラトランジスタのベースなど制御端子を接地する、いわゆるゲート接地回路や、ベース接地回路は、入力整合を容易にとりやすい利点がある(例えば、非特許文献3参照)。

【0006】

さらに、図26に示すように、インダクタとコンデンサをトランジスタの負荷にして、バンドパス特性を持たせた増幅回路の例が知られている(例えば、非特許文献4)。この例では、コンデンサC1としてバラクタを用いて、バンドパス特性の中心周波数がプロセスばらつきによって変動するのに対応して、容量値を変化させてチップごとに中心周波数を合わせる構成を持つ。

10

【非特許文献1】「日経エレクトロニクス」 2003年3月31日号(30~31頁)

【非特許文献2】高山による「マイクロ波トランジスタ」、電子情報通信学会(164~174頁、184~192頁)

【非特許文献3】A. Rofougaranによる「A 1GHz CMOS RF front-end IC for a direct-conversion wireless receiver」 IEEE journal of Solid-State Circuits (Volume 31 Issue 7, July 1996, 880~889頁)

20

【非特許文献4】Y. Changによる「A front-end filter with automatic center frequency tuning circuitry」 Southwest Symposium on Mixed-Signal Design (2001, 28~31頁)

【発明の開示】

【発明が解決しようとする課題】

【0007】

3.1GHzから10.6GHzにわたるような広帯域を低ノイズで増幅する場合、抵抗整合増幅回路、負帰還増幅回路、進行波増幅回路は上述したNFの増大や、ゲインの低下、サイズの増大の問題がある。

30

【0008】

ゲート接地回路やベース接地回路は、入力整合をとりやすい利点があるが、負荷特性やトランジスタ特性などの広帯域化にそのまま結びつくわけではない。

【0009】

さらに図26の例は、バンドパス中心周波数のプロセスばらつきに対応するものであり、広帯域化の目的や広帯域化に関わる構成を持つものではなく、広帯域化に関わる問題を解決するものではない。

【0010】

本発明の主な目的は、増幅回路の広帯域化にあり、しかも低いNFで、小さなサイズ、少ない消費電力のローノイズアンプ(LNA)を実現することにある。

40

【課題を解決するための手段】

【0011】

本発明による高周波増幅回路は、トランジスタの負荷として例えばインダクタとコンデンサとからなる共振回路を使用して、コンデンサは複数のコンデンサをスイッチで切り換える構成を持ち、共振周波数を入力信号の周波数ホッピングに合わせて変化させる。スイッチの切り換え時に生じるリングングをキャンセルするために、ゲートフィードスルーをキャンセルするトランジスタをスイッチに付加する。高域でのゲインの低下やNFの上昇を抑制するためにゲートにインダクタンス素子を設ける。

【0012】

50

本発明によればまた、第1のトランジスタに負荷として接続された、インダクタンス素子と複数の容量素子と該複数の容量素子に接続された複数のスイッチとを持つことを特徴とする高周波増幅回路が提供される。

【0013】

本高周波増幅回路は、前記複数のスイッチとして第2のトランジスタを使用し、該第2のトランジスタの制御端子に該第2のトランジスタを制御する第1のパルスを加え、該第2のトランジスタにつながり前記第1のパルスとは反対極性の第2のパルスを制御端子に加える複数の第3のトランジスタを持つことを特徴とする。

【0014】

本高周波増幅回路は、前記第3のトランジスタは、前記第2のトランジスタとは反対極性のトランジスタであることを特徴とする。 10

【0015】

本高周波増幅回路においては、前記複数の容量素子は、バイナリーで容量値が異なる複数の容量素子であることを特徴とする。

【0016】

本高周波増幅回路においては、前記第1のトランジスタは、制御端子を交流的に接地したトランジスタであることを特徴とする。

【0017】

本高周波増幅回路においては、前記第1のトランジスタと前記インダクタンス素子と前記複数の容量素子と前記複数のスイッチとで構成される回路が2系統有り、位相が概ね180度異なる2つの信号を該2系統の回路にそれぞれ入力することを特徴とする。 20

【0018】

本高周波増幅回路においては、前記2系統の回路がさらに2組有り、これら2組の回路の出力を切り換えるスイッチを持つことを特徴とする。

【0019】

本高周波増幅回路においては、前記第1のトランジスタと前記インダクタンス素子と前記複数の容量素子と複数のスイッチとで構成される回路が2組有り、これら2組の回路の出力を切り換えるスイッチを持つことを特徴とする。

【0020】

本高周波増幅回路においては、前記第1のパルスと前記第2のパルスを生成する差動構成の電流モードロジックを持つことを特徴とする。 30

【0021】

本高周波増幅回路においては、前記第1のパルスと前記第2のパルスを入力信号の周波数ホッピングに同期して生成する、パルス生成回路を持つことを特徴とする。

【0022】

本高周波増幅回路においては、前記第2のトランジスタはNMOSトランジスタ、前記第3のトランジスタはPMOSトランジスタであることを特徴とする。

【0023】

本発明によれば更に、第4のトランジスタに負荷としてつながり、共振周波数が入力信号に同期して変化する共振回路を持つことを特徴とする高周波増幅回路が提供される。 40

【0024】

本発明によれば更に、第5のトランジスタにつながり、入力信号に同期して制御を加える制御端子を持つ整合回路を持つことを特徴とする高周波増幅回路が提供される。

【0025】

本発明によれば更に、第6のトランジスタにつながり、入力信号に同期して制御を加える制御端子を持つフィルタを持つことを特徴とする高周波増幅回路が提供される。

【0026】

本発明によれば更に、第7のトランジスタに負荷として接続された、容量と複数インダクタンスとインダクタンスに接続された複数のスイッチを持つことを特徴とする高周波増幅回路が提供される。

【0027】

本発明によれば更に、第8のトランジスタに負荷としてつながり、入力信号に同期して電圧や電流によって制御されるインダクタンスを持つことを特徴とする高周波増幅回路が提供される。

【0028】

本発明によれば更に、第9のトランジスタに負荷としてつながり、入力信号に同期して電圧や電流によって制御される容量を持つことを特徴とする高周波増幅回路が提供される。

【0029】

本発明によれば更に、ゲート接地で動作するトランジスタと、該トランジスタのゲートと電源との間に接続された第1のインダクタと、前記トランジスタのドレインに接続された負荷とを持つことを特徴とする高周波増幅回路が提供される。 10

【0030】

本発明によれば更に、前記第1のインダクタのインダクタンスは0.5 nHから2 nHの間であることを特徴とする請求項18記載の高周波増幅回路が提供される。

【0031】

本発明によれば更に、高速に周波数をホッピングさせる通信を行い、トランジスタに負荷として接続された、インダクタンス素子と複数の容量素子と該複数の容量素子に接続された複数のスイッチとを持つ高周波増幅回路を持つことを特徴とする無線通信システムが提供される。 20

【0032】

本発明によれば更に、増幅回路につながり、入力信号に同期して制御を加える制御端子を持つフィルタを有し、該フィルタはインダクタンス素子と複数の容量素子と該複数の容量素子に接続された複数のスイッチを有し、該スイッチとして第10のトランジスタを使用し、該第10のトランジスタの制御端子に該第10のトランジスタを制御する第3のパルスを加え、第10のトランジスタにつながり前記第3のパルスとは反対極性の第4のパルスを制御端子に加える複数の第11のトランジスタを有することを特徴とする高周波増幅回路が提供される。

【発明の効果】

【0033】

本発明により得られる効果として、以下の6つがあげられる。 30

【0034】

第1の効果は、ゲイン特性がバンドパス特性を持ち、所望の周波数のゲインを高くすることができ、それ以外の周波数におけるゲインを低下させることができる。しかも共振周波数(中心周波数)を高速に変化させることができる。

【0035】

第2の効果は、反射特性 S_{11} を広帯域にわたって小さくできることである。

【0036】

第3の効果は、NFを3程度の低い値にすることができることである。

【0037】

第4の効果は、このような高いゲインや低いNFを小さな回路面積で実現できることである。 40

【0038】

第5の効果は、このような優れた特性が5 mW程度の低い消費電力で得られることである。

【0039】

第6の効果は、本発明による広帯域LNAを用いることで、小型で低消費電力で低BERで与干渉や被干渉に強い通信システムが実現できる。

【発明を実施するための最良の形態】

【0040】

図1は本発明の第1の実施の形態の高周波増幅回路のコア部の回路図である。トランジスタ(M7)107は、ゲートを接地したトランジスタであり、ゲート接地型回路を構成している。なお、トランジスタ107としてバイポーラトランジスタを使用してベース端子を接地し、ベース接地型回路を構成することもできる。トランジスタ107のソース端子には入力信号を入力する。インダクタ118は直流のバイアス電流のパスを作るために、ソース端子と接地との間に接続されており、交流的にはインピーダンスが無視できる程度に大きくすることが好ましい。なお、インダクタ118としてワイヤボンディングのインダクタンス素子を利用することもできる。バイアス電圧119はトランジスタ107に流れるバイアス電流を決定する。トランジスタ107は、好ましくは5極管領域で動作するようにバイアス電流やドレイン電圧を決定する。バイアス電圧119の生成のために、一般のアナログ回路で行われるミラー回路を構成することは当然可能である。

10

【0041】

トランジスタ107のドレイン端子には、インダクタ117と複数のコンデンサ(C1~C3)108~110とが接続される。複数のコンデンサの数は3個に限らず任意の値をとることができる。これらのインダクタ117とコンデンサ群は、バンドパス特性を持つ負荷の役割を持つ。インダクタ117の他端は電源(V5)120に接続され、バイアス電流がインダクタ117を介して電源(V5)120から供給される。インダクタ117のQ値は、 L/R で表され、Q値が大きいほどバンドパス特性がシャープとなる。トランジスタ107のドレイン端子から増幅された信号を取り出す。

【0042】

コンデンサ108~110は、選択されるかどうかをトランジスタ101~103と、選択信号111~113によって選択する。トランジスタ(M1~M3)101~103は、MOSFETであってもバイポーラトランジスタであっても良い。いずれにしてもオン抵抗が小さく、寄生容量が小さいことが好ましく、MOSFETを使用する場合、オン抵抗の小さいNMOSが好ましい。

20

【0043】

選択信号111~113はトランジスタ101~103をオン、オフさせるパルス信号である。トランジスタ101~103のドレイン端子はコンデンサ108~110にそれぞれつながり、ゲート端子は選択信号111~113にそれぞれつながり、ソース端子は接地端子につながる。トランジスタ101~103のオン抵抗とコンデンサ108~110の容量によってもQ値が定まり、Q値は $1/CR$ で表される。この場合もQ値が大きいほどバンドパス特性がシャープとなる。コンデンサ108~110の選択を任意に切り換えることによって、8種類の容量値を得ることができ、インダクタ117とこの容量値で決まる共振周波数として8種類を得ることができる。

30

【0044】

この例では複数のコンデンサを並列につなぎ、各コンデンサに直列にスイッチを接続している。しかし、図24のように、複数のコンデンサ2401~2403を直列につなぎ、スイッチ2404~2406をコンデンサ2401~2403にそれぞれ並列に接続することでも複数の容量を得ることができる。

【0045】

インダクタはインダクタンスを持つことが本質であり、インダクタンスを持つ他の素子を使用することもできる。コンデンサも容量(キャパシタ)を持つことが本質であり、容量を持つ他の素子を使用することもできる。

40

【0046】

トランジスタ101~103のゲートに加わる選択信号111~113のパルス電圧によって、トランジスタ101~103のドレイン端子やトランジスタ107のドレイン端子にはゲートフィードスルーによってリングングが発生する。トランジスタ(M4~M6)104~106と選択信号114~116は、このリングングを抑制するための回路であり、トランジスタ101~103に接続される。

【0047】

50

より具体的には、好ましくはトランジスタ104～106はトランジスタ101～103と反対極性のトランジスタ（つまり、101～103がNMOSであれば104～106はPMOS）であり、チャンネル長Lはトランジスタ101～103と同一であり、チャンネル幅Wはトランジスタ101～103より小さい。トランジスタ104のソース端子とドレイン端子はトランジスタ101のドレイン端子につながり、トランジスタ104のゲート端子は選択信号114につながる。トランジスタ105や106も同様にしてトランジスタ102や103にそれぞれつながる。

【0048】

選択信号114～116は、それぞれ選択信号111～113と反対極性のパルス信号である。例えば、選択信号111～113が立ち上がる時、選択信号114～116は立ち下がる。立ち上がり（または立ち下がり）の変化開始時間と変化終了時間は、選択信号111と114で可能な限り等しいことが好ましい。選択信号112と115、選択信号113と116も同様である。

10

【0049】

コンデンサ108～110の容量値は同じにすることもできれば、異なる容量値にすることもできる。異なる容量値にする場合、バイナリーで容量値が変化するように設定することが好ましい。例えばコンデンサ108の容量値をC0として、コンデンサ109はC0/2、コンデンサ110はC0/4に設定する。

【0050】

図2(a)は図1のコア部分とその周辺を含めた好ましい実施の形態を表すブロック図である。LNAコア(1)202とLNAコア(2)206は、図1の回路を表す。LNAコア(1)202とLNAコア(2)206で位相が180°異なる信号を扱う差動構成となっている。差動構成とすることで、スイッチの切り換え時に生じるリングングをさらに抑制することができる。

20

【0051】

アンテナなどからの信号は、マイクロストリップ線路やCPW(coplanar waveguide)線路を介してVin+とVin-端子に入力される。マッチング回路(1)201やマッチング回路(2)205は、これら伝送線路の特性インピーダンスとの整合をとるための回路である。このような整合回路の例は、非特許文献2に開示されている。

30

【0052】

図1のコア部の入力インピーダンスは、図1がゲート接地回路を構成しているため、約 $1/gm7$ で表される値となる（ここで $gm7$ はトランジスタ107の相互コンダクタンスを表す）。この相互コンダクタンス gm を適切な値に設定することにより任意の特性インピーダンスに整合させることが可能であり、マッチング回路(1)201やマッチング回路(2)205を省略することが可能である。例えば50Ωの特性インピーダンスに整合させる場合、 $gm7$ を約20mSに設定すればよい。

【0053】

バッファ(1)203、バッファ(2)207は、LNAコア(1)202、LNAコア(2)206の出力端に必要とされる低容量を実現するための回路であり、図16に示すようなソースフォロワが好ましい構成として考えられる。LNAコア(1)202、LNAコア(2)206の出力端に低容量化が必要なのは、コンデンサ108～110がすべてオフしたときに存在するトランジスタ107のドレイン端子の寄生容量を低下させるためである。この寄生容量を低下させることで、共振周波数を高い周波数まで持つことが可能となる。

40

【0054】

図16において、トランジスタ1601は、ゲート端子に信号を入力してソース端子から信号を出力する。ソース端子に接続する負荷(1)1602として、抵抗や定電流源が考えられる。ソースフォロワはミラー効果が生じないため入力容量を低容量化することが可能であり、このような目的に適している。このバッファに必要とされるバイアス電流は

50

、主としてバッファに要求されるノイズレベルによって決定される。しかし、LNAコア(1)202、LNAコア(2)206において15～25dB程度のゲインが得られて信号が増幅されるため、要求されるノイズレベルは緩和され、バイアス電流を下げることができる。

【0055】

マッチング回路(3)204やマッチング回路(4)208は、出力の線路に整合をとる必要がある場合に用いる。この差動LNAを送信器の最終段に用いる場合など、伝送線路との整合が必要になる場合がある。特にUWB送信機の出力振幅は小さいため、このようなLNAをPA(Power Amplifier)として用いることができる。

【0056】

図2(b)は、図2(a)の差動LNAを2つ用いて、交互に切り換えて使用する場合のブロック図である。共振周波数の切り換え後、振幅が安定するまでに500ps程度の時間がかかり、この時間が問題となるシステムに対して適用できる。スイッチ213は入力信号を切り換えるためのスイッチであり、選択信号によって差動入力信号Vin+、Vin-を差動LNA(1)211か差動LNA(2)212につなぐ。スイッチ214は差動LNA(1)211と差動LNA(2)212からの差動出力信号のどちらかを選択信号によって出力端子Vout+、Vout-につなぐ。

【0057】

図2(c)は、図2(b)と同様の目的で使用するが、スイッチを(マッチング回路+バッファ)に置き換えた図である。このマッチング回路の部分で整合がとれれば、入力をスイッチで切り換える必要はない。マッチング回路と差動LNAとの接続によって両者の特性に影響が出ないようにバッファを用いている。

【0058】

図3(a)は図2(a)と同様に図1のコア部分とその周辺を含めた好ましい実施の形態を表すブロック図である。図3(a)では、図2(a)とは異なり、単相(single-ended)の信号を扱う。本形態は、リングングの影響が比較的許されるシステムに用いることができる。図3(b)は、図2(b)と同様に、2つのLNAを交互に切り換えて使用する。図3(c)は図2(c)と同様に、図3(b)のスイッチを(マッチング回路+バッファ)317に置き換えた構成である。

【0059】

図4は、選択信号111、114の発生回路の例である。この例では差動構成の電流モードロジック(CML)を用いている。選択信号111、114は、前述したように、同じタイミングで動作することが好ましい。この例ではCMLなどの差動回路構成のPLLなどで発生した基準クロックから、同様に差動構成の制御回路によって選択信号111、114に必要なタイミングを作り出している。CMLはトランジスタ401、402、負荷(1)404、負荷(2)405、電流源403によって構成される。負荷(1)404、負荷(2)405として抵抗やインダクタ、トランジスタを用いることができる。インバータ406、407はCMLレベルの振幅をCMOSレベルに変換するために用いる。

【0060】

図5は本発明による高周波増幅回路の動作を示すタイミング図である。このタイミング図によれば、高周波増幅回路は前述したマルチバンド方式に対応できるように動作する。f0からf7はアンテナから入ってくる信号電圧を周波数ごとに分けて描いたもので、例えば最初に周波数f0の信号がきた後、周波数f1にホッピングするというように、順次周波数f7までホッピングして、最初の周波数f0に戻るの動作を繰り返す。各信号は、例えば時間t0のかたまりを4個つなげた波形を持ち、この時間t0によって各信号の占有周波数帯域が決まる。例えば、t0が3ns程度であると、各信号の占有周波数帯域BWは500MHz程度となる。8個の周波数信号によって4GHz程度の周波数をカバーする。

【0061】

10

20

30

40

50

図5のV1～V3、V1B～V3Bは、図1で説明したパルス電圧のタイミングを表す。この例では、周波数f0の信号がきたときにV1～V3をハイレベルにしてコンデンサ108～110が負荷としてつながるようになっている。つまり、トランジスタ101～103が全てオンする。コンデンサ108～110の合成容量とインダクタ117のインダクタンスによって決まる共振周波数をf0近傍にあるように設定しておくことにより、図1のLNAは入力信号f0を高いゲインで増幅し、それ以外の周波数をLC回路の特性に応じて減衰させることができる。

【0062】

同様に、周波数f1の信号がきたときにこの例ではV1とV2をハイレベルにして、V3をローレベルにしている。つまり、トランジスタ101と102をオンにしてコンデンサ108と109を負荷としてつないでいる。トランジスタ103はオフとなり、コンデンサ110の他端はハイインピーダンスとなるので、コンデンサ110は負荷としてつながらない。コンデンサ108と109の合成容量とインダクタ117のインダクタンスによって決まる共振周波数をf1近傍にあるように設定しておけば、図1のLNAは入力信号f1を高いゲインで増幅し、それ以外の周波数をLC回路の特性に応じて減衰させることができる。

10

【0063】

図5のタイミングはコンデンサ108～110がバイナリーで容量値が重み付けされていることを仮定しており、V1からV3のハイ、ローを変えることで8種類の周波数に順次共振することができる。共振周波数fはコンデンサ108～110と寄生容量で決まる容量Cとインダクタ117のインダクタンスLから、以下の式で与えられる。

20

【0064】

$$f = 1 / (2 \sqrt{LC})$$

この式から、例えばコンデンサ108～110の選択によって容量Cを直線的に変えられたとしても、周波数fは直線的には変化しないことがわかる。周波数f0～f7がある周波数刻みで直線的に変化する仕様である場合、コンデンサ108～110の選択では正確に対応できない場合があるが、バイナリー容量の数をさらに増やすことで任意の周波数に対応させることが可能である。さらに、LC回路のQ値を比較的低い値に設定しておけば、LC回路で決まるバンドパス特性は比較的ブロードなものになる。つまり、入ってくる信号の周波数に共振周波数を正確に合わせなくとも入力信号の増幅は高いゲインで行うことができる。

30

【0065】

入力信号のホッピングと、共振周波数のホッピングとの同期をとる方法として、通信規格で以下のような仕様を設定することで実現できる。

【0066】

例えば図5の周波数f0をピーコンとして決めて、同期が得られる前はこの周波数f0を待ち受けの周波数として用いる。周波数f0での交信で双方のPLLや基準周波数の同期が得られたら、ホッピングを開始する。ホッピングパターンはあらかじめ決めておくか、ピーコンでの交信で決定することもできる。ホッピングを行うことで周波数ダイバーシチ効果が得られるほか、異なるホッピングパターンによるマルチアクセスを可能にするほか、マルチパス耐性を高めるなどの効果がある。

40

【0067】

図5のV1B～V3BはV1～V3とは逆極性とする。例えばV1がローからハイに変化するときV1Bはハイからローに変化する。これによってパルス電圧のフィードスルーによるリングングの発生を抑制することができる。

【0068】

図6は図1においてトランジスタ104～106が無い場合のリングングの発生の様子を示したものである。図6(a)のトランジスタM1(図1のトランジスタ101)のドレイン-ゲート間には寄生容量Cgdnが存在する。トランジスタM1のゲート端子に加えるパルスV1の立ち上がり時には、パルスV1が寄生容量Cgdnを介してドレイン端

50

子に現れる。このドレイン端子での振幅は、ドレイン端子につながるコンデンサ 108 と寄生容量 C_{gdn} によって分圧され、パルス V_1 そのものの振幅よりかなり小さくなるが、図1の端子 Out_{122} には、図6(b)の信号 Out のような大きなリングングが現れる。このリングングの振幅はパルス V_1 の振幅、寄生容量 C_{gdn} の容量値、容量 C_1 の値によって決まるが、このケースでは数十 mV に達している。パルス V_1 の立ち下がり時にも図6(b)のように同様のリングングが発生している。

【0069】

図7は図1においてトランジスタ $104 \sim 106$ がある場合のリングングの抑制の様子を示している。図7(a)のように、トランジスタ M_4 (図1のトランジスタ 104)のドレイン-ゲート間には寄生容量 C_{gdp} が、ソース-ゲート間には寄生容量 C_{gsp} が存在する。このトランジスタ M_4 のゲート幅 W を適切に選ぶことで、パルス電圧 V_1 によるトランジスタ M_1 のドレイン端子へのフィードスルーを抑制することができる。具体的には、パルス電圧 V_1 と寄生容量 C_{gdn} によってドレイン端子から引き抜かれる電荷量が決定される。この電荷量と、寄生容量 C_{gdp} 、 C_{gsp} の合成容量とパルス電圧 V_1B の振幅で決定される注入電荷量とを合わせてやれば良い。

10

【0070】

図7(b)はパルス V_1 が立ち上がりの時の出力端子 Out におけるリングング抑制の様子を示したものである。パルス V_1 が立ち上がり、寄生容量 C_{gdn} を通じてトランジスタ M_1 のドレイン端子に電荷が注入される。これと同時に電圧 V_1B が立ち下がり、合成容量を通じてドレイン端子から電荷が引き抜かれる。この注入される電荷と引き抜かれる電荷をほぼ合わせているため、ドレイン端子の電荷の変動を抑制することができており、端子 Out におけるリングングの発生を抑制することができている。

20

【0071】

上記原理に基づいて、パルス V_1 の立ち上がり始める時間、電圧が変化している間の dV/dt (電圧の時間微分)の絶対値、立ち上がりが終わって安定する時間と、パルス電圧 V_1B が立ち下がり始める時間、 dV/dt の絶対値、立ち下がり終わる時間はそれぞれ合わせることが好ましい。

【0072】

さらに、トランジスタ M_1 と M_4 (トランジスタ 101 と 104)は反対極性のトランジスタであることが好ましい。つまり、トランジスタ M_1 が $NMOS$ タイプである場合、トランジスタ M_4 は $PMOS$ タイプであることが好ましい。これは、パルス V_1 が立ち上がるとき、トランジスタ M_1 がオフ状態からオン状態に移行すると、トランジスタ M_4 の状態変化を合わせることが好ましいからである。つまり、パルス電圧 V_1B は立ち下がり、 $PMOS$ タイプのトランジスタ M_4 にとってもオフ状態からオン状態に移行する。電荷の移動(注入又は引き抜き)が、トランジスタのオン、オフの状態によって変わるため、このような現象が生じる。

30

【0073】

トランジスタ M_1 と M_4 で同一極性のトランジスタを使用すると、電圧遷移の時に、トランジスタ M_1 がオフの時にトランジスタ M_4 はオンとなり、トランジスタ M_1 がオフの時にトランジスタ M_4 はオンとなる。この場合、オン状態にあるトランジスタの方が寄生容量が大きくなり、電荷の移動が多くなるため、電圧遷移の前半では例えばプラスの電荷が注入され、後半ではマイナスの電荷が注入されるという現象が起こる。

40

【0074】

図7(c)はパルス電圧 V_1 が立ち下がり、パルス電圧 V_1B が立ち上がる時の端子 Out のリングングの抑制の様子を示している。この場合もトランジスタ M_1 による電荷の引き抜きとトランジスタ M_4 による電荷の注入はほぼ等しくなり、端子 Out のリングングの発生は抑制されている。

【0075】

トランジスタ M_4 のドレイン端子とソース端子をつないでいるため、トランジスタ M_4 のチャンネル長 L とチャンネル幅 W の積 $L \cdot W$ は、トランジスタ M_1 の積 $L \cdot W$ の $1/2$ あた

50

りに最適な値があるが、その前後は使用可能であり、1より小さい値に設定することで好ましい結果を与える。

【0076】

前述したように、コンデンサ108のオン、オフを行うトランジスタM1（トランジスタ101）のオン抵抗は小さいことが望ましく、トランジスタM1はNMOSタイプであることが望ましい。この場合、トランジスタM1のオン時にコンデンサは接地につながる。インダクタ117は電源120側につながるため、接地と電源の間に高周波信号をバイパスするデカップリングコンデンサをつなぐことが好ましい。

【0077】

以上のようにして、図7（b）、図7（c）に示すように、端子Outのリングングは数mVに抑えられる。 10

【0078】

このリングングは、図2に示した差動構成によってさらに1/10以下に抑えられる。

【0079】

図8（b）は差動構成（図2（a））にした場合の各スイッチ切り換え時の端子Outの無信号時の波形を示している。リングングはわずかに発生しているものの、100μV以下の振幅に抑えられている。

【0080】

図8（a）は-70dBmの信号をLNAの入力に加えた場合の端子Outの波形を示している。入力信号は、図5に示すように、f0～f7にわたって順次ホッピングしており、LNAのスイッチ設定はf6あたりに共振周波数が得られるように設定してある。f6あたりに最高振幅が得られており、他の周波数ではf6から離れるにつれて振幅は減少しており、バンドパスフィルタ特性が得られている。 20

【0081】

図8（a）に示すように、トランジスタM1～M3（トランジスタ101～103）の選択を切り換えてから振幅が安定するまでに最長500ps程度の時間がかかっている。瞬時に立ち上げることは有限の上限周波数を持っているLNAにとっては困難でこのような時間がかかっている。但し、これは、UWBでは図5に示すように、時間t0を持つ一つの信号の固まりにはコサインなどの窓関数がかかっており、瞬時に振幅が立ち上がる必要性はない。この安定化までの時間や、図8（b）のわずかなリングング残りに問題がある場合、図2（b）や図2（c）に示すような2系統のLNAを切り換える構成を採用することもできる。 30

【0082】

図9（a）はこのLNAのゲイン特性S21と反射特性S11を表す。トランジスタ101～103の8種類のオン、オフ状態を順次変えた場合についてプロットされている。例えばst1はトランジスタ101～103を全てオンにしてコンデンサ108～110を全て負荷としてつないで合成容量を最大にした場合である。共振周波数は3.5GHz程度となり、この周波数でのゲインは15dB程度の高いゲインが得られている。ゲインの周波数特性はバンドパス特性を持っており、共振周波数をピークに共振周波数から離れるにつれて減衰する。 40

【0083】

反射特性もst1に注目すると、3.5GHzあたりで-38dB程度のピークとなり、そこから離れるにつれて上昇する。上昇しても-20dB程度以下には収まっている。これは、入力整合が基本的には1/gmによって例えば50Ω付近に合っているためで、ドレイン端子のインピーダンスの変化によってピーク特性が現れるのみである。

【0084】

同様にしてst1～st8はトランジスタ101～103のオン、オフを制御して、コンデンサ108～110の選択を制御して、合成容量を順次低下させていっている。st1～st8ではゲインの共振周波数が順次変わっていき、バンドパス特性の中心周波数が順次高周波側へシフトしていき、バンドパス特性全体が高周波側へシフトし 50

ていっている。s t 8では共振周波数(中心周波数)として7GHz、ピークゲインとして19dB程度が得られている。

【0085】

本発明の特徴はs t 1~s t 8の中心周波数の移動が10ns程度の短い時間でできることである。

【0086】

図9(b)の反射特性S₁₁のスミスチャートは、1~10GHzの周波数でs t 1~s t 8をプロットしたもので、特性インピーダンス(この場合は50Ω)にほぼ整合している。トランジスタ107のトランジスタとして、0.18μmプロセス、NMOSタイプ、W/L=63μm/0.18μmを使用して、バイアス電流として1.4mA程度を流すと1/gmが50程度となり、このような整合が得られる。

10

【0087】

図9(c)は雑音指数(NF)をs t 1~s t 8に関してプロットしたものである。どの設定でも3~4GHzあたりを最低にして、その周波数から離れるにつれてNFは上昇していく。s t 8の設定に近づくほど、高周波側での上昇は緩やかなものとなる。3.5GHzあたりの入力信号を増幅する場合、3.5GHzのゲインのピークはs t 1の設定で現れるため、s t 1の設定にすることが好ましい。このときNFは、3.5GHzでs t 1のカーブをみると3.5程度が得られていることがわかる。7GHzあたりの信号を増幅する場合、同様にゲイン特性からs t 8の設定にすることが好ましく、この時s t 8のNFを見ると3.5程度が得られる。

20

【0088】

本発明のメリットを大別すると、以下の5つである。

【0089】

第1に、ゲイン特性がバンドパス特性を持ち、所望の周波数のゲインを高くすることができ、それ以外の周波数におけるゲインを低下させることができる。しかも、共振周波数(中心周波数)を高速に変化させることができる。これは、図5のように高速で周波数をホッピングして広帯域をカバーするUWB通信のLNAとして好ましい結果を与える。

【0090】

つまり、所望の周波数では15dB以上の高いゲインを実現して後段の回路(たとえばミキサ)などのノイズの影響を目立たなくすることができる。UWB通信では、図5における各周波数(サブバンド)の帯域は500MHz程度であるが、図9(a)の緩やかなバンドパス特性によってこの帯域でも15dB以上のゲインを得ることができている。このために共振回路(負荷)のQ値として5~15程度に選ぶことが好ましい。これは、通常のLSIプロセスで容易に実現できる値である。

30

【0091】

さらには、他の通信からの被干渉や他の通信への与干渉を抑制することができる。他の通信には同じUWB通信での端末間の干渉、ピコネット間の干渉なども含まれる。例えば図9(a)のs t 1の設定では3.5GHzのUWB通信などの信号を増幅するが、このとき5GHzの無線LAN(IEEE.802.11a規格など)などの狭帯域通信は、強力な被干渉源となる。この様子を図23に示す。3.5GHzの信号に重畳されてくるわけであり、UWB通信の方のビットエラーレート(BER)特性を低下させたり、リンクバジェット(送受信間の回線の各部分におけるゲインや減衰量のテーブル)を悪化させたりする。さらにはLNAのダイナミックレンジを5GHzの信号の方が占有してLNAを使用不可にさせる(ブロッキング)場合もある。

40

【0092】

図9(a)のs t 1の設定では3.5GHzのゲインに対して5GHzのゲインは10dB程度減衰しており、BERやリンクバジェット、ブロッキングに対して10dB程度の余裕を与えることができる。この余裕は、UWB通信などの仕様によってQ値などを最適化することや、フィルタの段数やフィルタの種類を変えることで変更可能である。

【0093】

50

同時にノイズ帯域を狭めることができ、信号源から入ってくるノイズやトランジスタM1のノイズ、使用しているインダクタの抵抗成分によるノイズなどを抑制することができる。

【0094】

たとえば図9(a)のst1ではピークゲインから3dB減衰する周波数範囲は1GHz程度である。これはノイズの帯域として1GHz程度で済んでいるわけで、例えば3~10GHzの7GHzを単純に増幅するのに対して電力で1/7、つまり-8dB程度ノイズが抑えられることになる。この分さらにBERやリンクバジェットを改善できる。

【0095】

同様に、送信側にこのLNAを使用した場合、所望の周波数を増幅しスプリアスなどの不要成分の送信を抑制することができ、他の通信への与干渉を抑制することができる。 10

【0096】

第2のメリットは反射特性S11を広帯域にわたって小さくできることである。従来のインダクタなどを使った型やT型などのマッチング回路や、トランジスタのソースにインダクタを接続したマッチング回路ではこのような広帯域は難しい。

【0097】

第3のメリットはNFを3程度の低い値にすることができることである。トランジスタM1~M3のオン、オフ(コンデンサC1~C3の選択)によって広い周波数にわたって3程度の低いNFを得ており、UWB通信などにとって十分な特性となる。狭帯域用のLNAにはさらに低いNFを得ている例はあるが、狭帯域のマッチング回路や負荷によって 20
実現できており広帯域には拡張できない。UWBは被干渉やマルチパスによるリンクバジェットの悪化の方が支配的であり、3程度のNFは十分な値となっている。

【0098】

第4のメリットはこのような高いゲインや低いNFを小さな回路面積で実現できることである。そもそも従来例に示したように広帯域にわたって高いゲインと低いNFを小さな回路面積で実現することは困難であった。

【0099】

本発明による回路で大きな面積を必要とするのはインダクタである。しかし、インダクタ118はボンディングワイヤのインダクタンスなどで代用することができ、この場合インダクタ117のみとなる。勿論、インダクタ117もボンディングワイヤで代用すること 30
もできる。数ミクロン角から数十ミクロン角レベルのLNAが可能となる。

【0100】

第5のメリットはこのような優れた特性が2.6mW程度の低い消費電力で得られることである。このとき電源電圧1.8V程度、バイアス電流は1.4mA程度である。UWBは携帯機器でも使用され、可能な限り消費電力を下げる必要があるとされる。

【0101】

図10(a)~図10(c)は、図9の場合と同じ回路構成における特性であるが、トランジスタ107のドレインバイアス電流を2.3mAに増大させた場合である。電流の増大によって相互コンダクタンスgmが増大し、ゲインが増加してNFが低下している。ゲインの増大は、ゲインが相互コンダクタンスgm×負荷インピーダンスで表されるため 40
である。NFの低下は、トランジスタ107で発生するノイズが $8kT/(3gm)$ で表されるためである。ここで、kはボルツマン定数、Tは絶対温度である。相互コンダクタンスgmの増大によって反射特性S11が-10dB程度まで上がってきているが、-10dB程度であれば問題ない。消費電力は4mW程度となる。ゲインは18~22dB程度となる。NFは2.8程度となる。

【0102】

この例のメリットはゲインやNFや線形性(IP3)が改善されることである。消費電力はやや増大するが、消費電力に余裕のあるシステムには使用可能である。また、図9のケースと図10のケースをスイッチなどで切り換えて使用することもできる。これは、トランジスタ107のゲート電圧を切り換えてドレイン電流を切り換えることで行える。チ 50

チャンネル（空間）の状況が変わった場合など、高いゲインや低いNFが必要になった場合に図10の状態に切り換えるなどができる。

【0103】

図11(a)～図11(c)は本発明の他の実施の形態の回路図である。本発明の本質は共振周波数（フィルタ特性の中心周波数）をホッピングさせて広帯域にわたる信号を増幅することであり、また不必要な信号を減衰させることである。このような本質に基づいて図11(a)～図11(c)のような構成も考えられる。

【0104】

図11(a)は図1の概念と類似しており、図1のコンデンサ108～110に代えて可変コンデンサ(C1)1103を設け、その容量値を変化させて共振周波数を高速にホッピングさせる構成である。トランジスタ1101及びその周辺の構成は、図1におけるインダクタ118に対応する素子が無いことを除いて図1と同じである。可変コンデンサ1103の容量値を変化させる方法として、図1のように複数の容量素子をスイッチで切り換える構成のほかに、バラクタを用いてバラクタに加えるDC電圧を変化させて容量値を変化させる方法がある。さらには、電圧ゲインAvを持つトランジスタとそれにつながる容量値Cを持つ素子とからなる構成を用い、等価的に $Av \times C$ の容量値を得るようにする。この場合、バイアス電流を変えるなどして電圧ゲインAvを変化させて等価容量 $Av \times C$ を変化させる方法もある。

【0105】

このような構成として、例えば図17に示すように、トランジスタ(M1)1701の電圧ゲインAvとゲート-ドレイン間容量Cgdを使用する方法がある。この構成では、ゲート（端子In）からみた入力容量は $Av \times Cgd$ で表され、電圧ゲインAvを変えることで入力容量を変化させることができる。電圧ゲインAvはトランジスタ1701の相互コンダクタンスgmと負荷1702のインピーダンスZとの積で表され、 $Av = gm \times Z$ となる。電圧ゲインAvを変えるには、例えばトランジスタ1701のゲート端子にかかるバイアス電圧V1を変化させてドレイン電流を変化させ、相互コンダクタンスgmを変化させることで行える。インダクタ1703は、端子InとV1電源1704とを交流的に絶縁するために用いている。1705はV2電源である。

【0106】

図11(a)の可変コンデンサ1103の一方の端子は接地につながっているが、VD電源に接続することもできる。但し、接地側近くに可変コンデンサ1103があった方が低抵抗のNMOSを使うことができ、Q値の低減など好ましい場合が多い。可変コンデンサによる周波数の制御を広帯域化するには、寄生容量を小さくする必要がある。寄生容量を小さくするにはトランジスタのサイズなどを小さくする必要があるが、トランジスタのオン抵抗が増大する。このトレードオフを改善する上でNMOSタイプのトランジスタが好ましい。

【0107】

図11(b)は図1のインダクタ117に代えて可変インダクタ1107を用い、高速に共振周波数をホッピングさせる構成である。図1のコンデンサ108～110に代えてコンデンサ(C1)1108が設けられ、トランジスタ1101及びその周辺の構成は、図1におけるインダクタ118に対応する素子が無いことを除いて図1と同じである。このような可変インダクタ1107として例えば図18に示すような構成がある。

【0108】

図18(a)は、インダクタ1801～1803を直列につなぎ、各インダクタと並列にそれぞれスイッチ1804～1806をつないだ構成である。インダクタ1801～1803としてバイナリーにインダクタンスの異なる3つのインダクタを使うことで、3つのインダクタで8つのインダクタンス値を得ることができる。

【0109】

図18(b)は、異なるインダクタンスを持つ3つのインダクタ1811～1813を並列につないだものである。各インダクタと直列にそれぞれスイッチ1814～1816

10

20

30

40

50

をつなぎ、各インダクタが選択されるかフローティングになるかを決定する。この場合、3つのインダクタの中から例えばどれか一つのインダクタを選択し、3種類のインダクタンス値を得ることができる。

【0110】

図18(c)は、可変インダクタとしてアクティブインダクタを用いた例である。トランジスタ1821のソース端子をトランジスタ1822のゲート端子につなぎ、さらに電流源1823につなぎ、入力端子Inにもつなぐ。トランジスタ1821のゲート端子はトランジスタ1822のドレイン端子につなぎ、さらに電流源1824につなぐ。これによって、端子Inからみた等価回路は図18(d)のように表される。

【0111】

図18(d)において、インダクタ1831のインダクタンス値は、 $Cgs1 / (gm1 \cdot gm2)$ の式で表され、 $gm1$ や $gm2$ を変化させることでインダクタンスを変化させることができる。ここで、 $Cgs1$ はトランジスタ1821のゲート-ソース間容量、 $gm1$ 、 $gm2$ はそれぞれトランジスタ1821、1822の相互コンダクタンスである。

【0112】

図11(c)は、図11(a)と図11(b)との組み合わせとも言うべき例であり、コンデンサ1113として可変コンデンサを用い、インダクタ1112として可変インダクタを用いた例である。勿論、可変コンデンサや可変インダクタとして図11(a)や図11(b)で説明したものが使用できる。他の要素は、異なる参照番号が付されているが、図11(a)あるいは図11(b)と同じである。可変コンデンサで作れる容量の種類をm、可変インダクタで作れるインダクタンスの種類をnとして、 $m \times n$ 種類の共振周波数を作ることができる。

【0113】

図12(a)は、例えば図11(a)における可変コンデンサ1103を固定容量を持つコンデンサ1203とし、可変インダクタ1204をローサイド(接地側)に設けた例である。前述したように可変インダクタ1204をローサイド側に設けることで低抵抗のNMOSが使用でき、Q値を改善するなど好ましい結果を与える場合がある。インダクタ1202はトランジスタ1201にドレイン電流を供給するためのものであり、VDD電源と交流的に絶縁する役割も持つ。本例ではさらに、トランジスタ1201のドレイン端子と端子Outのラインにコンデンサ1207を接続しており、コンデンサ1207は直流を遮断して交流をつなぐACカップリングの役割を持つ。

【0114】

図12(b)は図12(a)と同様の構成であるが、図12(a)の固定容量コンデンサ1203に対応するコンデンサ1210も可変コンデンサとした場合である。可変インダクタ1211は、図12(a)の可変インダクタ1204に対応し、これら以外の要素は図12(a)に示された要素と同じである。可変コンデンサ1210で作れる容量の種類をm、可変インダクタ1211で作れるインダクタンスの種類をnとして、 $m \times n$ の種類の共振周波数を作ることができる。

【0115】

図13(a)はトランジスタ1301のドレイン端子とV2電源1205との間に接続される負荷1302として共振周波数が変化する可変インピーダンス素子を用いた例である。前述したように、本発明の本質は入力信号の周波数のホッピングに合わせて、共振周波数(または、フィルタ特性の中心周波数やカットオフ周波数)をホッピングさせるものである。負荷1302は等価的にインダクタンスや容量、抵抗などで表される。それ故、これらの特性を高速に切り換えることで共振周波数やフィルタ特性の中心周波数やカットオフ周波数を高速に切り換えることができる。インダクタンスや容量、抵抗などの特性を変化させる方法として、スイッチで切り換える方法や、電圧や電流を変化させる方法などがある。これらの特性を変化させるために、負荷1302に対して制御信号(S1)1303を与える手段を持つ。この例では、トランジスタ1301はゲート接地回路として動

10

20

30

40

50

作している。

【0116】

トランジスタがソース接地回路として動作している例として、図13(b)に示す例がある。トランジスタ1307はソース接地回路として動作している。トランジスタ1307のゲート端子に接続されたマッチング回路1309とソース端子に接続されたマッチング回路1310は、インダクタやコンデンサ等で構成されるマッチング回路であり、入力インピーダンスを50Ωに整合させる。トランジスタ1307のドレイン端子とV2電源1311との間に接続される負荷1308として図13(a)の例と同様に、共振周波数(または、フィルタ特性の中心周波数やカットオフ周波数)が高速に変化する負荷を用いている。

10

【0117】

図13(c)は、図13(b)の構成と類似しているが、トランジスタ1313のゲート端子に接続されたマッチング回路1315とソース端子に接続されたマッチング回路1316の特性を入力信号の周波数ホッピングに合わせて高速に変化させるものである。通常、マッチング回路はインダクタやコンデンサを使用しているため、特性インピーダンスが50Ωなら、50Ωの入力インピーダンスが得られるのは狭帯域においてである。インダクタやコンデンサを使用する構成は低ノイズで高いゲインが得られるが、通常、広帯域にわたって特性を確保することはできない。この構成では、マッチング回路内のインダクタンスや容量や抵抗などの値を変化させることで、入力信号の周波数や帯域に合わせてマッチング回路の特性を変化させている。これらの特性を変化させる方法としては、スイッチで切り換える方法や、電圧や電流を変化させる方法などがある。トランジスタ1313のドレイン端子とV2電源1311との間に接続される負荷1314も図13(a)や図13(b)の負荷1302、1308と同様に、制御信号(S1)1318を導入して入力信号に合わせて特性を変化させるようにしている。

20

【0118】

入力信号と言っているのは、これらLNAに入力される信号であって、何でも良い。無線回路の受信側で言えばアンテナを通じて供給される信号であったり、有線通信の受信側であればケーブルを通じて供給される信号であったり、無線、有線双方の送受信回路の高周波を増幅する場所であればどこでも良い。

【0119】

図14(a)は、トランジスタ1401のドレイン端子と端子Outとの間に接続され、出力インピーダンスと特性インピーダンスを整合するマッチング回路1403の特性を入力信号の周波数や帯域に合わせて変化させる例である。このLNAのチップ外に出力する場合など、出力の伝送線路などとの整合が必要な場合に用いることができる。図13(c)の例と同様に、マッチング回路内のインダクタンスや容量や抵抗などの値を変化させることで、入力周波数に応じた特性のホッピングを行う。トランジスタ1401、負荷1402で構成されるLNAは、例えば広帯域信号を増幅する構成を持っているとする。

30

【0120】

図14(b)は図14(a)と同様の出力整合をソース接地回路において実現する構成例である。つまり、トランジスタ1411のゲート端子と端子Inとの間にマッチング回路1415が接続され、ソース端子と接地との間にはマッチング回路1416が接続されている。そして、トランジスタ1411のドレイン端子と端子Outとの間に接続され、出力インピーダンスと特性インピーダンスを整合するマッチング回路1413の特性を入力信号の周波数や帯域に合わせて変化させる。

40

【0121】

図14(c)はトランジスタ1421のドレイン端子に接続された負荷1422とマッチング回路1424との間に、バッファ1423を接続した例である。バッファ1423は、LNAの高いゲインや、低いNFを最大限に引き出すために必要となる場合が多い。バッファ1423として、図16で説明したような高い入力インピーダンスと、低い出力インピーダンスを持つソースフォロワなどを用いることができる。

50

【0122】

図14(d)は図14(b)と図14(c)との組み合わせとも言うべき例である。つまり、トランジスタ1431のゲート端子と端子Inとの間にマッチング回路1436が接続され、ソース端子と接地との間にはマッチング回路1437が接続されている。そして、トランジスタ1431のドレイン端子と端子Outとの間に接続され、出力インピーダンスと特性インピーダンスを整合するマッチング回路1434の特性を入力信号の周波数や帯域に合わせて変化させる。更に、トランジスタ1431のドレイン端子に接続された負荷1432とマッチング回路1434との間には、バッファ1433が接続されている。

【0123】

図15(a)は、トランジスタ1501、そのドレイン端子に接続された負荷1502及びバッファ1504で構成される広帯域LNAに、フィルタ特性が高速で変化するフィルタ1505をつないだ例である。つまり、バッファ1504と端子Outの間にフィルタ1505を接続している。フィルタ1505として、バンドパス特性の中心周波数が高速でホッピングするものや、ハイパス特性やローパス特性のカットオフ周波数が高速にホッピングするものを用いることができる。本例でも第1の実施の形態と同様の効果を得ることができる。フィルタ1505は、等価的にインダクタンスや容量、抵抗などで表され、それらの特性を高速に切り換えることで共振周波数やフィルタ特性の中心周波数やカットオフ周波数を高速に切り換えることができる。インダクタンスや容量、抵抗などの特性を変化させる方法として、スイッチで切り換える方法や、電圧や電流を変化させる方法などがある。

【0124】

図15(b)は、トランジスタ1511や負荷1512、バッファ1513で表されるソース接地型広帯域LNAに対し、図15(a)と同様のフィルタ1515を用いた例である。つまり、トランジスタ1511のゲート端子と端子Inとの間にマッチング回路1516が接続され、ソース端子と接地との間にはマッチング回路1517が接続されている。そして、トランジスタ1511のドレイン端子と端子Outとの間に接続されたフィルタ1515の特性を高速に切り換えることで共振周波数やフィルタ特性の中心周波数やカットオフ周波数を高速に切り換えることができる。更に、トランジスタ1511のドレイン端子に接続された負荷1512とフィルタ1515との間には、バッファ1513が接続されている。フィルタ1515は図15(a)と同様の特性を持たせて、同様の効果を得ることができる。

【0125】

図19は本発明のさらに他の実施の形態の広帯域LNAの回路図である。図1のトランジスタ107に対応するトランジスタ1901はゲート接地回路として動作している。トランジスタ1901のソース端子に接続されたインダクタ1904はトランジスタ1901にバイアス電流を流すためのものであり、ソース端子と接地との間のインピーダンスを交流的に高くできる程度にインダクタンスが高いことが好ましい。トランジスタ1901のドレイン端子に接続されたインダクタ1902も同様に直流的に低抵抗でバイアス電流を供給するためと、広帯域特性の低域でのゲインを低下させる意味があり、同様の理由である程度高いインダクタンスが好ましい。例えば3~10GHz程度の周波数の増幅を行うとき、3GHz以下の周波数でのゲインは必要なく、インダクタ1902を6nH程度に大きくすることでこのあたりのゲインを低下させることができる。インダクタ1902をあまり大きくしすぎると3~10GHzの範囲内のゲインも低下してしまう。なお、インダクタ1902は省略することも可能である。トランジスタ1901の負荷は、抵抗1903であり、負荷としてインダクタではなく抵抗を用いることで周波数依存性の少ないゲイン特性を得ることができる。トランジスタ1901のゲート端子に接続されたインダクタ1905は広帯域特性の高域での特性を改善する効果と、広域でのNFを改善する効果がある。

【0126】

10

20

30

40

50

この様子を図20に示す。インダクタ1905を大きくすることで広域でのゲインが図20(a)のように増大し、図20(b)のように広域でのNFが低下している。但し、インダクタ1905を大きくしすぎると、反射特性S11が悪化する。ゲイン特性の3GHz以下あたりの特性は、インダクタ1902の効果で低下している。このときインダクタ1905は、0~2nHまで0.5nHステップで変化させている。このときトランジスタ1901は、W/L=60 μ m/0.18 μ mのサイズで、2.3mA程度の電流を流している。消費電力として4.2mW程度の低消費電力が得られている。図20からインダクタ1905として0.5~2nH程度が適切なことがわかる。

【0127】

図21は等価回路的に抵抗やインダクタ、コンデンサとして表せる負荷2102をトランジスタ2101のドレイン端子につないだ例である。つまり、図19におけるインダクタ1902及び抵抗1903に代えて、負荷2102を接続している。その他の構成要素は参照番号が異なるが、図19と同じである。この例の本質は、トランジスタ2101のゲート端子あるいはベース端子につないだインダクタ2103によって、トランジスタ2101のドレイン電流又はベース電流に含まれるノイズを見えにくくすることである。入力信号の周波数や帯域に合わせて、負荷2102の特性を適切に選択することができる。

10

【0128】

図22は、本発明によるLNAを用いた受信器のブロック図である。アンテナ2201から入力された信号はバラン2202などで0°と180°の位相に分けられる。LNA2203は本発明の広帯域LNAであり、好ましくは差動構成である。この例ではQPSK変調信号を復調する構成になっており、LNA2203の出力はI信号を復調するIパス2211とQ信号を復調するQパス2212につながっている。ミキサ2204は好ましくはダブルバランスドミキサであり、差動構成でローカル信号とのミキシングを行う。周波数ホッピングPLL2205は、図5のように高速に周波数f0~f7がホッピングするPLLであり、ミキサ2204にローカル信号を供給する。

20

【0129】

この例は高周波信号をダイレクトにベースバンド信号に変換するダイレクトコンバージョンであり、ミキサ2204の出力はベースバンド信号に変換されている。ゲインコントロールアンプ2206はベースバンド信号を任意の可変ゲインで増幅するアンプである。ローパスフィルタ2207は、チャンネル分離フィルタの役割を果たすと共に、高周波ノイズを低減する役割も果たす。コンデンサ2208はDC成分をカットするために設けられ、スイッチ2209はA/Dコンバータ2210の入力DCレベルを決定するために周期的にリセットされる。A/Dコンバータ2210は、5~10ビットの分解能を持ち、300Msample/s程度の変換レートを持つ。これによってI、Q合わせて600Mbps程度の伝送レートのデジタルデータを得ることができる。Qパス2212もIパス2211と同様の構成を持つ。

30

【0130】

ベースバンド処理回路2213は、Iパス2211とQパス2212からのデジタル信号を入力として、拡散処理された信号の復調やマルチアクセス処理等、メディアアクセス処理(MAC)等を行う。ベースバンド処理回路2213はまた、トレーニングシーケンスやプリアンブル、ピーコンなどの処理を行い、キャリアリカバリやクロックリカバリ等を行い、基準クロックを再生する。ベースバンド処理回路2213はさらに、LNAの共振周波数をホッピングさせるためのスイッチを制御する信号や、電圧や電流で共振周波数を制御する場合はそれら電圧や電流を発生する。さらに、フェージングやマルチパスによる信号の劣化を回復する等価処理などもベースバンド処理回路2213で行うことができる。周波数ホッピングのパターンはあらかじめ機器ごとに決められている場合もあれば、トレーニングシーケンスやプリアンブル、ピーコンの間にホッピングパターンを得ることもできる。

40

【0131】

本発明の広帯域LNAを用いることで、小型で低消費電力で低BERで与干渉や被干渉

50

に強い通信システムが実現できる。

【産業上の利用可能性】

【0132】

本発明による高周波増幅回路は、広帯域、例えばUWBのような広帯域増幅回路として、高い伝送レートが要求される無線通信、有線通信のいずれにも適用可能である。

【図面の簡単な説明】

【0133】

【図1】本発明の第1の実施の形態の高周波増幅回路の回路図である。

【図2】本発明の第1の実施の形態の高周波増幅回路のブロック図である。

【図3】本発明の第1の実施の形態の高周波増幅回路のブロック図である。

10

【図4】本発明の第1の実施の形態で使用するCML回路である。

【図5】本発明の第1の実施の形態の高周波増幅回路のタイミング図である。

【図6】本発明の第1の実施の形態の高周波増幅回路の動作波形である。

【図7】本発明の第1の実施の形態の高周波増幅回路の動作波形である。

【図8】本発明の第1の実施の形態の高周波増幅回路の動作波形である。

【図9】本発明の第1の実施の形態の高周波増幅回路の特性である。

【図10】本発明の第1の実施の形態の高周波増幅回路の特性である。

【図11】本発明の第2の実施の形態の高周波増幅回路の回路図である。

【図12】本発明の第3の実施の形態の高周波増幅回路の回路図である。

【図13】本発明の第4の実施の形態の高周波増幅回路の回路図である。

20

【図14】本発明の第5の実施の形態の高周波増幅回路の回路図である。

【図15】本発明の第6の実施の形態の高周波増幅回路の回路図である。

【図16】本発明で使用するソースフォロワ回路である。

【図17】本発明で使用する可変容量回路である。

【図18】本発明で使用する可変インダクタ回路である。

【図19】本発明の第7の実施の形態の高周波増幅回路の回路図である。

【図20】本発明の第7の実施の形態の特性である。

【図21】本発明の第8の実施の形態の高周波増幅回路の回路図である。

【図22】本発明の高周波増幅回路を使用した受信器のブロック図である。

【図23】本発明の効果を示す図である。

30

【図24】本発明で使用する可変容量回路である。

【図25】UWB無線方式のタイミング図である。

【図26】本発明の効果を示す図である。

【符号の説明】

【0134】

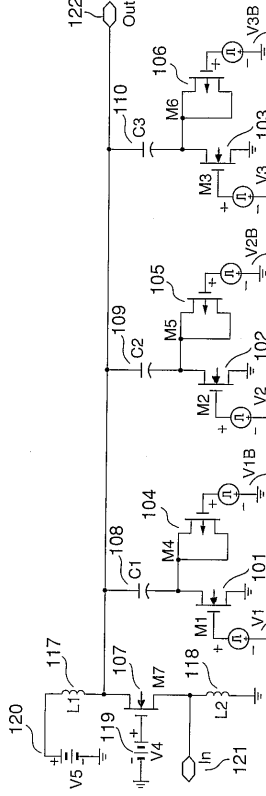
101 ~ 107 トランジスタ

108 ~ 110 コンデンサ

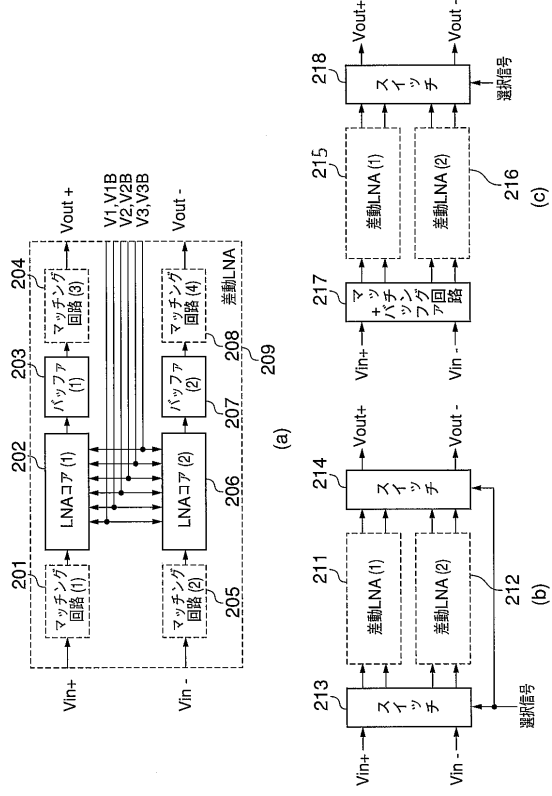
111 ~ 116 制御信号

117、118 インダクタ

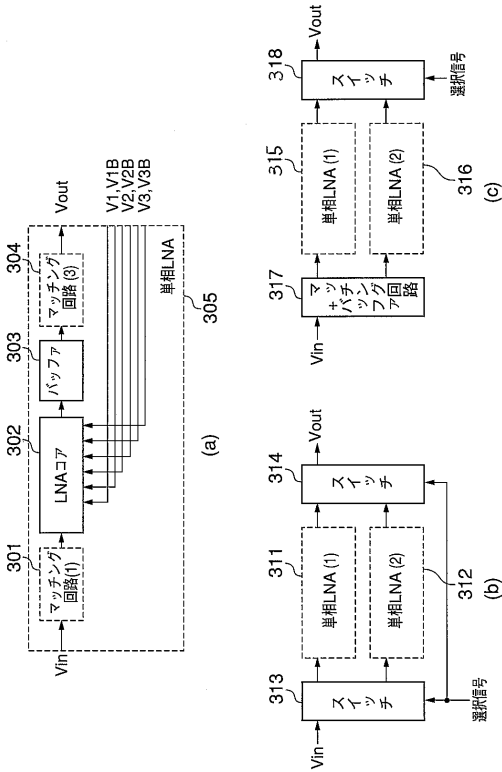
【図 1】



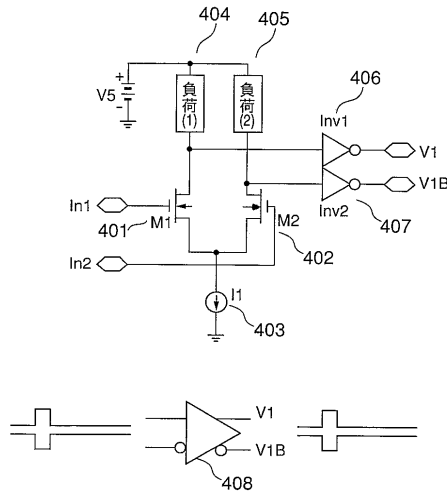
【図 2】



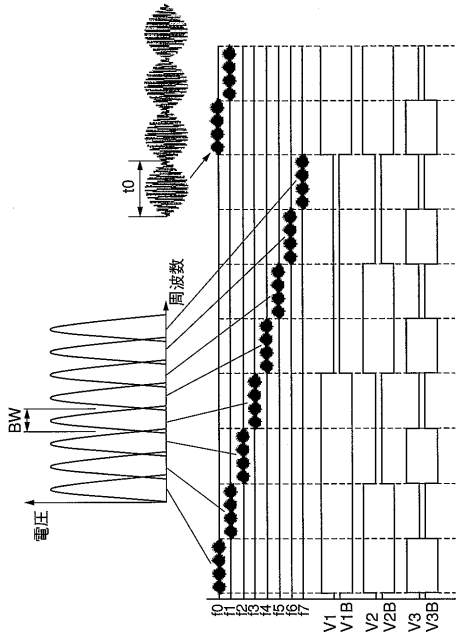
【図 3】



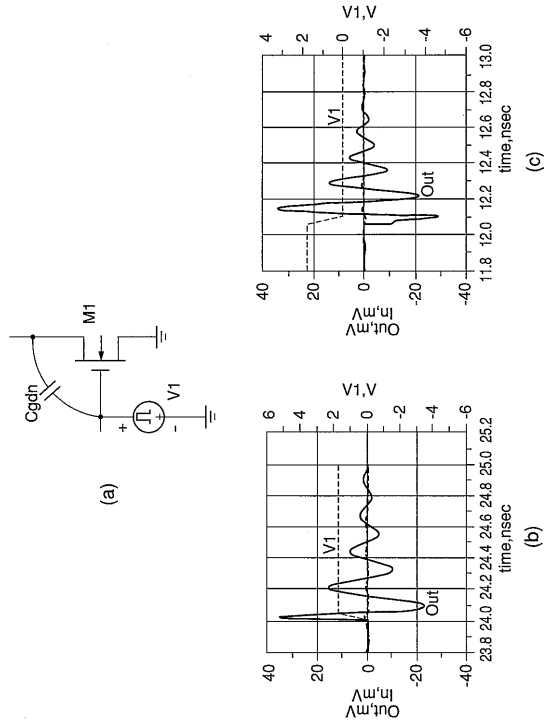
【図 4】



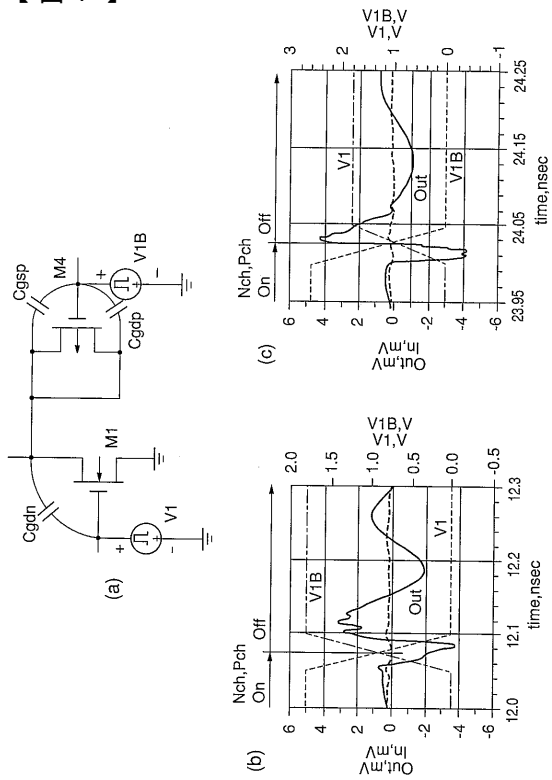
【 図 5 】



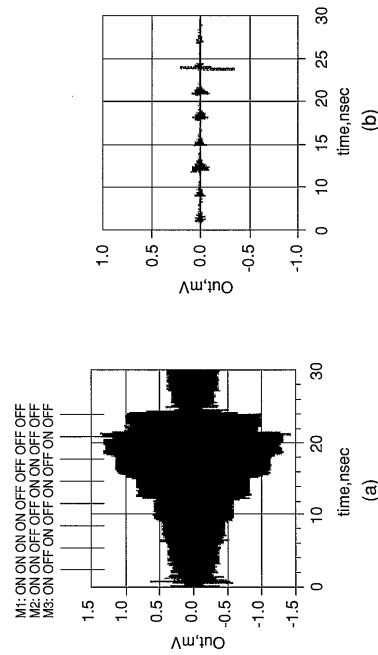
【 図 6 】



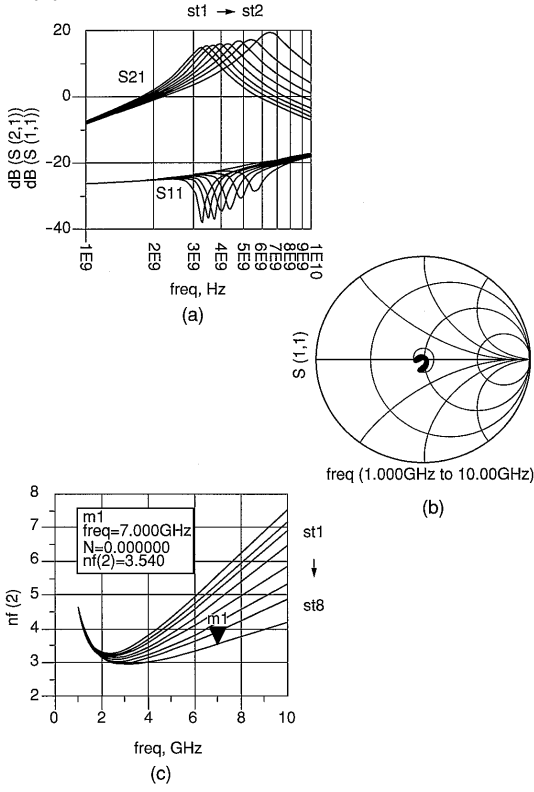
【 図 7 】



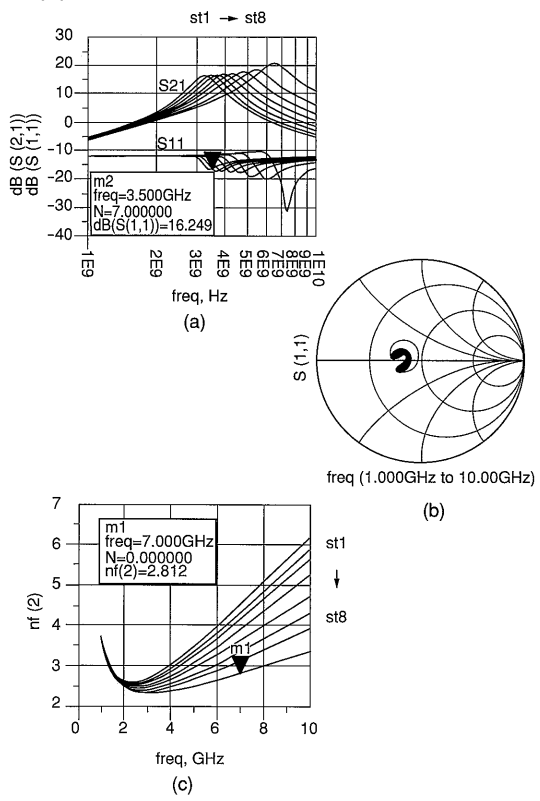
【 図 8 】



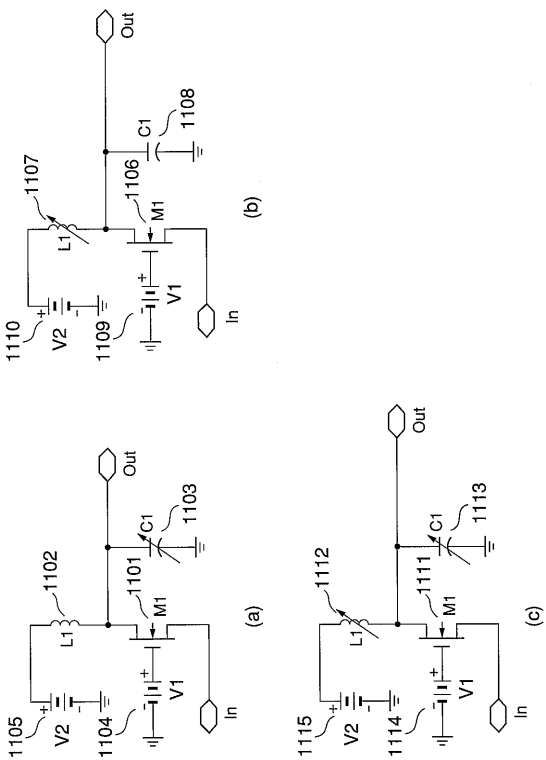
【 9 】



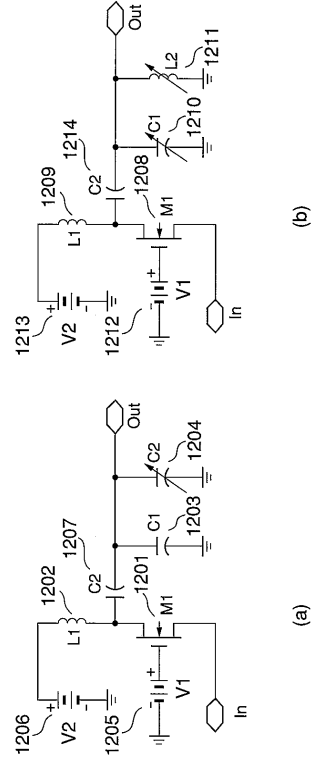
【 10 】



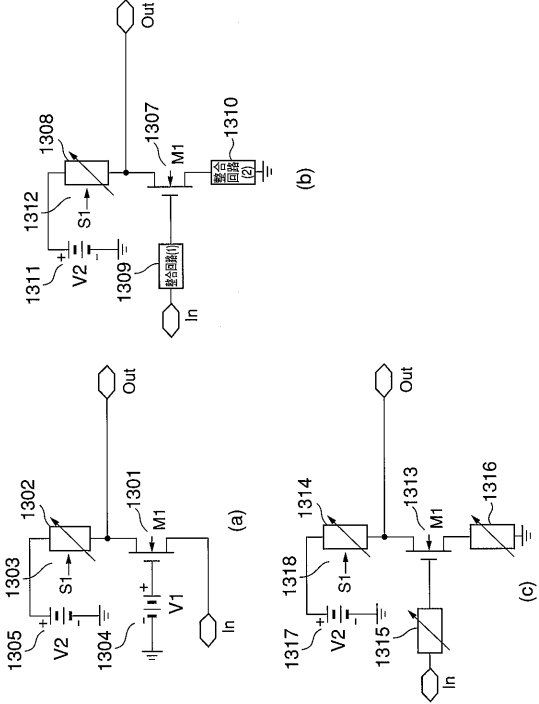
【 11 】



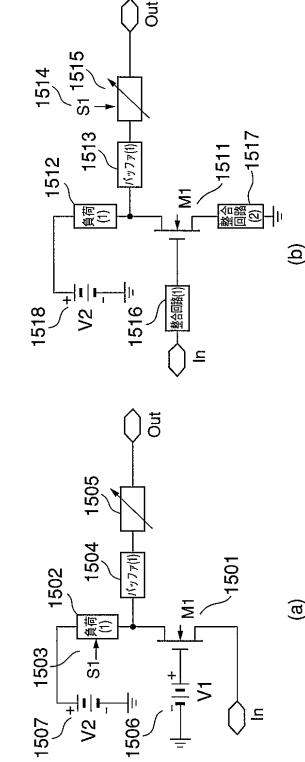
【 12 】



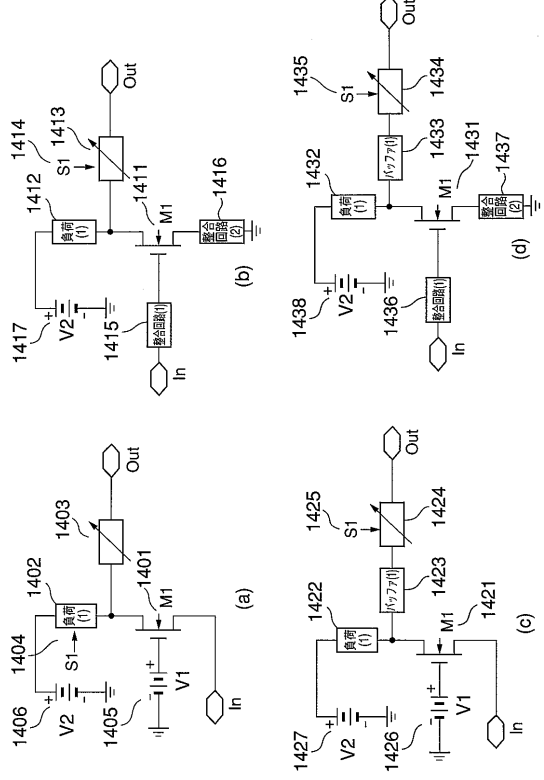
【図 1 3】



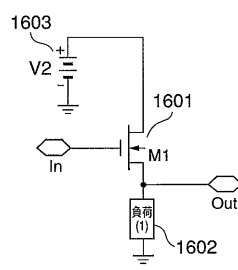
【図 1 5】



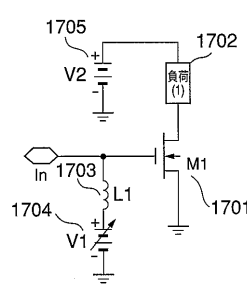
【図 1 4】



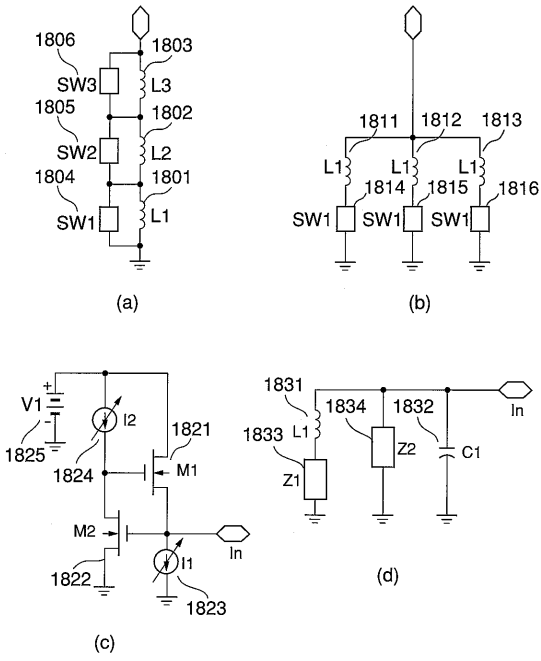
【図 1 6】



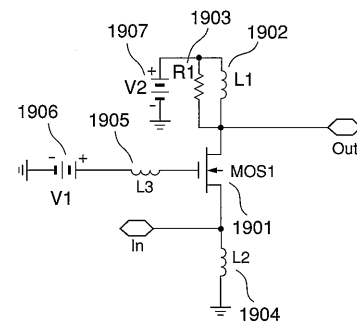
【図 1 7】



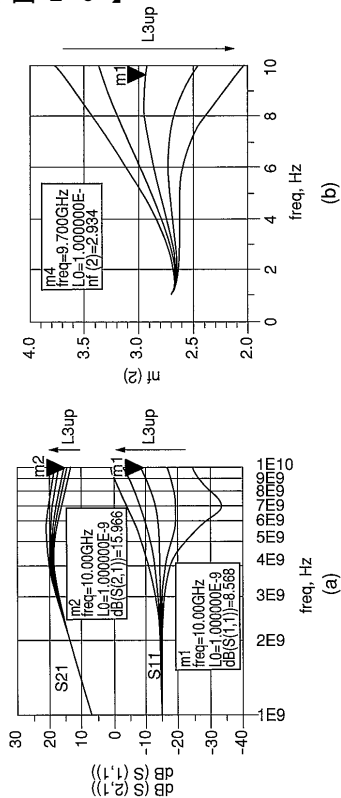
【 図 1 8 】



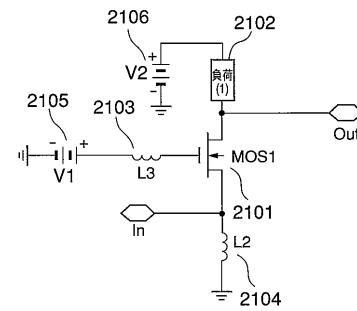
【 図 1 9 】



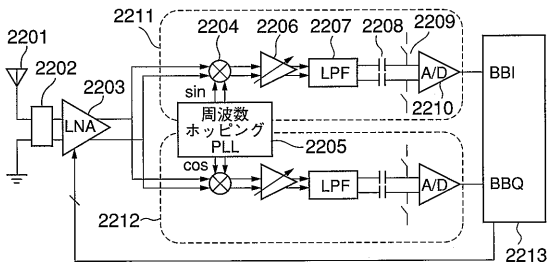
【 図 2 0 】



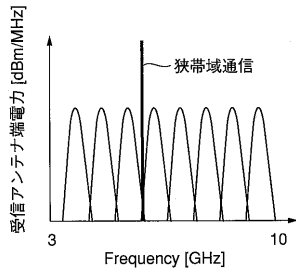
【 図 2 1 】



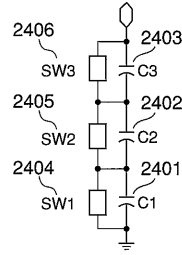
【 図 2 2 】



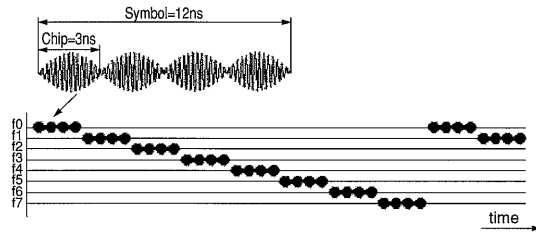
【 図 2 3 】



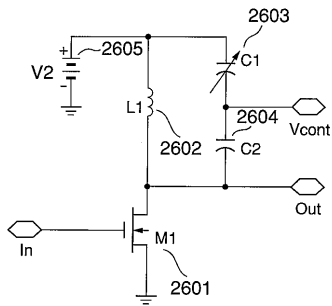
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

F ターム(参考) 5J500 AA01 AA51 AC36 AC41 AC62 AC92 AF18 AF20 AH02 AH17
AH25 AH29 AH30 AH33 AH34 AH38 AK02 AK03 AK04 AK05
AK07 AK13 AK29 AK34 AK42 AK47 AM04 AM21 AS13 AT01
AT03 AT05 AT06