



(21)申請案號：105106208

(22)申請日：中華民國 105 (2016) 年 03 月 01 日

(51)Int. Cl. : H05K1/02 (2006.01)

H05K3/46 (2006.01)

(71)申請人：景碩科技股份有限公司(中華民國) (TW)

桃園市新屋區中華路 1245 號

(72)發明人：林定皓(TW)；張喬政(TW)；林宜儂(TW)

(74)代理人：李文賢；盧建川

(56)參考文獻：

TW I250555

TW 2009042278A

審查人員：楊兆華

申請專利範圍項數：12 項 圖式數：3 共 17 頁

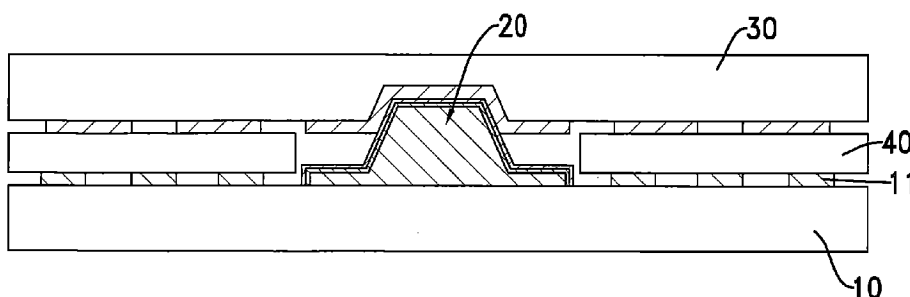
(54)名稱

易於測試的多層電路板

(57)摘要

本發明係易於測試的多層電路板，包含有一第一電路板、複數個導電塊、一第二電路板、複數個導電凹槽、一絕緣層；該第一電路板設有一第一佈線層，該些導電塊設置於該第一電路板並與該第一佈線層電連接，該第二電路板朝向該第一電路板的表面設有一第二佈線層，該些導電凹槽形成於該第二電路板的表面，且該些導電凹槽內設有一導電層，該導電層與該第二佈線層電連接，該些導電塊設置於該些導電凹槽內時，該第一佈線層與該第二佈線層經由該些導電塊與該導電層電連接，而該絕緣層位於該第一佈線層與該第二佈線層間，避免兩者短路，該第二電路板可分離於該第一電路板，以單獨測試該第二佈線層，用以提升良率。

指定代表圖：



符號簡單說明：

10 . . . 第一電路板

11 . . . 第一佈線層

20 . . . 第一導電塊

30 . . . 第二電路板

40 . . . 絕緣層

圖 1A



申請日：105/03/01

IPC分類：H05K 1/02 (2006.01)
H05K 3/46 (2006.01)

I634816

【發明摘要】

【中文發明名稱】 易於測試的多層電路板

【中文】

本發明係易於測試的多層電路板，包含有一第一電路板、複數個導電塊、一第二電路板、複數個導電凹槽、一絕緣層；該第一電路板設有一第一佈線層，該些導電塊設置於該第一電路板並與該第一佈線層電連接，該第二電路板朝向該第一電路板的表面設有一第二佈線層，該些導電凹槽形成於該第二電路板的表面，且該些導電凹槽內設有一導電層，該導電層與該第二佈線層電連接，該些導電塊設置於該些導電凹槽內時，該第一佈線層與該第二佈線層經由該些導電塊與該導電層電連接，而該絕緣層位於該第一佈線層與該第二佈線層間，避免兩者短路，該第二電路板可分離於該第一電路板，以單獨測試該第二佈線層，用以提升良率。

【指定代表圖】 圖1A

【代表圖之符號簡單說明】

10 第一電路板

11 第一佈線層

20 第一導電塊

30 第二電路板

40 絕緣層

【發明圖式】

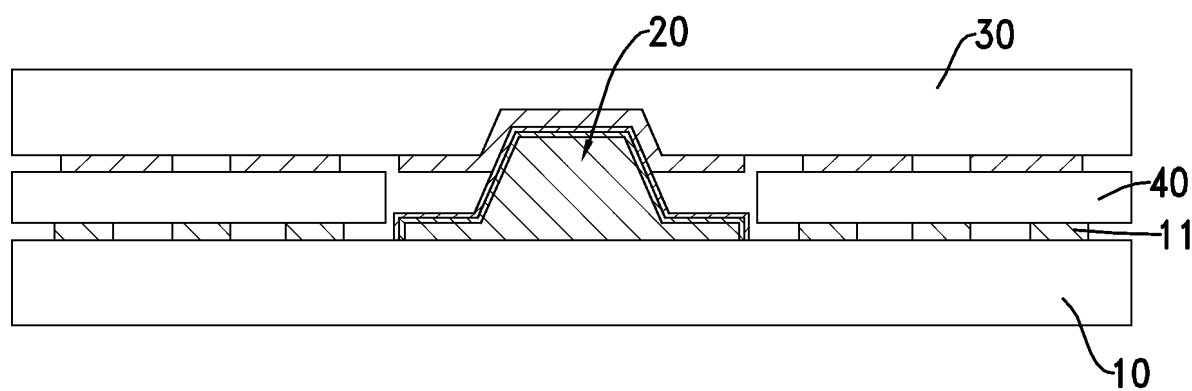


圖 1A

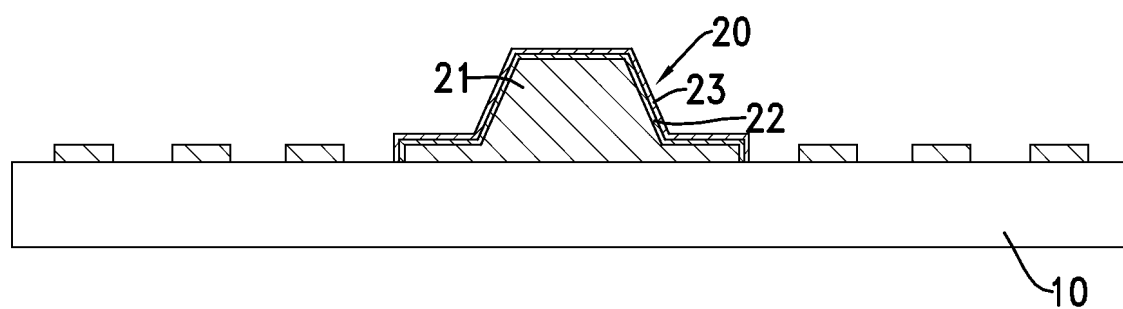


圖 1B

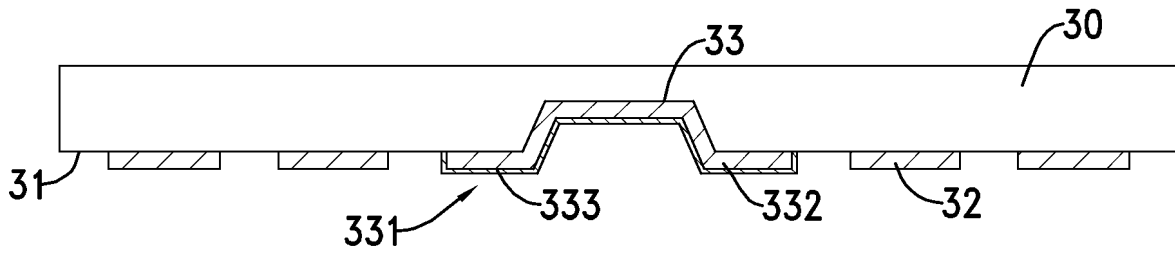


圖 1C

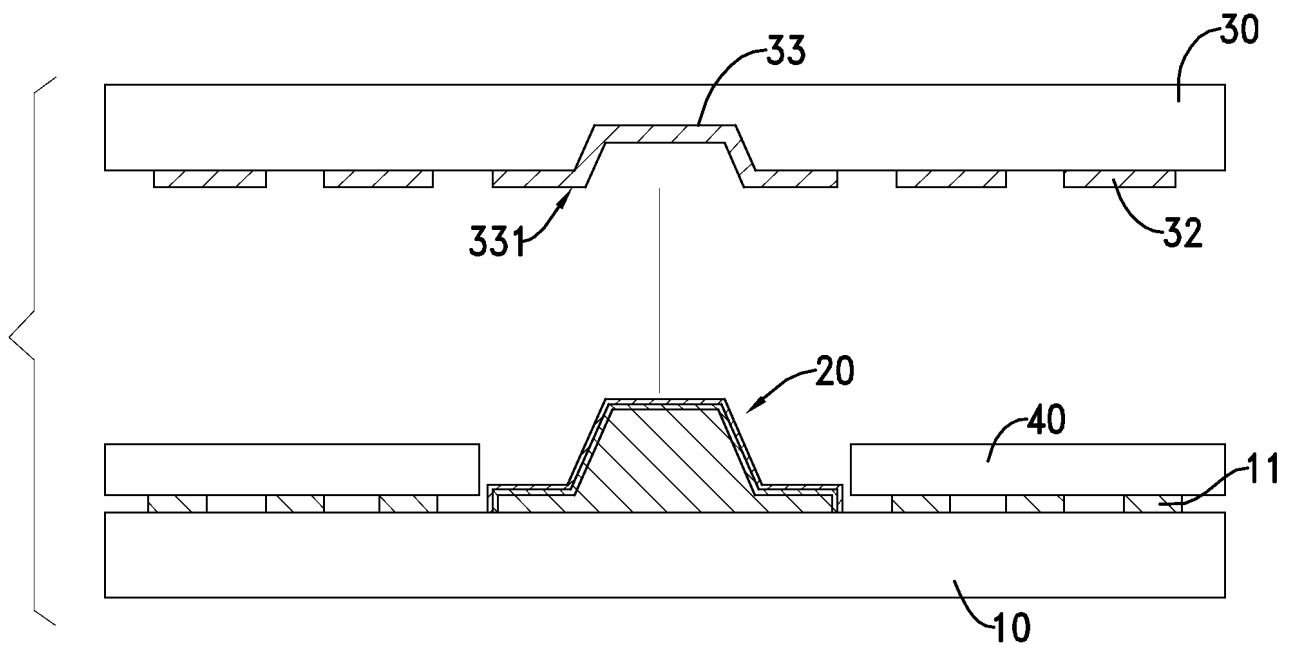


圖 1D

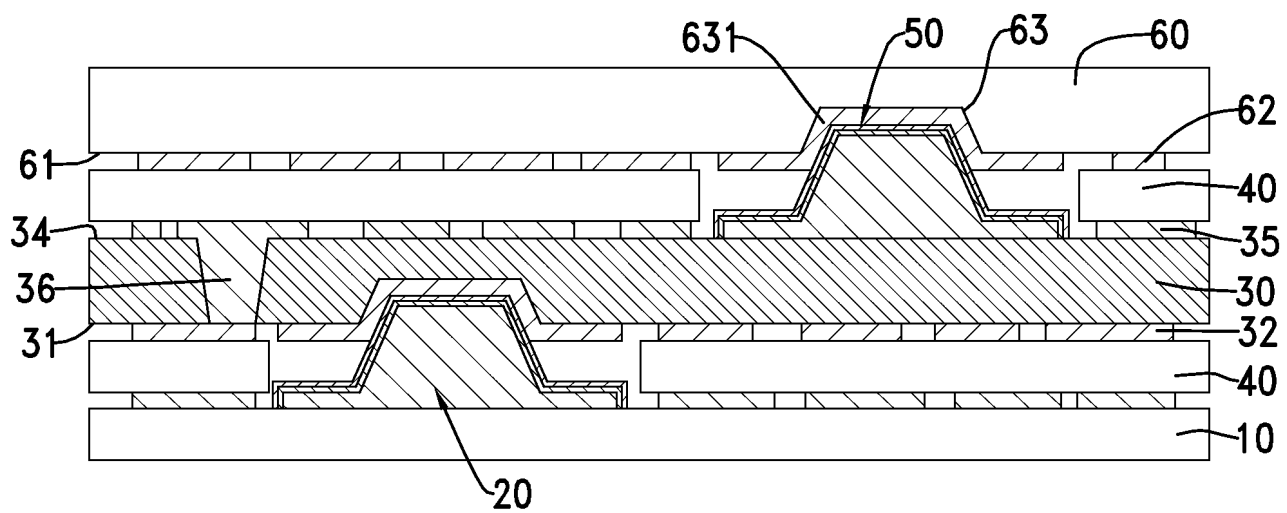


圖 2A

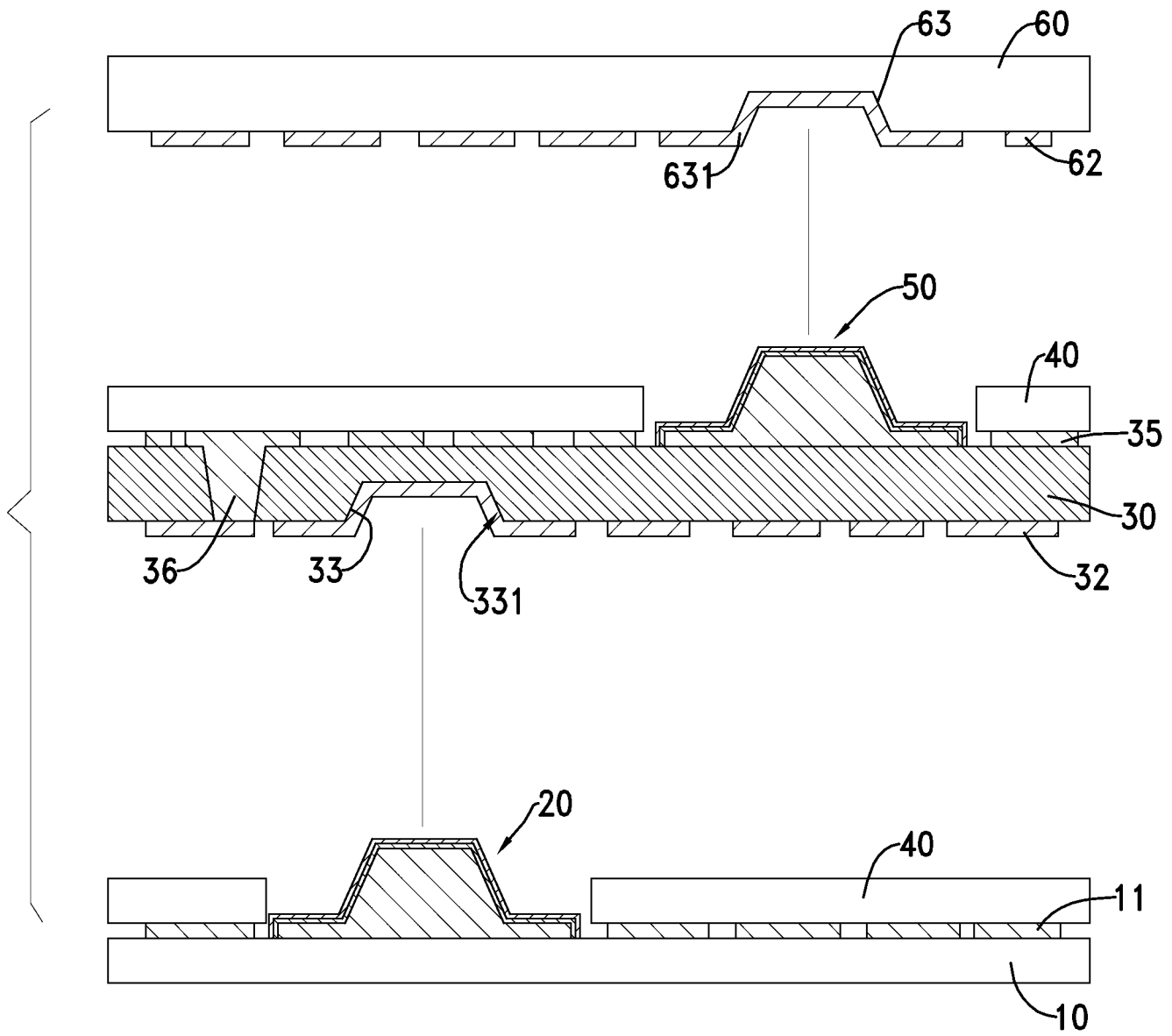


圖 2B

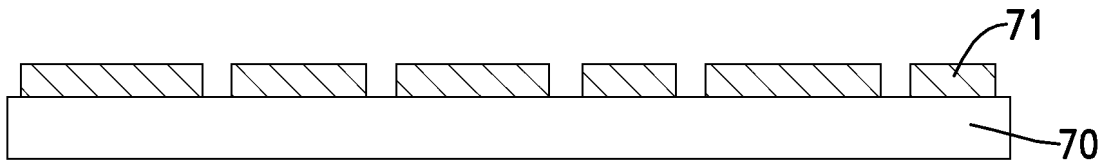


圖 3A

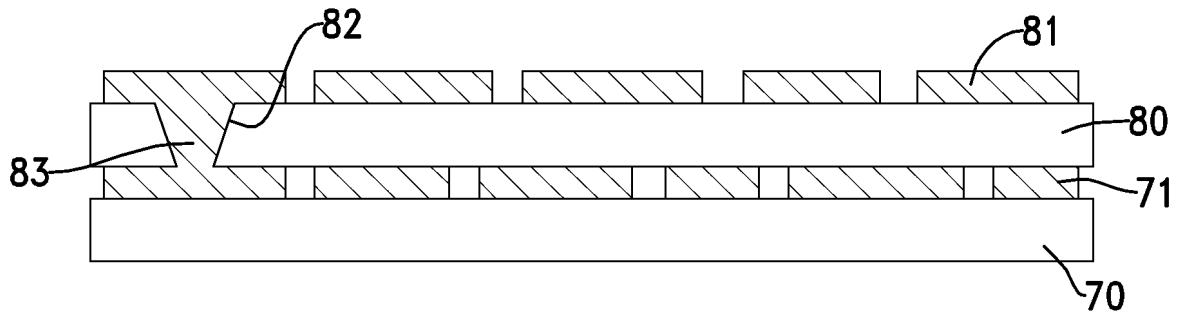


圖 3B



申請日: 105/03/01

IPC分類: H05K 1/02 (2006.01)
H05K 3/46 (2006.01)

【發明摘要】

【中文發明名稱】 易於測試的多層電路板

【中文】

本發明係易於測試的多層電路板，包含有一第一電路板、複數個導電塊、一第二電路板、複數個導電凹槽、一絕緣層；該第一電路板設有一第一佈線層，該些導電塊設置於該第一電路板並與該第一佈線層電連接，該第二電路板朝向該第一電路板的表面設有一第二佈線層，該些導電凹槽形成於該第二電路板的表面，且該些導電凹槽內設有一導電層，該導電層與該第二佈線層電連接，該些導電塊設置於該些導電凹槽內時，該第一佈線層與該第二佈線層經由該些導電塊與該導電層電連接，而該絕緣層位於該第一佈線層與該第二佈線層間，避免兩者短路，該第二電路板可分離於該第一電路板，以單獨測試該第二佈線層，用以提升良率。

【指定代表圖】 圖1A

【代表圖之符號簡單說明】

10 第一電路板

11 第一佈線層

20 第一導電塊

30 第二電路板

40 絕緣層

【發明說明書】

【中文發明名稱】 易於測試的多層電路板

【技術領域】

【0001】 本發明係一種電路板，尤其指一種各電路板之間的佈線層，經由導電塊及導電凹槽進行電連接的易於測試的多層電路板。

【先前技術】

【0002】 電路板係為了減少電子元件之間的配線、降低成本所衍生的產物，然而，隨著電路複雜化，使用多層電路板已成為工業電子的常態。目前多層電路板的結構，請參閱圖3A及3B所示，該多層電路板包含有一第一電路板70、一第一佈線層71、一第二電路板80、一第二佈線層81。該第一佈線層71設置於該第一電路板70上，該第一佈線層71可為該第一電路板70經由黃光製程及電鍍製程後所形成。該第二電路板80設置於該第一佈線層71，於該第二電路板80板上形成一開孔82，該開孔82貫穿該第二電路板80，並且同樣透過黃光製程及電鍍製程於該第二電路板80上形成該第二佈線層81，以及於該開孔82內形成一傳導層83，利用該傳導層83電連接該第二佈線層81與該第一佈線層71。可重覆該第二電路板80的製程，持續堆疊形成第三、第四電路板(未示)，以完成該多層電路板。

【0003】 目前的多層電路板由於製程關係，必須完成該多層電路板後，才可進行測試，包含該第二電路板80與其後續堆疊的電路板，由於無法單獨進行測試，因此無法確認各電路板之佈線層是否有誤，若其中一佈線層出現缺陷只能於測試該多層電路板時才會發現。使的即便有其中一電路板上的佈線層產生缺陷，但由於各電路板無法單獨進行測試，無法由製程中得知電路板發生異

常，異常之電路板經與其他電路板持續堆疊後完成該多層電路板，對該多層電路板測試後才發現無法使用，導致成本上升。並且測試該多層電路板若發生問題時，由於無法單獨測量，因此難以尋找發生問題的電路板，無法快速排除問題，難以提升其良率。

【發明內容】

【0004】 由上述可以得知，目前的多層電路板中，無法對其中任一電路板上的佈線層進行測試，僅能夠完成該多層電路板後，進行整體的測量，若其中一佈線層發生問題時，難以馬上尋找、排除問題，造成良率難以提升。

【0005】 有鑑於此，本發明係提供一種易於測試的多層電路板，將各電路板之間的佈線層利用第一導電塊進行電連接，使的各電路板完成後，可單獨進行測量，若該電路板有缺陷時，可即時處理，避免完成該多層電路板後，才發現其中一佈線層有問題，導致該多層電路板為廢品，無法使用，造成資源上的浪費，而且，難以尋找問題的電路板，使良率不佳。

【0006】 為了達到上述目的所採用的主要技術手段，係令前述的易於測試的多層電路板，包含：

【0007】 一第一電路板，其表面設有一第一佈線層；

【0008】 複數個第一導電塊，其設置於該第一電路板的該表面並電連接該第一佈線層；

【0009】 一第二電路板，其設置於該第一電路板的該表面，該第二電路板具有面向該第一電路板的一第一表面，於該第一表面形成有一第二佈線層；

【0010】 複數個導電凹槽，其形成於該第一表面，該些導電凹槽與該第二佈線層電連接並對應該些導電塊；

【0011】 一絕緣層，其設置於該第一佈線層與該第二佈線層之間；

【0012】 其中，該些導電塊分別對應設置於該些導電凹槽，以電連接該第一佈線層及該第二佈線層。

【0013】 由以上結構可以得知，本發明的易於測試的多層電路板，各電路板之間，藉由該些導電塊與該些導電凹槽分別與其電路板上的佈線層電連接，並將該些導電塊分別設置於該導電凹槽，使各電路板之間的佈線層能夠經由該導電塊與導電凹槽進行電連接，以完成該多層電路板的結構，其中，各電路板使用導電塊與導電凹槽進行連接，使各電路板上的佈線層完成後，可單獨進行電路測試，確認佈線層是否有問題，無需完成該多層電路板後，進行整體測試時，才發現問題，造成資源浪費、成本上升，並且難以尋找發生問題的電路板，導致良率難以提升。此外，利用絕緣層設置於兩相鄰的電路板其佈線層間，避免佈線層之間發生短路。

【圖式簡單說明】

【0014】

圖1A 係本發明的剖面示意圖。

圖1B 係本發明之導電塊的剖面示意圖。

圖1C 係本發明之導電凹槽的剖面示意圖。

圖1D 係本發明的剖面分解示意圖。

圖2A 係本發明另一實施例之剖面示意圖。

圖2B 係本發明另一實施例之剖面分解示意圖。

圖3A 係目前多層電路板之第一電路板的剖面示意圖。

圖3B 係目前多層電路板之剖面示意圖。

【實施方式】

【0015】 請參閱圖1A所示，本發明係一種易於測試的多層電路板，用以將多層電路板加以結合，易於測試的該多層電路板包含有：一第一電路板10、複數個第一導電塊20、一第二電路板30、一絕緣層40。

【0016】 請參閱圖1B所示，該第一電路板10的表面設有一第一佈線層11，該些第一導電塊20設置於該第一電路板10的該表面，各該第一導電塊20的截面寬度為自該第一電路板10的該表面由下至上呈現漸縮，該第一導電塊20的頂端面積小於底端面積，且各該第一導電塊20包含有：一基底層21、一強化層22、一抗氧化層23。

【0017】 該基底層21可設置於該第一電路板10的該表面，且該基底層21與該第一佈線層11鄰接，使該第一導電塊20與該第一佈線層11電連接，其中，由於銅的導電性較佳，且其成本較低，因此該基底層21的材料可為銅或其合金。

【0018】 該強化層22覆蓋該基底層21，其中，該強化層22的硬度高於該基底層21的硬度，用以強化該些第一導電塊20的強度，避免該基底層21的材料因硬度不足而無法提供足夠的支撐力，因此，於基底層21的外表面包覆硬度較高的該強化層22，該強化層22的材料可為鈮、鎳、鎢或其合金。

【0019】 該抗氧化層23用以避免該些第一導電塊20氧化。由於該些第一導電塊20其中一功能為導電，為了避免該些第一導電塊20因為氧化導致第一導電塊20的電阻增加，造成導電性降低、傳遞訊號的品質下降，甚至是無法傳送訊號，因此，藉由該抗氧化層23包覆該強化層22，避免該強化層22與該基底層21氧化，其中，該抗氧化層23的材料可為金或其合金。

【0020】 請參閱圖1C及1D所示，該第二電路板30具有一第一表面31，該第一表面31面向該第一電路板10的該表面，該第一表面31上形成有一第二佈線層32及複數個第一導電凹槽33，且該些第一導電凹槽33內分別設有一第一導電

層331，該第一導電層331與該第二佈線層32電連接。其中，該些第一導電凹槽33的形狀與該些第一導電塊20匹配，使該些第一導電凹槽33分別供該些第一導電塊20對應容置。當該些第一導電塊20設置於該些第一導電凹槽33內時，該第二電路板30上的該第二佈線層32經由該些第一導電凹槽33、第一導電塊20而電連接至該第一佈線層11，以傳遞訊號。此外，該第一導電層331更包含有一連接層332與一披覆層333，該連接層332與該第二佈線層32電連接，且該連接層332於本實施例中，該連接層332的材料為銅，而該披覆層333覆蓋於連接層332，用以保護該連接層332，該披覆層333其材料可為金或其合金。

【0021】 該絕緣層40設置於該第一電路板10與該第二電路板30之間，以隔離該第一佈線層11與該第二佈線層32，避免該第一佈線層11與該第二佈線層32在非預設的連接位置直接接觸而產生短路。於本實施方式中，該絕緣層40可設置於該第一佈線層11上，並覆蓋該第一佈線層11。另外，該絕緣層40亦可設置於該第二佈線層32的表面。請參閱圖1A，於一實施例中，絕緣層40設置於第一佈線層11與第二佈線層32之間而不設置於該些第一導電塊20與該些第一導電凹槽33之間。

【0022】 本發明的另一實施例，請參考圖2A、2B所示，與前述實施例其結構大致相同，其差異點在於：該第二電路板30包含有與該第一表面31相對的一第二表面34，該第二表面34設有一第三佈線層35及複數個第二導電塊50，該些第二導電塊50與該第三佈線層35電連接，該第三佈線層35經由一開孔內的一傳導層36與該第二佈線層32電連接；此外，該第二表面34上設有一第三電路板60，該第三電路板60具有面向該第二表面34的一第三表面61，該第三表面61上形成有一第四佈線層62及複數個第二導電凹槽63，該些第二導電凹槽63內形成有一第二導電層631用以與該第四佈線層62電連接，且該第二導電凹槽63形狀與該第二導電塊50匹配以供該些第二導電塊50設置，使該第三佈線層35與該第

四佈線層62可經由該些第二導電塊50及該第二導電凹槽63進行電連接，最後於該第三佈線層35與該第四佈線層62之間設置另一絕緣層40，避免該第三佈線層35與該第四佈線層62之間發生短路，完成該多層電路板的結構；其中，該些第二導電塊50與前述該些第一導電塊20其結構與功能相同，該些第二導電凹槽63與前述該些第一導電凹槽33其結構與功能亦相同，故不加以贅述。請參閱圖2A，於一實施例中，各絕緣層40設置於二個相鄰電路板的二個相鄰佈線層之間，而不設置於該二個相鄰電路板的該些導電塊與該些導電凹槽之間。

【0023】 綜上所述，本發明係一種易於測試的多層電路板，可應用於多個電路板疊設，其中，各電路板之間相鄰的佈線層經由導電塊與導電凹槽進行電連接，使本發明各電路板上的該些佈線層完成後，可單獨進行測試，當電路板發生缺陷時，可以馬上發現、替換，並尋找出缺陷發生原因。避免完成該多層電路板後才進行整體測試，能夠有效減少報廢的多層電路板數量，提升多層電路板的良率，進而降低多層電路板的製造成本。

【0024】 另外，本發明的電路板的上、下表面皆可設置佈線層，可以經由貫穿電路板的穿孔內的傳導層進行電連接，可減少電路板的使用量，降低成本。

【0025】 最後，本發明其內部結構經由本發明內容揭示，已充分說明內部結構、動作說明及功效，實乃具備了申請專利之要件；其中，本發明所述之內容，僅作為實施例之說明，並不以此限定本發明欲保護之範圍，任何局部的更改、變動之結構，仍為本發明保護之範圍。

【符號說明】

【0026】

10 第一電路板

11 第一佈線層

第 6 頁，共 7 頁(發明說明書)

20 第一導電塊	21 基底層
22 強化層	23 抗氧化層
30 第二電路板	31 第一表面
32 第二佈線層	33 第一導電凹槽
331 第一導電層	332 連接層
333 披覆層	
34 第二表面	35 第三佈線層
36 傳導層	
40 絕緣層	
50 第二導電塊	
60 第三電路板	61 第三表面
62 第四佈線層	63 第二導電凹槽
631 第二導電層	
70 第一電路板	71 第一佈線層
80 第二電路板	81 第二佈線層
82 開孔	83 傳導層

【發明申請專利範圍】

【第1項】一種易於測試的多層電路板，包含：

一第一電路板，其表面設有一第一佈線層；

複數個導電塊，設置於該第一電路板的該表面並電連接該第一佈線層；

一第二電路板，設置於該第一電路板的該表面，該第二電路板具有面向該第一電路板的一第一表面，於該第二電路板的該第一表面形成有一第二佈線層；

複數個導電凹槽，形成於該第二電路板的該第一表面，該些導電凹槽與該第二佈線層電連接並對應該些導電塊；

一絕緣層，其設置於該第一佈線層與該第二佈線層之間；及

其中，該些導電塊分別對應設置於該些導電凹槽，以電連接該第一佈線層及該第二佈線層。

【第2項】如請求項1所述之易於測試的多層電路板，其中於該些導電凹槽內形成一導電層，該導電層與該第二佈線層電連接。

【第3項】如請求項2所述之易於測試的多層電路板，其中該些導電凹槽的形狀與該些導電塊匹配。

【第4項】一種易於測試的多層電路板，包含：

一第一電路板，其表面設有：一第一佈線層；

複數個導電塊，設置於該第一電路板的該表面並電連接該第一佈線層；

其中該些導電塊各自包含有：

一基底層，係與該第一佈線層電連接；

一強化層，其設置於該基底層並覆蓋該基底層；

一抗氧化層，其設置於該強化層並覆蓋該強化層；

一第二電路板，具有面向該第一電路板的一第一表面，於該第二電路板的該第一表面形成有一第二佈線層；

複數個導電凹槽，形成於該第二電路板的該第一表面，該些導電凹槽與該第二佈線層電連接並對應該些導電塊；

一絕緣層，其設置於該第一佈線層與該第二佈線層之間；及

其中，該第二電路板設置於該第一電路板的該表面，該些導電塊分別對應設置於該些導電凹槽，以電連接該第一佈線層及該第二佈線層。

【第5項】如請求項4所述之易於測試的多層電路板，其中該基底層與該第一佈線層係相同材料。

【第6項】如請求項4所述之易於測試的多層電路板，其中該基底層的材料為銅或其合金。

【第7項】如請求項6所述之易於測試的多層電路板，其中該強化層的材料為鈮、鎳、鎢或其合金。

【第8項】如請求項7所述之易於測試的多層電路板，其中該抗氧化層的材料為金、錫或其合金。

【第9項】如請求項2至8項中任一項所述之易於測試的多層電路板，其中該導電層包含有一連接層及一披覆層，該連接層的材料為銅，該披覆層的材料為金或其合金。

【第10項】一種易於測試的多層電路板，包含：

複數個電路板，依序堆疊設置，各該電路板的第一表面與第二表面分別設有一佈線層；

複數個導電塊，分別形成於各該電路板的第一表面，並與該第一表面的該佈線層電連接；

複數個導電凹槽，分別形成於各該電路板的第二表面，並與該第二表面的該佈線層電連接；

複數個絕緣層，分別設置於兩相鄰的電路板之間；及

其中，該些導電塊分別對應設置於該些導電凹槽，以電連接兩相鄰電路板的該些佈線層。

【第11項】如請求項1或4所述之易於測試的多層電路板，其中該絕緣層設置於該第一佈線層與該第二佈線層之間而不設置於該些導電塊與該些導電凹槽之間。

【第12項】如請求項10所述之易於測試的多層電路板，其中各該絕緣層設置於二個相鄰電路板的二個相鄰佈線層之間，而不設置於該二個相鄰電路板的該些導電塊與該些導電凹槽之間。