

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04N 5/445	(45) 공고일자 1999년01월 15일	(11) 등록번호 특0159939
(21) 출원번호 특1990-005309	(24) 등록일자 1998년08월 14일	(65) 공개번호 특1990-017389
(22) 출원일자 1990년04월 17일	(43) 공개일자 1990년11월 16일	
(30) 우선권주장 (73) 특허권자	340640 1989년04월20일 미국(US) 모토로라 인코포레이티드 빈센트 죠셉 로너 미합중국 일리노이 60196 샤웬버그 이스트 앨공권 로드 1303	
(72) 발명자	항 앞 통 홍콩 쥘엔 완 무크 민 하 빌리지 16 제랄드 케이.룬 홍콩 카우룬 하버 시티 서턴 코트 14씨	
(74) 대리인	이병호, 최달용	

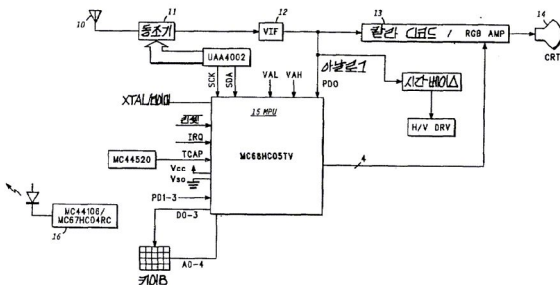
심사관 : 최준

(54) 텔레비전 수상기

요약

다중 표준 OSD 회로를 포함하는 TV 수상기에 있어서, 지연된 수평 플라이백 펄스를 제공하기 위해서 소정의 계수(count)(위치)를 수신된 수평 주파수의 계수와 비교하는 비교기와, 지연된 수평 플라이백 펄스에서 시작하도록 동기화된 도트 및 칼럼 어드레스 발생기를 포함하는 표시를 위치설정하기 위한 방법 및 장치가 개시되었다. 유사한 수직 위치 설정 회로가 포함된다.

대표도



명세서

[발명의 명칭]

텔레비전 수상기

- 제1도는 본 발명을 실현하는 텔레비전 수상기의 블록/구성 다이어그램.
- 제2도는 제1도에 상술한 개량된 마이크로프로세서의 더욱 자세히 설명한 블록/흐름도.
- 제3도는 제2도의 OSD 회로를 더욱 자세히 설명한 블록 다이어그램/흐름도.
- 제4도는 수평 위치 지연 회로의 개략적 다이어그램.
- 제5도는 수직 방향 계수기의 개략적 다이어그램.
- 제6도는 수직 위치 지연 회로의 개략적 다이어그램.
- 제7도는 수직 방향 계수기의 개략적 다이어그램.

* 도면의 주요부분에 대한 부호의 설명

- 25 : 수직 방향 계수기
- 35 : 계수기
- 37 : 비교기
- 43 : D-플립플롭

[발명의 상세한 설명]

본 발명은 마이크로프로세서(MPU) 및 온-스크린 표시부(OSD)를 포함하는 텔레비전 수상기에 관한 것으로, 특히 표시 위치 설정 능력(display positioning capabilities)을 포함하는 다중 표준 OSD에 관한 것이다.

종래 기술의 텔레비전 수상기에서 MPU는 칼라, 동기화등의 모든 기능을 제어하기 위해서 사용된다. 모든 OSD 회로를 포함하는 부가적인 칩은 MPU에 연결되어 있으며, 모든 온-스크린 표시를 제공한다. 각각의 종래 기술의 OSD 칩은 특정한 텔레비전 수상기에서 동작하도록 설계되며, 즉, 하나의 특정한 표준에 따라 동작한다. 텔레비전 산업에 있어서 대표적인 세계적 표준 NTSC, PAL, 및 SECAM을 포함한다. 더욱이, 이들 각각의 표준에 대한 많은 변화가 있으며, 여기에서는 다중 선명도를 뜻하며, 상기 다중 선명도에는 개선된 선명도 TV(IDTV), 확장된 선명도 TV(EDTV), 고선명도 TV(HDTV)와 인터레이스 주사 및 점진적 주사가 포함된다.

각각의 칩이 하나의 표준에서만 동작하기 때문에, 상기 칩내의 주파수는 일정하고, 수평 위치 설정과 같은 특징을 제공하는 것이 비교적 간단하다. 그러나, 다른 수평 및 수직 주파수를 포함하는 다른 표준 신호가 수신되는 경우에, 이러한 특징은 극도로 복잡하게 된다.

본 발명의 목적은 새롭고 개선된 수평 및 수직 위치 설정 회로를 제공하기 위한 것이다.

본 발명의 다른 목적은 다중 표준 OSD 회로와 관련하여 사용될 수 있는 새롭고 개선된 수평 및 수직 위치 설정 회로를 제공하는 것이다.

이들 및 다른 목적들은 마이크로프로세서 및 다양한 다른 소정의 위치중의 어떤 위치에서도 수평 스위프를 시작하기 위해 조절가능한 수평 위치 설정 회로를 포함하는 다중 표준 OSD 회로를 가지는 텔레비전 수상기에서 실현된다.

본 발명의 양호한 실시예에서, 상기 OSD 회로는 마스터 클럭 발생기를 포함하며, 수평 위치 설정 회로는 마스터 클럭 발생기로부터 발생된 펄스를 계수하기 위한 계수기를 포함한다. 상기 계수기로부터의 출력 신호는 비교기의 하나의 입력에 공급되며, 비교기의 다른 입력은 소정의 수평 라인 개시 위치를 나타내는 신호를 수신하기 위해 접속되어 있다. 상기 비교기는 2개의 신호를 비교할 때마다 지연 수평 플라이백 신호를 제공한다. 상기 지연 수평 플라이백 신호는 수신된 텔레비전 신호의 수평 주파수에 동기된 펄스를 계수하는 계수기를 리셋하기 위해 활용되며, 계수는 각각의 수평 플라이백 펄스에서 시작한다. 상기 계수기의 출력은 각각의 수평 라인에서의 화소 어드레스(수직 칼럼) 및 각각의 화소에서 수평 도트의 어드레스가 된다.

상기 양호한 실시예는 또한 필요한 경우엔 수직 위치 설정을 제공하기 위한 회로를 포함한다.

도면을 참고로 하면, 같은 문자는 도면을 통해 같은 부분을 표시한다.

제1도를 참조하면, 본 발명을 실현하기 위한 다중 표준 텔레비전 수상기가 도시되었다. 본 명세서를 통해, 용어 다중 표준은 다양한 세계 표준 텔레비전 시스템(즉, NTSC, PAL, SECAM 등)뿐 아니라 모든 다양한 다중 선명도 시스템(IDTV, EDTV, HDTV, 인터레이스 주사, 점진적 주사등)을 뜻한다. 물론 각각의 필드는 수직펄스 사이에서 고정된 다수의 수평 라인(수평 주파수)를 가진 수직 펄스(수직 주파수)에 의해 한정되는데, 초당 다수의 필드를 발생시키므로써 화상이 발생된다는 것은 TV 분야에서 잘 공지되어 있다. 온 스크린 표시부는 각각의 필드를 수평 로우 및 수직 칼럼내에 위치한 다수의 화소로 분할하므로써 발생된다. 각각의 화소는 수평 라인 및 수직 라인에 위치한 도트로 구성된다. 각각의 화소내의 도트는 수평 및 수직 라인에 의해 어드레스되며 각각의 화소는 수직 칼럼 및 수평 로우에 의해 어드레스된다. 상기 어드레스는 요구된 표시의 발생을 위해 사용된다. 상기 용어들은 본 명세서를 통해 사용되지만, 이것은 단지 설명의 편리를 위한 것이지만 본 발명을 제한하기 위해 의도되지 않는 것으로 이해하여야 된다.

상기 텔레비전 수상기는 안테나(10), 튜너(11), IF 스트립(12), 칼라 디코더(13), CRT(14), MPU(15)를 채널(또는 동작 주파수), 표시상의 칼라 및 명도, 볼륨 등과 같은 모든 다른 제어가능한 특징을 제어한다. 원격 유닛(16)은 많은 제어가능한 특징의 원격 제어를 위해 MPU(15)와 연결되어 있다. 기본 구성은 제1도에 상술되어 있으며, 일반적으로 공지된 많은 주변 콤포넌트는 도면을 단순하게 하기 위해 생략되었다.

제2도는 여러 콤포넌트를 갖는 MPU(15)의 더욱 자세한 블록 다이어그램이며, 상기 특별한 실시예에서 단일 반도체 칩상에 모두 형성된다. 제2도는 또한 MPU(15)에 대한 입력과 출력을 설명하며 종래 기술에 숙련된 사람에게 잘 공지되어 있기 때문에 여기에 상세히 기술하지는 않았다. 여기에 논의된 주 콤포넌트는 CPU(17) 및 스크린 표시부(OSD) 회로(20)상의 다중 표준내의 특정한 회로이다.

다중 표준 OSD 회로(20)의 더욱 자세한 블록 다이어그램은 제3도에 도시되어 있다. 명칭 다중 표준 OSD를 포함하는 TV 수상기는 계류중에 있으며, 더욱 자세한 OSD 회로(20) 동작이 상술되어 있다. OSD 회로(20)는 위상 동기 루프(PLL)(21), 시스템/모드 검출 회로(22), 수평 및 수직 방향 계수기(24,25), 수평 및 수직 위치 지연 회로(26,27), 64 문자 판독-전용 메모리(ROMs)(28) 및 MPU 인터페이스(30)를 구비한다. PLL(21)은 어떤 수신된 표준 텔레비전 신호에 대해서도 OSD 회로(20)를 동기화하기 위해 사용된다. 본 실시예에서 수신된 텔레비전 신호의 수평 플라이백 펄스 부분의 리딩 엣지는 수신된 텔레비전 신호에 대해 PLL(21)을 동기시키기 위해 사용된다. 상기 플라이백 펄스는 또한 시스템/모드 검출 회로(22)에 공급된다. PLL(21)로부터의 마스터 클럭 신호 및 수평 주파수 신호는 수평 방향 계수기(24)에 공급된다. 상기 플라이백 펄스에 대해 동기된 제3의 신호(E15)는 PLL(21)로부터 수직 방향 계수기(25)에 공급된다. 시스템/모드 검출 회로(22)는 PLL(21), 수평 및 수직 방향 계수기(24,25), MPU 인터페이스(30)에 대해 플렉(즉, 모드 플렉)을 공급한다. 수평 방향 계수기(24)는 수평 위치 지연 회로(25), MPU 인터페이스(30), 여기에 도시하지는 않았지만 회로의 다른 부분에 대하여 도트 및 수직 칼럼 어드레스를 공급한다. 수직 방향 계수기(25)는 문자 ROM(28) 및 MPU 인터페이스(30)에 수평 라인 및 수평 로우 어드레스를 공급한다. 수직 위치 지연 회로(26)는 표준 텔레비전 신호로부터 수직 플라이백 펄스를 수신하며 수직 방향 계수기(25) 및 시스템/모드 검출 회로(22)에 대해 지연 수직 플라이백 신호를 공급한다. ROM(28)은

MPU 인터페이스(30)로부터 신호를 수신하고, 소정의 온-스크린 표시를 발생하기 위해 OSD 회로(20)의 나머지 부분(도시되지 않음)에 신호를 공급한다.

제4도를 참조하면, 본 발명의 일부분을 실현하는 수평 위치 지연 회로(26)가 개략적으로 도시되어 있다. 수평 위치 지연 회로(26)는 계수기(35), 비교기(37) 및 입력 게이트(39)를 구비한다. 계수기(35)는 제1단(40) 및 제2단(41)을 구비하며, 각각은 2, 4, 8, 16에 의해 인입 클럭 신호를 분할하도록 구성되어 있다. 제1단(40)에 인가된 인입 클럭 신호는 아래에서 설명되듯이 수평 방향 계수기(24)로부터 얻어진다. 제1단(40)의 16으로 분할된 값의 출력(Q4)은 제2단(41)에 클럭 입력으로서 공급된다. 제1단(40)의 4개의 출력 및 제2단(41)의 4개의 출력은 비교기(37)의 처음의 8개의 입력(Q0-Q7)에 공급된다. 계수기(35)는 또한 제1단(40)과 제2단(41)의 리셋 입력에 접속된 출력을 가지는 D-형 플립플롭(43)을 구비한다. 플립플롭(43)의 클럭 입력은 PLL(21)에 의해 수신된 텔레비전 신호의 수평 플라이백 펄스와 동기화되고 마스터 클럭 및 그것에서 파생된 신호(derivative signals)와 위상 동기된 수평 주파수 신호 M15를 수신하기 위해 접속되어 있다. 상기 다중 표준 OSD에서 신호는 플립플롭(43)의 클럭 입력에 공급되며 상기 수신된 텔레비전 신호에 의존하여, 대략 31KHz 또는 대략 15KHz의 주파수가 된다. 입력 게이트(39)는 입력 단자(46)에 접속된 신호 단자와 입력 단자(47)에 접속된 제어 단자를 가진 제1의 4개의 게이트(45)와, 입력 단자(49)에 접속된 신호 단자와 입력 단자(50)에 접속된 제어 단자를 가진 제2의 4개의 게이트(48)를 포함한다. 입력 단자(46)는 수신된 텔레비전 신호가 대략 31KHz 수평 주파수를 가질 때 소정의 수평 라인 개시 위치를 표시하는 4비트 신호를 수신하기 위해 접속되어 있으며, 입력 단자(49)는 수신된 텔레비전 신호가 대략 15KHz 수평 주파수를 가질 때 소정의 수평 라인 개시 위치를 표시하는 4비트 신호를 수신하기 위해 접속되어 있다. 입력 단자(47,50)는 시스템/모드 검출 회로(22)로부터 각각 인버트된 모드 플랙과 모드 플랙을 수신하기 위해 접속되어 있으며, 상기 신호는 적당한 수평 주파수 신호를 통과하도록 허용하기 위해 게이트(45) 또는 (48)를 개방한다. 4개의 게이트(45) 및 4개의 게이트(48)의 출력은 비교기(37)의 두번째의 8개의 입력(P0-P7)중의 4개의 입력(P0-P3)에 접속되어 있다. 상기 두번째의 8개의 입력중의 나머지 4개의 입력(P4-P7)은 그라운드에 접속된다. 비교기(37)의 출력은 출력 단자(51)에 공급된다.

PLL(21) 및 시스템/모드 검출 회로(22)는 수신된 텔레비전 신호의 수평 플라이백 펄스와 동기화된다. 상기 동기화때문에, 상기 계류중인 출원에서 더욱 전반적으로 상술된 바와 같이, 수평 플라이백 펄스의 펄스폭은 OSD(20)에 의해 발생된 표시 문자의 수평 위치에 영향을 준다. 수평 플라이백 펄스의 펄스폭은 표시문자의 수평 위치에 영향을 주기 때문에, 입력 수평 플라이백 펄스로부터 고정 길이 펄스를 발생시키는 것이 요구된다. 지연 수평 플라이백 펄스로서 지칭되는 상기 고정 길이 펄스는 상기 문자 표시 위치가 스크린상에 정확하게 정렬되도록 하기 위해 입력 수평 플라이백 펄스로부터 정확하게 지연되어야 한다. 이들 특징으로 제공하기 위해, 수평라인내에서 각각의 화소 어드레스의 중앙 비트(DC2)를 표시하는 신호는 계수기(35)의 제1단(40)의 클럭 입력에 공급된다. 클럭 입력에서 수평 주파수를 수신하는 D-플립플롭(43)이 각각의 수평 라인에 대하여 계수기(35)를 리셋하기 때문에, 계수기(35)는 기본적으로 각각의 수평 라인내의 화소를 계수한다. 단자(46)에서 31KHz 수평 주파수에 대한 소정의 위치의 신호 표시와 단자(49)에서 15KHz 수평 주파수에 대한 신호를 제공함으로써, 비교기(37)는 표시가 시작될 수평라인내의 요구된 화소를 선택하며 그것을 표시하는 출력 펄스를 제공한다. 비교기(37)로부터의 출력 펄스는 출력 단자(51)에서 나타나는 지연 수평 플라이백 펄스이다.

제5도를 참고로 하면, 수평 방향 계수기(24)가 개략적으로 상술되어 있다. 수평 방향 계수기(24)는 4개의 단(55,56,57,58)을 포함한다. 특정 실시예에서 단(55,56)은 화소 계수기로 작용하는 반면에 단(57,58)은 칼럼 계수기로 작용한다. 한쌍의 입력 게이트(60,61)는 모드 플랙과 인버트된 모드 플랙에 의해 동작하며, 각각, 제1단(55)의 클럭 입력에 대해 마스터 클럭 주파수 14MHz(수신된 텔레비전 신호에 의존하여) 또는 마스터 클럭 주파수(7)중 하나를 제공하기 위해 동작한다. D-플립플롭(63)은 클럭 입력에서 PLL(21)로부터 동기화 수평 주파수 신호 M15를 수신하기 위해 접속되어 있다. D-플립플롭(63)의 출력은 제1단(55)의 리셋에 접속되어 있으며 수평 주파수에 대해 제1단(55)을 동기화한다. 제1단(55)은 수평 라인내의 다수의 도트의 수를 계수하는 것이 이해될 것이다. 제1단(55)은 입력 신호를 2, 4, 8로 나누며, 이들 출력은 각각의 화소에서 도트의 어드레스의 3비트를 표시한다. 제1단(55)의 제3출력은 또한 제2단(56)의 클럭입력에 공급되며, 클럭 입력을 2로 나누며 출력에서 이 신호를 도트 어드레스내의 제4(최상위)비트로서 제공하고 또한 제3단(57)의 클럭 입력에 이 신호를 공급한다. 제3단(57)은 클럭 입력을 2, 4, 8로 나누며 이들 신호들을 칼럼 어드레스내의 제1의 3개의 비트를 표시하는 3개의 출력단자에 공급한다. 제3단(57)의 제3출력은 제4단(58)의 클럭 입력에 공급되며, 제4단(58)은 신호를 2 및 4로 나누며 상기 칼럼 어드레스의 마지막 2비트를 표시하는 2개의 단자에 이들 출력을 공급한다. 상기 칼럼 어드레스가 위치 지연 회로(26)에서 선택된 수평 위치에서 시작하는 것을 보증하기 위해서, 제2단(56), 제3단(57) 및 제4단(58)은 수평 위치 지연 회로(26)의 출력 단자(51)로부터의 지연 수평 플라이백 신호에 의해 리셋된다. 상기 도트 및 칼럼 어드레스는 텔레비전 스크린상에 선택된 위치에서 정확하게 요구된 지연을 발생하기 위해 OSD 회로(20)의 회로내에 사용된다.

어떤 응용에 있어서는 수평 위치 대신에 또는 수평 위치와 함께 수직 위치를 지연시키는 것이 바람직할 수 있으며, 따라서, 제6도에 설명된 수직 위치 지연 회로(27)는 이러한 목적을 위해 제공된다. 수직 위치 지연 회로(27)는 계수기(65)가 PLL(21)에 의해 공급된 수평 주파수 신호를 계수하기 위해 접속된 3개의 단을 포함한다는 것을 제외하고는 본질적으로 수평 위치 지연 회로(26)와 유사하다. 계수기(65)의 3개의 모든 단은 D-플립플롭(66)으로부터 출력에 의해 리셋되며, D-flipflop(66)은 수신된 텔레비전 신호로부터의 수직 플라이백 펄스에 의해 클럭된다. 수평 위치 지연 회로(26)에서와 같이, 계수기(65)의 출력은 출력 단자(69)상에서 지연된 수직 플라이백 펄스를 발생시키기 위해 소정의 워드에 대해 계수(count)를 비교하는 비교기(68)의 입력(Q0-Q7)에 공급된다. 본 실시예에서, 비교기(68)의 제2입력(P0-P7)에 공급되는 소정의 워드는 고전압에 접속된 한쌍의 단자(P2, P3)와 접지에 접속된 나머지 단자(P0, P1, P4-P7)를 구비하여, 수직 표시는 수신된 텔레비전 신호 형태와 무관하게 항상 같은 위치에서 시작된다. 물론, 어떤 선택된 위치에서도 수직 표시를 시작하기 위해서, 비교기(68)의 제2입력 단자에 어떤 다른 워드가 적용되어도 괜찮다는 것을 이해할 것이다.

제7도를 참고로 하면, 수직 방향 계수기(25)는 개략적으로 상술되어 있다. 수직 방향 계수기(25)는 3-단 계수기(80,81,82)를 포함한다. 입력 D-형 플립플롭(85)은 클럭 입력에서 PLL(21)로부터의 수평 주파수 신호를 수신하기 위해 접속되어 있으며, 상기 신호는 NAND 게이트(86)에 대해 인버터를 통해 공급된다. 플립플롭(85)은 하이(1) 또는 로우(0) 신호인 높이 신호(height signal)에 의해 셋트된다. 본 실시예에서 상기 표시의 문자에는 높이 신호는 플립플롭(85)을 셋트하고, 이중 높이(double height)가 제공될 수 있으며, 그 경우에는 상기 로우 계수는 1/2 만큼 내려간다. 플립플롭(85)의 출력은 NAND 게이트(86)의 제2입력에 공급된다. NAND 게이트(86)로부터의 출력 신호는 제1단(80)의 클럭 입력에 공급된다. 제1단(80)은 2, 4, 8, 16으로 클럭 입력 신호를 나누며, 4개 모두 라인 어드레스 신호(L0~L4)의 제1의 4개의 비트(L0~L3)로서 공급된다. 제1단(80)의 제4출력(Q4)은 제2단(81)에 대해 클럭 입력으로서 공급되며, 제2단(81)은 클럭 입력을 2로 나누며 이 출력(Q1)을 라인 어드레스 신호(L0~L4)의 제5비트(L4)로서 제공한다. 제2단(81)의 출력은 또한 시스템/모드 검출 회로(22)로부터의 인버트된 시스템 플랙 1 신호 및 수직 위치 지연 회로(27)로부터의 지연 수직 플라이백 펄스와 함께 게이트(90)에 대해 입력으로서 공급된다. 게이트(90)로부터의 출력신호는 제1단(80,81)에 대한 리셋으로서 또한 제3단(82)에 대한 클럭 입력으로서 공급된다. 제3단(82)은 2, 4, 8, 16으로 클럭 입력을 나누며 이들 4개의 출력 신호를 각각의 라인에서의 로우 어드레스 신호로서 공급한다. 게이트(90)에 공급된 인버트 시스템 플랙1신호는 수신된 텔레비전 신호의 수직 주파수에 따라 게이트(90)를 제어한다. 상기 지연 수직 플라이백 신호는 제3단(82)에 의해 제공된 로우 어드레스가 수직 지연이 시작될 때 개시하도록 제3단(82)의 리셋과 게이트(90)내의 OR 게이트에 공급된다. 또한, 인버트 지연 수직 플라이백 신호는 제1 및 제2단(80,81)에 의한 라인 계수가 수직 지연의 개시시에 시작하는 것을 보증하기 위해 D-플립플롭(85)의 리셋에 인가된다. 상기 라인 및 로우 어드레스는 텔레비전 스크린상의 선택된 위치에서 요구된 표시를 정확하게 발생하기 위해 돛트 및 칼럼 어드레스와 관련하여 OSD 회로(20)의 다른 회로에 사용된다.

따라서, 다중 표준 OSD 회로와 마이크로 프로세서를 갖는 텔레비전 수상기가 기술되었으며, 상기 OSD 회로는 표시의 소정의 선택가능한 수평 및/또는 수직 위치설정을 포함한다. 다구나, 수평 및/또는 수직 표시의 선택가능한 위치 설정은 다중 표준 OSD 회로에 의해 자동으로 동작한다. 또한, 상기 위치 설정 회로는 상당히 단순한 구성이며 정확하고 안정하게 되도록 수신된 텔레비전 신호에 대해 동기화된다.

본 발명의 특정한 실시예가 도시되고 상술된 반면에, 본 기술의 숙련된 사람은 다른 수정 및 개량을 할 수 있다. 본 발명이 도시된 특정한 형태에 대해 제한되는 것이 아니며, 첨부된 청구범위가 발명의 범위 및 사상에서 벗어나지 않는 모든 수정을 포함하도록 의도된 것이라는 것을 이해하여야 할 것이다.

(57) 청구의 범위

청구항 1

텔레비전 수상기에 있어서, 마이크로프로세서와(17), 상기 마이크로프로세서(17)에 결합되고 상기 마이크로프로세서에 의해 제어되며, 수상기에 의해 수신된 텔레비전 신호의 표시 스크린 상에서의 표시 위치 설정을 제어하도록 배열된 다중 표준 온 스크린 표시 회로(20)를 포함하여, 상기 다중 표준 온 스크린 표시 회로는, 수신된 텔레비전 신호의 수평 주파수에 동기화된 마스터 클럭 신호를 발생시키기 위한 마스터 클럭 발생기(21)와, 수신된 텔레비전 신호의 표준에 의존하여 다수의 소정의 위치에서 표시의 수평 라인을 시작하도록 조절가능한 수평 위치 회로(24,26)를 포함하고, 상기 수평 위치 회로는, 상기 수신된 텔레비전 신호의 수평 주파수에 동기화되고, 마스터 클럭 신호의 펄스를 계수하고 상기 계수를 나타내는 출력 신호를 공급하기 위해서 접속된 계수기(35)와, 상기 표준과 연관된 다수의 소정의 수평 라인 시작 위치를 나타내는 다중 표준 신호를 수신하고, 상기 수신된 텔레비전 신호의 각각의 표준을 나타내는 제어신호를 입력 단자(47,50)에서 수신하며, 상기 제어신호에 응답하여 상기 수신된 텔레비전 신호의 표준과 관련된 소정의 수평 라인 시작 위치를 나타내는 출력 신호를 제공하기 위한 다수의 입력 게이트(39)와, 상기 계수를 나타내는 출력 신호를 수신하도록 접속된 제1 입력단자와, 상기 입력 다수의 게이트(39)와, 상기 계수를 나타내는 출력 신호를 수신하도록 접속된 제1 입력단자와, 상기 입력 다수의 게이트(39)에 결합된 제2 입력 단자를 갖는 비교기(37)는 상기 계수기(35)로부터의 출력 신호가 소정의 수평 라인시작 위치를 나타내는 출력 신호와 실질적으로 동일할 때 지연된 수평 플라이백 신호를 제공하고, 상기 지연된 수평 플라이백 신호는 상기 수신된 텔레비전 신호의 표시가 시작되는 수평 라인 위치를 나타내는 텔레비전 수상기.

청구항 2

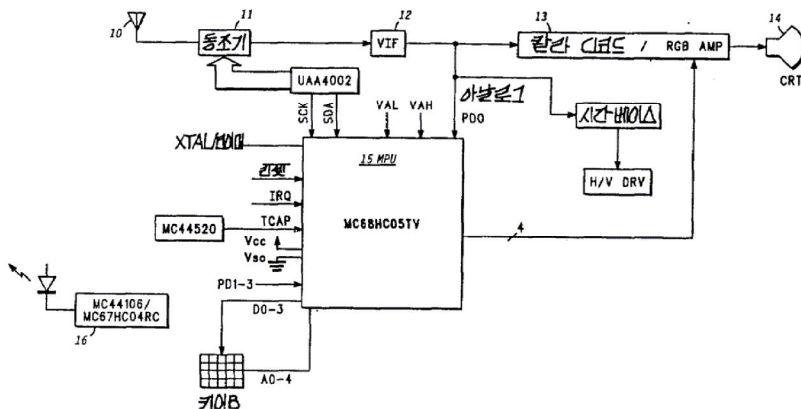
수신된 텔레비전 신호의 표준에 의존하여 텔레비전 수상기내의 표시 스크린상에 화상을 위치시키기 위한 다중 표준 온 스크린 표시 회로(20)에 있어서, 수신된 텔레비전 신호의 수평 주파수에 동기화된 마스터 클럭 신호를 발생시키기 위한 마스터 클럭 발생기(21)와, 수신된 텔레비전 신호의 표준에 의존하여 다수의 소정의 위치에서 표시의 수평 라인을 시작하도록 조절가능한 수평 위치 회로(24,26)를 포함하고, 상기 수평 위치 회로는, 상기 수신된 텔레비전 신호의 수평 주파수에 동기화되고, 마스터 클럭 신호의 펄스를 계수하고 상기 계수를 나타내는 출력 신호를 공급하기 위해서 접속된 계수기(35)와, 상기 표준과 관련된 다수의 소정의 수평 라인 시작 위치를 나타내는 다중 표준 신호를 수신하고, 상기 수신된 텔레비전 신호의 각각의 표준을 나타내는 제어신호를 입력 단자(47,50)에서 수신하며, 상기 제어신호에 응답하여 상기 수신된 텔레비전 신호의 표준과 관련된 소정의 수평 라인 시작 위치를 나타내는 출력 신호를 제공하기 위한 다수의 입력 게이트(39)와, 상기 계수를 나타내는 출력 신호를 수신하도록 접속된 제1입력 단자와, 상기 입력 다수의 게이트(39)에 결합된 제2 입력 단자를 갖는 비교기(37)를 포함하되, 상기 비교기(27)는 상기 계수기(35)로부터의 출력 신호가 소정의 수평 라인 시작 위치를 나타내는 출력 신호와 실질적으로 동일할 때 지연된 수평 플라이백 신호를 제공하고, 상기 지연된 수평 플라이백 신호는 상기 수신된 텔레비전 신호의 표시가 시작되는 수평 라인 위치를 나타내는 다중 표준 온 스크린 표시 회로(20).

청구항 3

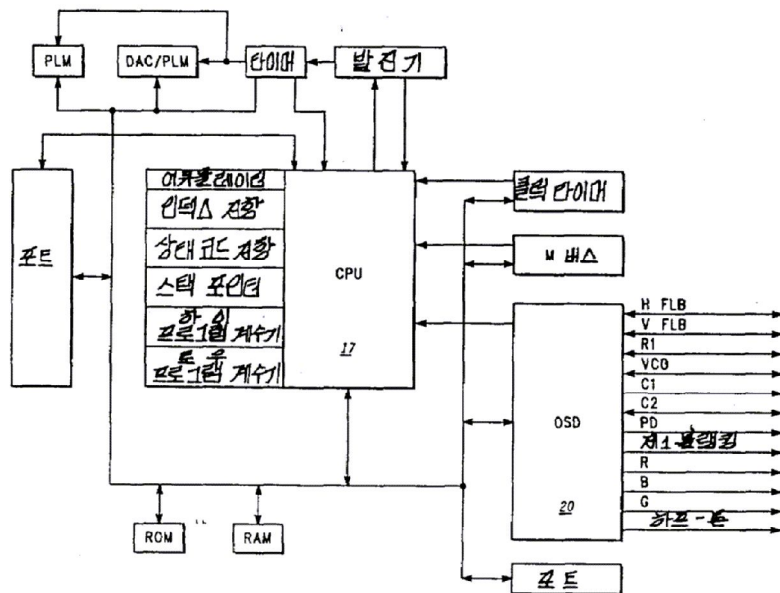
텔레비전 수상기에서, 수신된 텔레비전 신호의 표준에 의존하여 표시 스크린 상에 화상을 수평방향으로 위치시키는 방법에 있어서, 수평 플라이백 펄스를 가진 텔레비전 신호를 수신하는 단계와, 상기 수평 플라이백 펄스에 동기화된 수평 주파수 클럭 신호와 마스터 클럭 신호를 발생시키는 단계와, 상기 마스터 클럭 신호를 계수하고 상기 수평 주파수 클럭 신호의 각각의 펄스에서 상기 계수를 시작함으로써 수평 라인에 대한 다중 비트 도트 어드레스를 발생하는 단계와, 상기 수평 주파수 클럭 신호의 주기 사이의 상기 다중 비트 도트 어드레스중의 각각의 어드레스의 선택된 비트를 계수하고 계수 신호를 제공하는 단계와, 수신된 텔레비전 신호의 대응되는 표준에 대하여 소정의 수평 라인 시작 위치를 각각 나타내는 다수의 신호 사이에서 선택하는 단계와, 소정의 수평 라인 시작 위치를 나타내는 상기 선택된 신호와 상기 계수 신호를 비교하는 단계와, 상기 계수 신호가 상기 선택된 신호와 실질적으로 동일할 때마다 지연된 수평 플라이백 펄스를 발생하는 단계와, 상기 마스터 클럭 신호의 펄스를 계수하고 각각의 수평 라인에 대하여 계수를 시작하기 위해서 상기 지연된 수평 플라이백 펄스를 사용함으로써 상기 표시의 각각의 수평 라인에 대한 칼럼 어드레스를 발생하는 단계를 포함하는, 표시 스크린상에 화상을 수평방향으로 위치시키는 방법.

도면

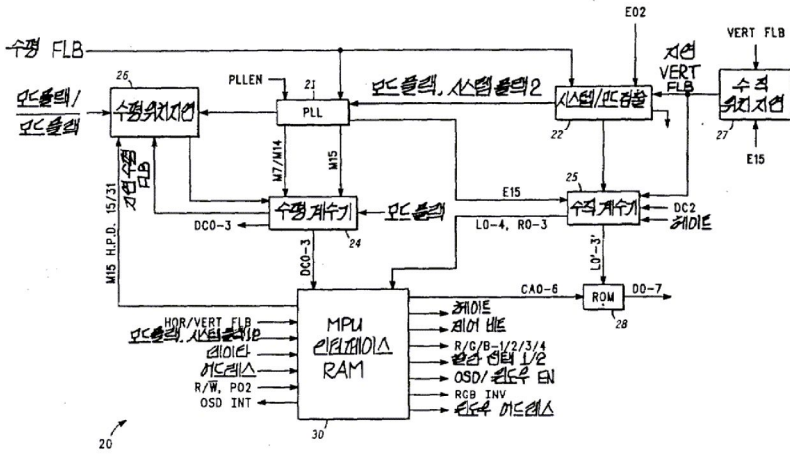
도면1



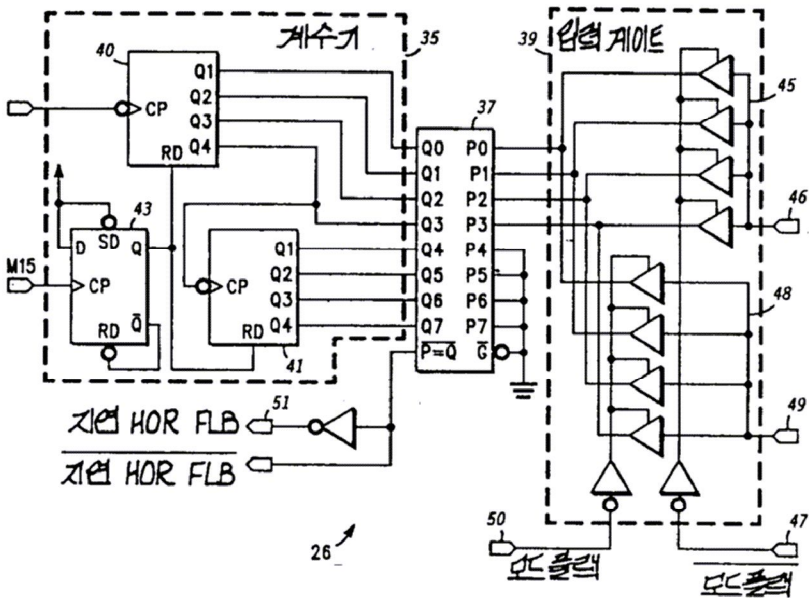
도면2



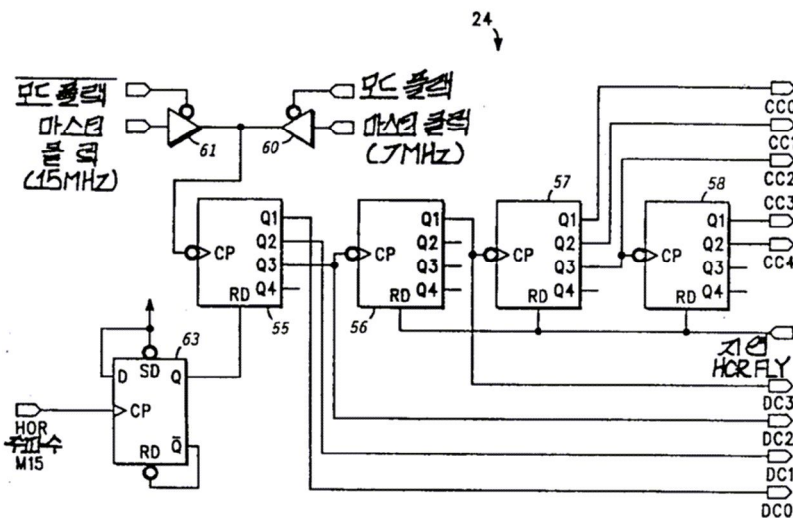
도면3



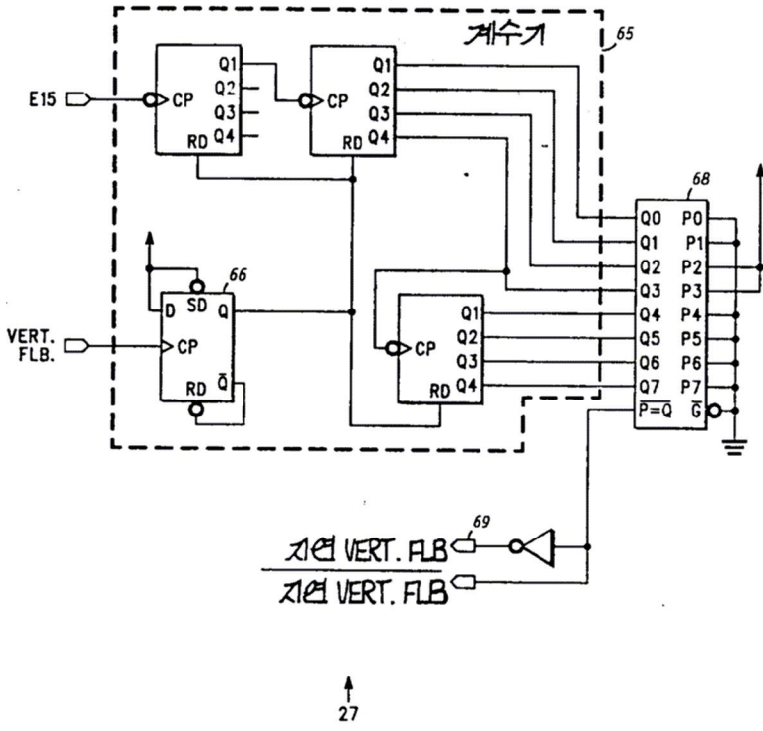
도면4



도면5



도면6



도면7

