

公告本

408432

申請日期	87.8.25
案號	87113977
類別	H01L 21/16

A4
C4

(以上各欄由本局填註)

發明專利說明書

408432

一、發明 名稱	中文	淺溝渠隔離的製造方法
	英文	
二、發明 人 創作	姓名	1 陳中怡
	國籍	中華民國
	住、居所	1 台北縣中和市景新街 274 巷 8 號 4 樓
三、申請人	姓名 (名稱)	聯嘉積體電路股份有限公司 發揚電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表 人 姓名	曹興誠

裝

訂

線

五、發明說明(一)

本發明是有關於一種淺溝渠隔離的製造方法，且特別是有關於一種應用化學機械研磨製程(Chemical Mechanical Polishing, CMP)的淺溝渠隔離的製造方法。

化學機械研磨法是當今能提供一般超大型積體電路(Very Large Scale Integration, VLSI)，甚至於更高精密度之極大型積體電路(Ultra Large Scale Integration, ULSI)製程中，應用於全面平坦化(Global Planarization)的一種技術，由於此項技術極可能成為半導體業者在大幅降低積體電路的圖案尺寸(Feature Size)，所唯一必須依賴的平坦化製程，因此相關業者莫不全力開發此項技術，以降低生產成本，提高競爭優勢。

當半導體元件愈趨縮小的情況下，如線寬大小已達 $0.25\mu\text{m}$ 或甚至 $0.18\mu\text{m}$ 的深半次微米(Deep Sub-Half Micron)技術時，以化學機械研磨法作為晶片表面平坦化的處理技術，尤其是在處理淺渠溝表面氧化層的平坦，已經是愈來愈重要。但為了預防以化學機械研磨法處理面積較大的淺渠溝表面氧化層之平坦，所可能發生的凹陷現象(Dishing Effect)，在製程中提出一種反相(Reverse Tone)主動罩幕，並利用回蝕(Etch Back)製程，以得到較佳的化學機械研磨一致性(CMP Uniformity)，然而卻可能因為光罩對不準效應(Misalignment)，造成淺溝渠受到回蝕現象。

在習知的淺渠溝隔離製程中，由於主動區域尺寸大小可能不一，因此介於主動區域間的淺渠溝也可能有不同尺寸。請參考第 1A 圖至第 1E 圖，為習知淺溝渠隔離之化學

五、發明說明 (2)

機械研磨製程剖面示意圖，如第 1A 圖所示，在一基底 10 上沉積一墊氧化層 (Pad Oxide) 15 及氮化矽層 16，經由微影製程，非等向性蝕刻基底 10、墊氧化層 15 及氮化矽層 16，而形成淺渠溝 14 及主動區域 12。由於主動區域 12 的尺寸大小不一，而淺渠溝 14 的大小亦不同。

接著，請參考第 1B 圖，比如以常壓化學氣相沉積法 (APCVD) 在基底 10 上沉積一層氧化層 18，並填滿淺渠溝 14 內部，然而，由於淺渠溝 14 凹陷於基底 10 內形成高低起伏之表面，且由於氧化層 18 階梯覆蓋的特性，其沉積後表面呈現高低起伏且較圓滑。此時，在氧化層 16 表面塗佈一層光阻劑，並經由微影形成反相主動罩幕 20，也就是所謂的反相效果 (Reverse Tone)。此反相主動罩幕 20 覆蓋在淺渠溝 14 的上方，並與主動區域 12 形成互補 (Complementarity)。然而，此反相主動罩幕 20 在形成時，卻容易因為對不準現象，而發生超出渠溝 14 容許的誤差範圍，覆蓋到超過淺渠溝 14 範圍的氧化層 18。

請參考第 1C 圖，蝕刻未被反相主動罩幕 20 所覆蓋之氧化層 18 直到露出氮化矽層 16 表面為止，形成部份位在淺渠溝 14 上的氧化層 18a 與反相主動罩幕 20。接著，再剝除反相主動罩幕 20，如第 1D 圖所示，可觀察出殘留在淺渠溝 14 上的氧化層 18a，在高於淺渠溝表面的部分有明顯的偏差：一端因為反相主動罩幕 20 的移位而未被覆蓋，在蝕刻後而形成凹溝 22，而另一端則由於受到反相主動罩幕 20 移位而過度覆蓋，致使氧化層 18a 覆蓋在超出

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

淺渠溝範圍的氮化矽 16 上，而形成光罩重疊部分 24。

請參考第 1E 圖，以化學機械研磨方式將高於淺渠溝表面的氧化層 18a 研磨，並磨至暴露出氮化矽層 16 表面，使氮化矽 16 與氧化層 18a 表面高度相同，而由於以常壓化學氣相沉積所形成的氧化層 18a 之輪廓較圓滑，使得以化學機械研磨法研磨此氧化層 18a 時，較不易磨平。另外，可明顯看出在淺渠溝 14 中的氧化層 18a 並未完全填滿，而在一端因受到對不準現象所導致形成凹溝 22，此凹溝 22 對晶片可能發生頸結效應(Kink Effect)，使得電流可能從此凹溝 22 溢出，發生短路現象或漏電流，致使產個晶片良率受到影響。

有鑑於此，本發明提供了一種較簡易的製造方法，採用虛置圖案(Dummy Pattern)結合化學機械研磨的製程，來製作淺溝渠隔離，放置在範圍較大的淺溝渠區域，用以作為化學機械研磨時的蝕刻阻擋層，藉以避免產生凹陷現象，或是細小的刻痕。

根據本發明的上述及其他目的，提出一種淺溝渠隔離的製造方法，首先，提供具有墊氧化層與第一絕緣層的半導體基底，在其上形成具有較小尺寸的第一溝渠與具有較大尺寸的第二溝渠。依序在此結構上形成一層第一介電層與第二絕緣層，並利用光阻層定義第二絕緣層，去除未被光阻層覆蓋的第二絕緣層，使留下的第二絕緣層用以作為虛置圖案，佔據較大尺寸的第二溝渠部分的空間。在第一介電層上與第二溝渠剩餘的空間內填入第二介電層，以化

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

學機械研磨法進行平坦化製程，即完成淺溝渠隔離之結構。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1E 圖繪示為習知以反相主動罩幕，形成淺溝渠結構之剖面流程圖；

第 2A 圖至第 2E 圖繪示為本發明一較佳實施例，尺寸較小之淺溝渠結構之剖面流程圖；以及

第 3A 圖至第 3E 圖繪示為本發明一較佳實施例，尺寸較大之淺溝渠結構之剖面流程圖。

圖示標記說明：

- 10, 200 基底
- 12 主動區域
- 14 淺溝渠
- 15, 202 墊氧化層
- 16 氮化矽層
- 18, 208a 氧化層
- 204, 210 絕緣層
- 206a, 206b 溝渠
- 208, 208a, 214 介電層
- 216 虛置圖案
- 212 光阻層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(ㄙ)

208a, 214a 介電插塞

實施例

請同時參考第 2A 圖至第 2E 圖，以及第 3A 圖至第 3E 圖，第 2A 圖至第 2E 圖繪示為依照本發明一較佳實施例，具有較小尺寸之淺溝渠結構的剖面圖；第 3A 圖至第 3E 圖繪示為依照本發明一較佳實施例，具有較大尺寸之淺溝渠結構的剖面圖。

首先，請參照第 2A 圖與第 3A 圖，提供一半導體基底 200，在其上形成一層墊氧化層 202 與第一絕緣層 204，第一絕緣層 204 之材質比如為氮化矽 (SiN_x) 或氮氧化矽 (SiO_xN_y)。進行微影蝕刻步驟，透過第一絕緣層 204 與墊氧化層 202，具除部分半導體基底，以在半導體基底 200 中形成第一溝渠 206a(見第 2A 圖)與第二溝渠 206b(見第 3A 圖)。其中，第一溝渠 206a 其開口的尺寸較小，而第二溝渠 206b 的開口尺寸較大。

接著，請同時參照第 2B 圖與第 3B 圖，依序在上述之結構上覆蓋一層第一介電層 208 與第二絕緣層 210，形成介電層 208 時，具有較小開口的第一溝渠 206a 會被第一介電層 208 填滿，而具有較大開口的第二溝渠則僅會覆蓋上一層第一介電層 208，而不會完全被填滿。其中，第二絕緣層 210 之材質比如為氮化矽 (SiN_x) 或氮氧化矽 (SiO_xN_y)，且覆蓋在第二溝渠 206b 的第二絕緣層 210 之上表面與第一絕緣層 204 之上表面高度相等；第一介電層 208 之材質比如為二氧化矽或是與第二絕緣層 210 具有大

訂

繪

五、發明說明(6)

的蝕刻選擇比之材料。

另外，在第 3B 圖，在具有較大開口的第二溝渠 206b 的第二絕緣層 210 中形成一層光阻層 212，覆蓋部分的第二溝渠 206b。在此需要注意的是，由於受到微影技術中光源解析度的影響，所以光阻層 212 邊緣與第二溝渠 206b 邊緣的距離必須大於 $0.5\mu\text{m}$ ，但是日後若微影技術有所改進，光源解析度可以達到更精細的地步，光阻層 212 與第二溝渠 206b 邊緣的距離自然可以隨光源解析度的增加而縮短。

接著，請參照第 2C 圖與第 3C 圖，透過光阻層 212 去除未被光阻層 212 覆蓋的第二絕緣層 210，至暴露出第一介電層 208 為止；然後將光阻層 212 移除。此步驟即利用光阻 212 將第一絕緣層 210 定義，用以在具較大尺寸的第二溝渠 206b 中形成一虛置圖案 210'。

之後，請參照第 2D 圖與第 3D 圖，形成一層第二介電層 214，覆蓋在第一介電層 208 與虛置圖案 210' 上，形成方式比如為化學氣相沈積法，其材質與第一介電層 208 相同，比如為二氧化矽或是與虛置圖案 210' 之材質具有大的蝕刻選擇比之材料。

接著，請參照第 2E 圖與第 3E 圖，以第一絕緣層 204 與虛置圖案 210' 作為研磨阻擋層，利用化學機械研磨法將位於第二絕緣層 208 上方的第二介電層 214 與第一介電層 208 去除，僅留下填充在第一溝渠 206a 的第一介電插塞 208a，以及填充在第二溝渠 206b 與虛置圖案 210' 間的第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

一介電層 208b 與第二介電插塞 214a。其中，作為研磨阻擋層的第一絕緣層 204 與部分的虛置圖案 210'，則在稍後的步驟中利用比如濕蝕刻的技術加以去除(對氧化物有很高的選擇比)。

由於，開口尺寸較大的第二溝渠 206b 有部分被虛置圖案 210'佔據，虛置圖案的材質與介電層不同，在進行機械研磨製程時，可用以作為研磨的阻擋層，且並不需要去除大區域的介電層，所以不會有習知進行化學機械研磨時，在介電層的表面出現凹陷現象，以及微小刻痕的現象發生。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：淺溝渠隔離的製造方法)

一種淺溝渠隔離的製造方法，首先提供具有墊氧化層與第一絕緣層的半導體基底，在其上形成具有較小尺寸的第一溝渠與具有較大尺寸的第二溝渠。依序在此結構上形成一層第一介電層與第二絕緣層，定義並去除部分的第二絕緣層，使留下的第二絕緣層用以作為虛置圖案，佔據較大尺寸的第二溝渠部分的空間。在第一介電層上與第二溝渠剩餘的空間內填入第二介電層，以化學機械研磨法進行平坦化製程，即完成淺溝渠隔離之結構。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

表

訂

六、申請專利範圍

- 1.一種淺溝渠隔離的製造方法，包括下列步驟：
提供一半導體基底；
定義並去除部分該半導體基底，以在該半導體基底上形成一第一溝渠與一第二溝渠；
形成一第一介電層於該半導體基底上；
形成一絕緣層於該第一介電層上；
去除部分該絕緣層，至暴露出該第一介電層為止，以在該第二溝渠中形成一虛置圖案；
形成一第二介電層填滿該第一溝渠與該第二溝渠；以及
以化學機械研磨法去除部分該第一介電層與該第二介電層，至暴露出該絕緣層與該虛置圖案為止。
- 2.如申請專利範圍第 1 項所述之製造方法，其中該第二溝渠之尺寸大於該第一溝渠。
- 3.如申請專利範圍第 1 項所述之製造方法，其中該絕緣層之材質為氮化矽。
- 4.如申請專利範圍第 1 項所述之製造方法，其中該絕緣層之材質為氮氧化矽。
- 5.如申請專利範圍第 1 項所述之製造方法，其中該第一介電層之材質為二氧化矽。
- 6.如申請專利範圍第 1 項所述之製造方法，其中該第二介電層之材質為二氧化矽。
- 7.如申請專利範圍第 1 項所述之製造方法，其中該半導體基底更包括一墊氧化層與一氮化矽層形成於其上。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

8.一種淺溝渠隔離的製造方法，包括下列步驟：

提供一半導體基底；

依序形成一墊氧化層與一第一絕緣層於該半導體基底上；

透過該第一絕緣層與該墊氧化層，定義並去除部分該半導體基底，以在該半導體基底上形成一第一溝渠與一第二溝渠，其中該第二溝渠之開口尺寸大於該第一溝渠；

形成一第一介電層於該半導體基底上，並填滿該第一溝渠；

形成一第二絕緣層於該第一介電層上；

去除部分該第二絕緣層，至暴露出該第一介電層為止，剩餘之該第二絕緣層在該第二溝渠中形成一虛置圖案；

形成一第二介電層填滿該第二溝渠並覆蓋在該第一介電層上；

以化學機械研磨法去除部分該第一介電層與該第二介電層，至暴露出該第一絕緣層與該虛置圖案為止；以及

以濕蝕刻法去除該第一絕緣層與部分之虛置圖案。

9.如申請專利範圍第 8 項所述之製造方法，其中該第一絕緣層之材質為氮化矽。

10.如申請專利範圍第 8 項所述之製造方法，其中該第一絕緣層之材質為氮氧化矽。

11.如申請專利範圍第 8 項所述之製造方法，其中該第二絕緣層之材質為氮化矽。

12.如申請專利範圍第 8 項所述之製造方法，其中該第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

二絕緣層之材質為氮氧化矽

13.如申請專利範圍第 8 項所述之製造方法，其中該第一介電層之材質為二氧化矽。

14.如申請專利範圍第 8 項所述之製造方法，其中該第二介電層之材質為二氧化矽。

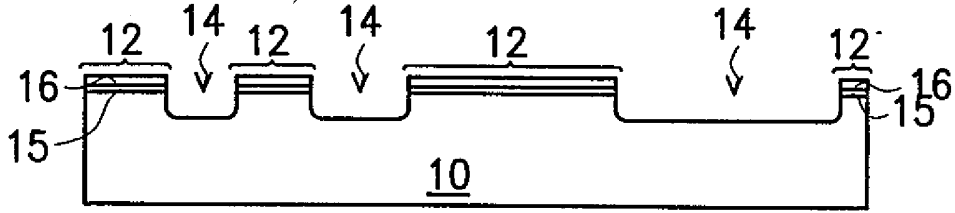
(請先閱讀背面之注意事項再填寫本頁)

裝

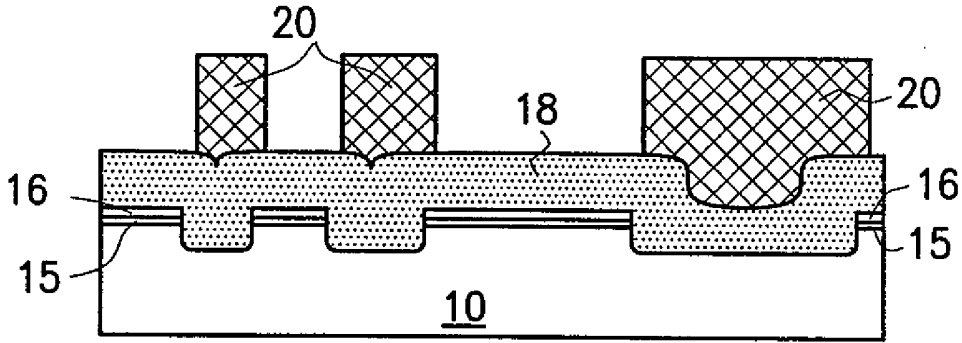
訂

線

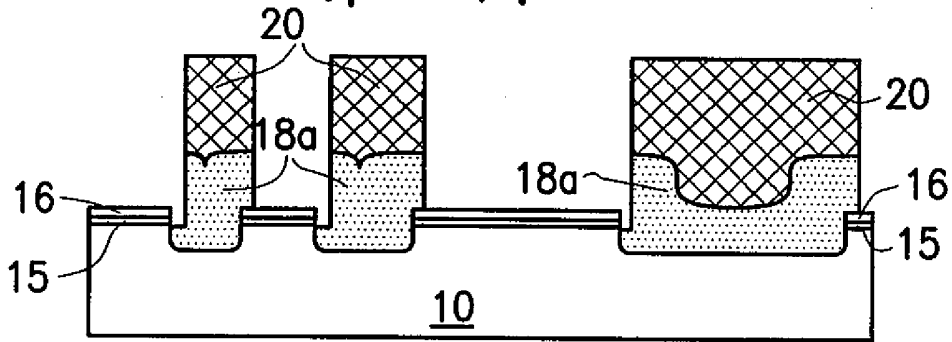
82613977
408432



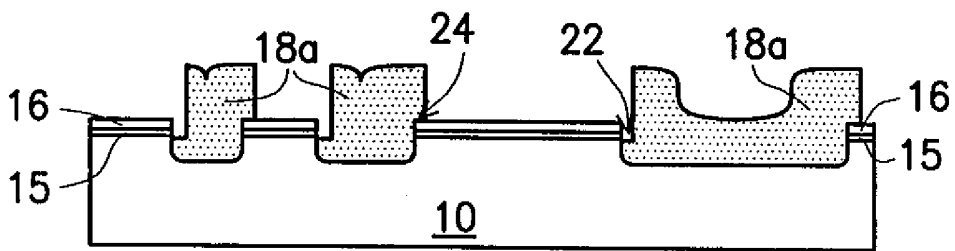
第 1A 圖



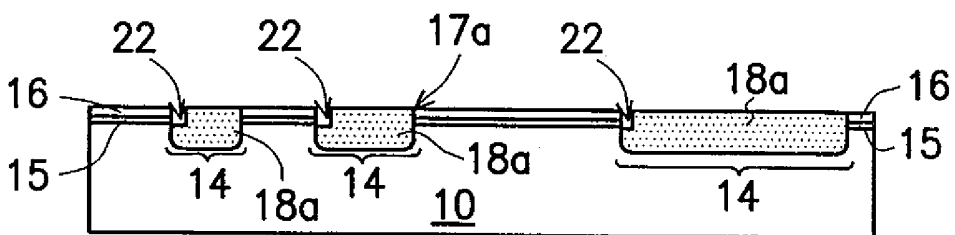
第 1B 圖



第 1C 圖



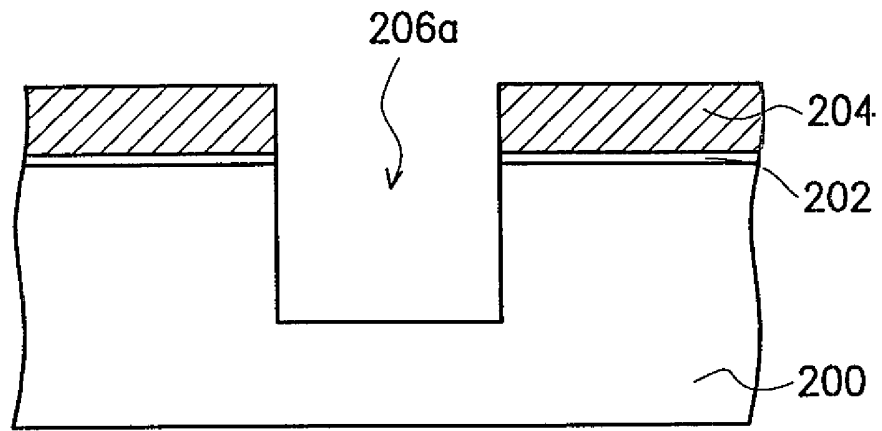
第 1D 圖



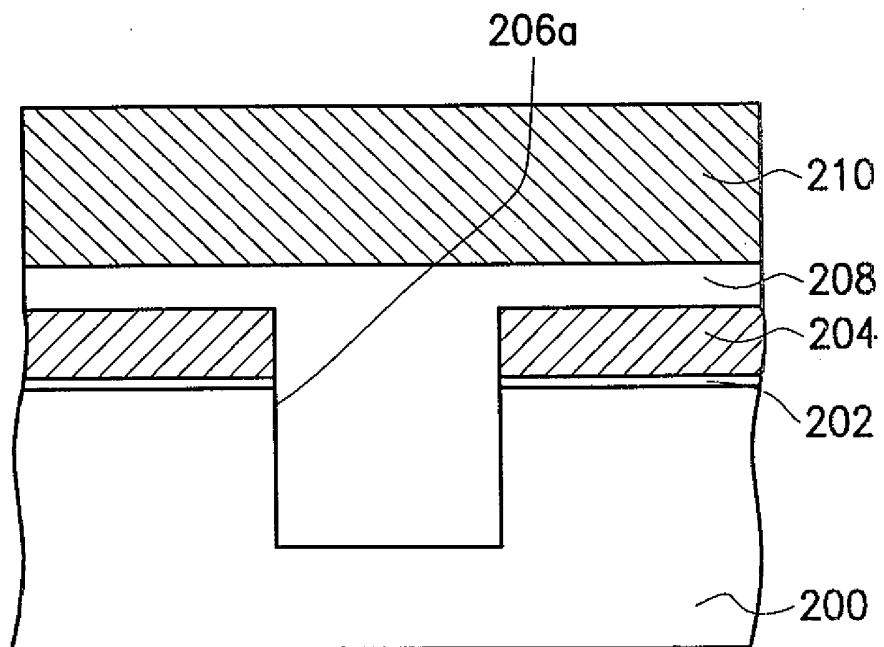
第 1E 圖

408432

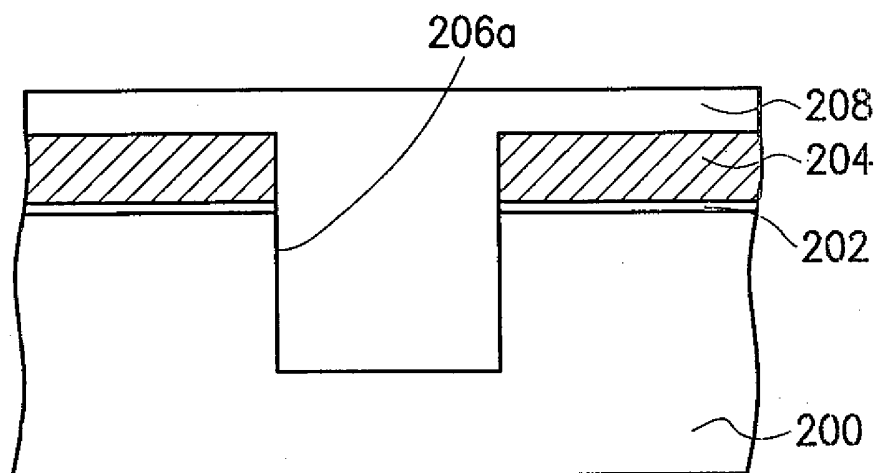
3272TW



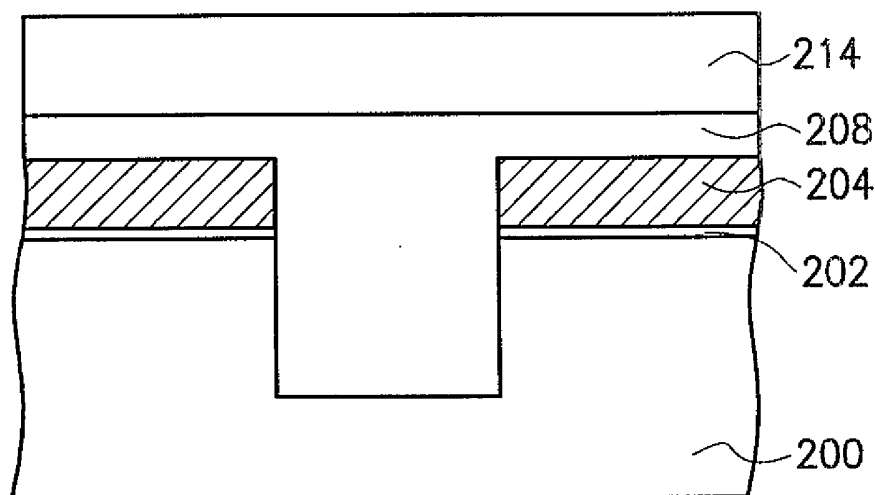
第2A圖



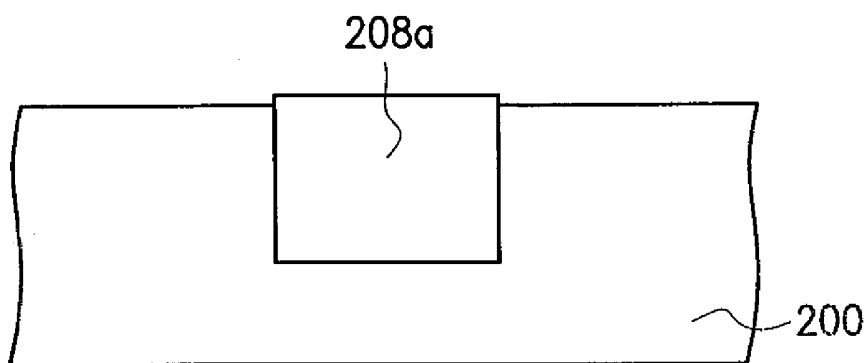
第2B圖



第 2C 圖



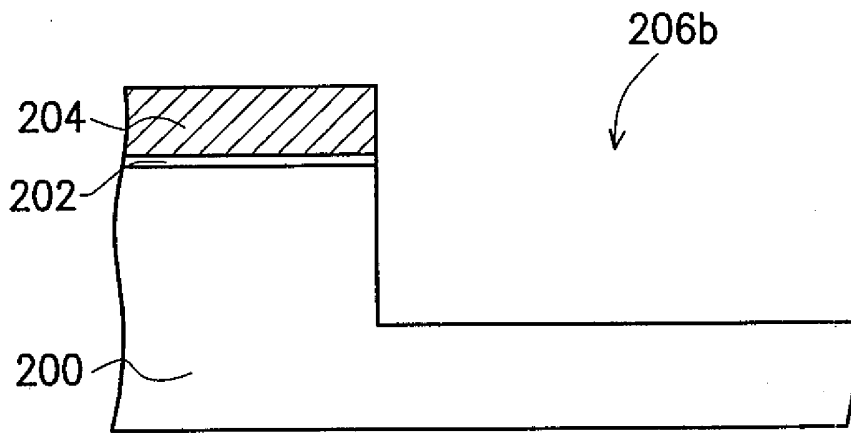
第 2D 圖



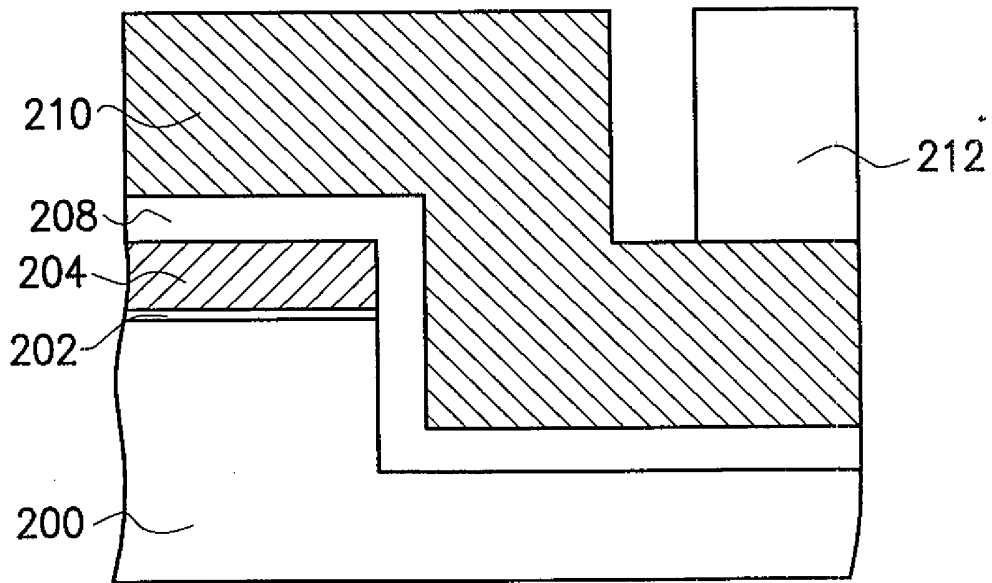
第 2E 圖

408432

3272TW



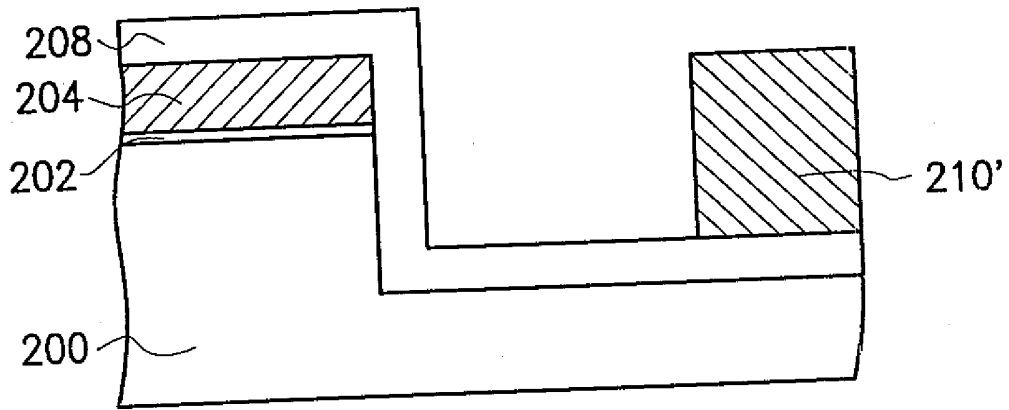
第3A圖



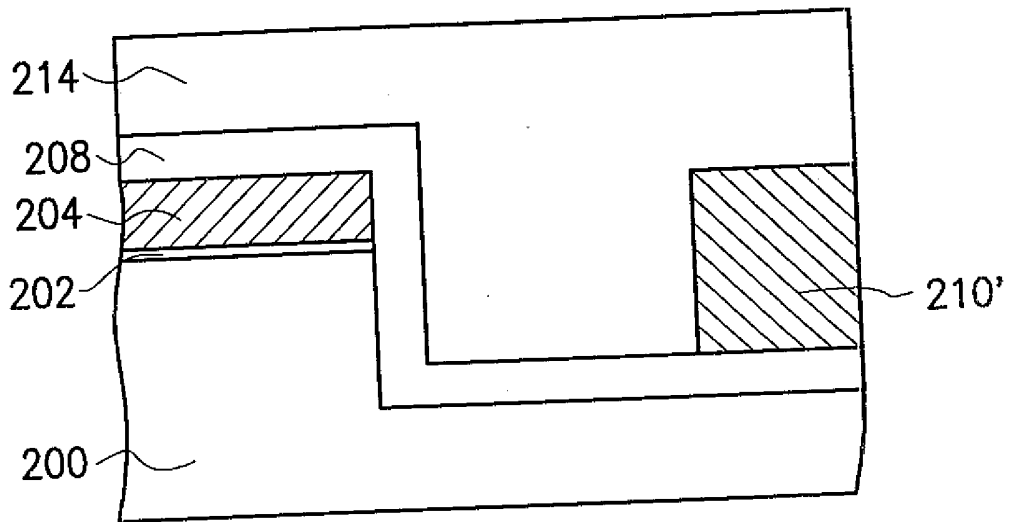
第3B圖

408432

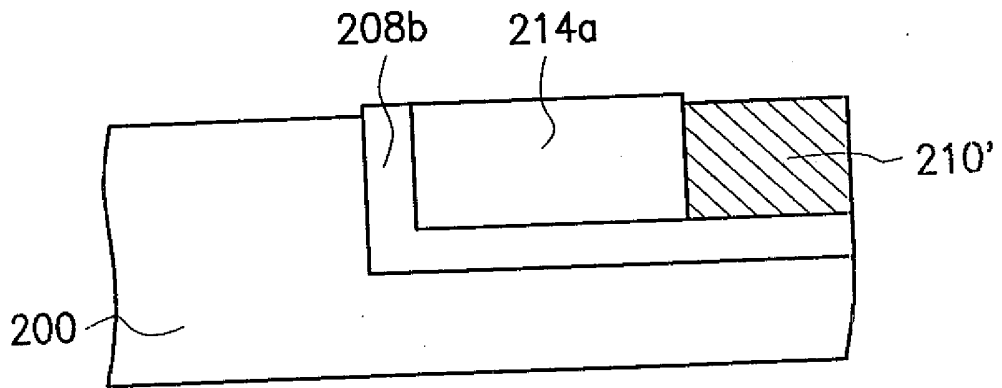
3272TW



第3C圖



第3D圖



第3E圖