

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4225223号
(P4225223)

(45) 発行日 平成21年2月18日(2009.2.18)

(24) 登録日 平成20年12月5日(2008.12.5)

(51) Int.Cl.		F I			
G06F 12/00	(2006.01)		G06F 12/00	550B	
G06F 13/16	(2006.01)		G06F 13/16	510G	
			G06F 12/00	597C	

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2004-80474 (P2004-80474)	(73) 特許権者	000005496
(22) 出願日	平成16年3月19日 (2004.3.19)		富士ゼロックス株式会社
(65) 公開番号	特開2005-267369 (P2005-267369A)		東京都港区赤坂九丁目7番3号
(43) 公開日	平成17年9月29日 (2005.9.29)	(74) 代理人	100071054
審査請求日	平成19年2月21日 (2007.2.21)		弁理士 木村 高久
		(72) 発明者	深見 健太郎
			埼玉県岩槻市府内3丁目7番1号 富士ゼ ロックス株式会社内
		(72) 発明者	河西 秀樹
			埼玉県岩槻市府内3丁目7番1号 富士ゼ ロックス株式会社内
		(72) 発明者	河野 晋志
			埼玉県岩槻市府内3丁目7番1号 富士ゼ ロックス株式会社内

最終頁に続く

(54) 【発明の名称】 メモリ制御装置および方法

(57) 【特許請求の範囲】

【請求項1】

アドレスバスの1つのラインをプリチャージ制御信号ラインとして定期的リフレッシュ動作を行う第1のメモリとリフレッシュ動作を必要としない第2のメモリとを切替制御するメモリ制御装置において、

前記第1のメモリおよび前記第2のメモリに対してアドレスバスおよびデータバスを共用化するとともに、前記プリチャージ制御信号ラインを前記第1のメモリに対するアドレスバスから専用プリチャージ制御ラインとして分離し、前記第2のメモリに対するアクセス時における前記第1のメモリのリフレッシュタイミングにおいては、前記専用プリチャージ制御信号ラインを用いて前記第1のメモリのリフレッシュ動作を制御するメモリ制御手段

10

を具備することを特徴とするメモリ制御装置。

【請求項2】

前記第1のメモリは、

SDRAMであり、

前記第2のメモリは、

SRAMである

ことを特徴とする請求項1記載のメモリ制御装置。

【請求項3】

前記メモリ制御手段は、

20

ホストからのチップセレクト信号、制御バス、アドレスバス、データバスの各信号を検知して前記 S D R A M に対するリードサイクル、ライトサイクルを制御する S D R A M コントローラと、

前記ホストからのチップセレクト信号、制御バス、アドレスバス、データバスの各信号を検知して、前記 S R A M に対するリードサイクル、ライトサイクルを制御する S R A M コントローラと、

前記 S D R A M に対するリフレッシュサイクルを指示するリフレッシュカウンタと、

前記リフレッシュカウンタからのリフレッシュサイクルの指示を前記専用プリチャージ制御信号ラインに出力するリフレッシュ指示出力手段と、

前記 S D R A M コントローラおよび前記 S R A M コントローラからのアドレスおよびデータの前記ホストからのチップセレクト信号に応じて前記共用化したアドレスバスおよびデータバスに選択的に出力する選択回路手段と

を具備することを特徴とする請求項 2 記載のメモリ制御装置。

【請求項 4】

アドレスバスの 1 つのラインをプリチャージ制御信号ラインとして定期的にはリフレッシュ動作を行う第 1 のメモリとリフレッシュ動作を必要としない第 2 のメモリとを切替制御するメモリ制御方法において、

前記第 1 のメモリおよび前記第 2 のメモリに対してアドレスバスおよびデータバスを共用化するとともに、

前記プリチャージ制御信号ラインを前記第 1 のメモリに対するアドレスバスから専用プリチャージ制御ラインとして分離し、

前記第 2 のメモリに対するアクセス時における前記第 1 のメモリのリフレッシュタイミングにおいては、前記専用プリチャージ制御信号ラインを用いて前記第 1 のメモリのリフレッシュ動作を制御する

ことを特徴とするメモリ制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は S D R A M (S y n c h r o n o u s D y n a m i c R a n d o m A c c e s s M e m o r y) と S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) の双方に接続してメモリアクセスを制御するメモリ制御装置、メモリ制御方法に関し、特に、アドレスバス、データバスを共通化し、S D R A M に対するオートリフレッシュサイクルを S R A M のメモリサイクルと並行して制御する技術に関する。

【背景技術】

【0002】

従来の異なる種類のメモリ装置を制御する技術として、特許文献 1 に記載された「メモリ制御装置およびメモリ制御方法」が開示されている。

【0003】

この特許文献 1 の発明は、S D R A M とシンクロナス R O M とが同一のバスで接続してメモリ制御を行う処理装置であり、S D R A M に対するリフレッシュサイクルと、シンクロナス R O M に対するメモリサイクルを効率的に行って、メモリ制御装置の処理能力を向上させることを目的としたものである。

【特許文献 1】特開 2 0 0 2 - 2 6 9 9 8 0 号公報。

【発明の開示】

【発明が解決しようとする課題】

【0004】

通常、S D R A M と S R A M はアクセス制御の方法が異なるものであり、同一バスでアクセスを行うことを困難としている。

【0005】

従って、通常のメモリコントローラでは、S D R A M と S R A M に対して別々のバスで

10

20

30

40

50

接続するのが一般的である。

【0006】

しかし、最近のメモリは大容量のため、メモリデバイスからのアドレス線、データ線の数も増加する傾向にある。

【0007】

メモリコントローラがASIC (Application Specific Integrated Circuit) / GA (Gate Array) / FPGA (Field Programmable Gate Array) 等で纏まっている場合、各々のメモリへのデータバス、アドレスバスが多ピン構成となってしまうため、ASIC等のチップサイズが、ピンネックによって大きくなり、結果的にメモリコントローラの製造コストを抑えることができず、また、消費電力が高くなってしまった問題が生じた。

10

【0008】

この対策として、単純にアドレスバス、データバスを共用化することによるピン数の削減を行う方法が考えられる。

【0009】

しかし、SDRAMは、チップの仕様に基づいて定期的リフレッシュ動作を行って、各メモリセル内の電荷量を一定の値以上に保つ必要がある。

【0010】

このため、SDRAMのオートリフレッシュに関しては、SRAMへのメモリアクセスと並行して実施しなければならないケースがある。

20

【0011】

また、オートリフレッシュの制御コマンドは、SDRAM制御用のコマンドのみで制御可能であるが、オートリフレッシュ後のプリチャージを行う場合は、アドレス線の一部を制御コマンドと合せてアサートする必要がある。

【0012】

従って、SDRAMへのオートリフレッシュと、SRAMに対するアクセス制御が同時に制御される際は、アドレスバスの一部が競合するため、アドレスバス、データバスは完全に共通化することができないといった問題がある。

【0013】

よって、本発明は、SDRAMおよびSRAMへのアドレスバス、データバスを共通化し、なおかつ、オートリフレッシュサイクルと、SRAMのメモリアクセスサイクルを並行して実施することができることができるメモリ制御装置および方法の提供を目的とする。

30

【課題を解決するための手段】

【0014】

上記目的を達成するために、請求項1の発明は、アドレスバスの1つのラインをプリチャージ制御信号ラインとして定期的リフレッシュ動作を行う第1のメモリとリフレッシュ動作を必要としない第2のメモリとを切替制御するメモリ制御装置において、第1のメモリおよび第2のメモリに対してアドレスバスおよびデータバスを共用化するとともに、プリチャージ制御信号ラインを第1のメモリに対するアドレスバスから専用プリチャージ制御ラインとして分離し、第2のメモリに対するアクセス時における第1のメモリのリフレッシュタイミングにおいては、専用プリチャージ制御信号ラインを用いて第1のメモリのリフレッシュ動作を制御するメモリ制御手段を具備することを特徴とする。

40

【0015】

また、請求項2の発明は、請求項1の発明において、第1のメモリは、SDRAMであり、第2のメモリは、SRAMであることを特徴とする。

【0016】

また、請求項3の発明は、請求項2の発明において、メモリ制御手段は、ホストからのチップセレクト信号、制御バス、アドレスバス、データバスの各信号を検知してSDRA

50

Mに対するリードサイクル、ライトサイクルを制御するSDRAMコントローラと、ホストからのチップセレクト信号、制御バス、アドレスバス、データバスの各信号を検知して、SRAMに対するリードサイクル、ライトサイクルを制御するSRAMコントローラと、SDRAMに対するリフレッシュサイクルを指示するリフレッシュカウンタと、リフレッシュカウンタからのリフレッシュサイクルの指示を専用プリチャージ制御信号ラインに出力するリフレッシュ指示出力手段と、SDRAMコントローラおよびSRAMコントローラからのアドレスおよびデータをホストからのチップセレクト信号に応じて共用化したアドレスバスおよびデータバスに選択的に出力する選択回路手段とを具備することを特徴とする。

【0017】

10

また、請求項4の発明は、アドレスバスの1つのラインをプリチャージ制御信号ラインとして定期的にはリフレッシュ動作を行う第1のメモリとリフレッシュ動作を必要としない第2のメモリとを切替制御するメモリ制御方法において、第1のメモリおよび第2のメモリに対してアドレスバスおよびデータバスを共用化するとともに、プリチャージ制御信号ラインを第1のメモリに対するアドレスバスから専用プリチャージ制御ラインとして分離し、第2のメモリに対するアクセス時における第1のメモリのリフレッシュタイミングにおいては、専用プリチャージ制御信号ラインを用いて第1のメモリのリフレッシュ動作を制御することを特徴とする。

【発明の効果】

【0018】

20

本発明によれば、メモリコントローラにおける信号線のピン数を少なくし、さらには、メモリコントローラ、メモリを搭載するボードにおける配線面積を小さくすることで、ポートサイズの小型化を実現することができる。

【0019】

これに伴い、SDRAM、SRAMを実装する装置の製造コストの削減、省電力化、小型化を実現することができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明のメモリ制御装置および方法について添付図面を参照しながら詳細に説明する。

30

【0021】

図1は、従来のメモリ制御装置の構成(図1(A))と、本発明のメモリ制御装置の構成(図1(B))をそれぞれ示した概略構成図である。

【0022】

図1(A)は、従来のメモリコントローラ700がSDRAM310、SRAM320に対して、別々のデータ、アドレスバス((図1(A))の706、707)、別々の制御線(図1(A)の705、708)にて接続した構成を示したブロック図である。

【0023】

図1(A)において、従来のメモリコントローラ700は、SDRAM310、SRAM320に対して個別のバスにて接続した構成のため、例えば、128MのSDRAM310の場合は、制御線10本、SDRAM用のアドレス、データバスの信号線が27本必要となる。

40

【0024】

また、SRAM320に対しては、SRAM用制御線が5本、SRAM用データバス、アドレスバスの信号線が33本と必要となる。

【0025】

よって、従来のメモリコントローラ700がSDRAM310、SRAM320を制御するための制御線は、合計75本必要となる。

【0026】

一方、図1(B)は、本発明のメモリコントローラ200が含むメモリ制御のための構

50

成を示したブロック図である。

【0027】

図1(B)において、メモリコントローラ200は、SDRAM310とSRAM320がデータバス、アドレスバスを共用化して接続される。

【0028】

ホストコントローラ100は、SDRAM310、SRAM320に対し、各々のCS(チップセレクト信号)として、SDRAMチップセレクト信号線402、SRAMチップセレクト信号線404を使ってアクセスし、メモリコントローラ200を介してデータの読み書きを行う。

【0029】

例えば、SRAM320にアクセスする場合はSRAMチップセレクト信号線404をアクティブにして、WE(Write Enable)、OE(Output Enable)信号線401、データ、アドレスバス403その他の制御線をホストコントローラ100からアクセスすることにより、メモリコントローラ200がそれらの情報を元にSRAM320にアクセスを行う。

【0030】

また、SDRAM310の場合はSDRAMチップセレクト信号線402をアクティブにして、WE、OE信号線401、データ、アドレスバス403、その他の制御線をホストコントローラ100からアクセスすることにより、メモリコントローラ200がそれらの情報を元にSDRAM310にアクセスを行う。

【0031】

通常メモリアクセス制御は、ホストコントローラ100の支配下にあるため、SDRAM310とSRAM320のアクセスに対する競合は発生しないが、これとは別に、メモリコントローラ200は、SDRAM310の特性上リフレッシュコマンドを定期的に出す必要がある。

【0032】

SDRAM310に対するリフレッシュタイミングは、SDRAM310の容量によって変化するものであり、例えば、64Mbit、128Mbitの場合は4096回/64msで、256kbitの場合は8192回/64msのアクセスが必要である。

【0033】

このタイミングはメモリコントローラ200内部のリフレッシュカウンタ201で生成する。

【0034】

なお、リフレッシュタイミングのカウンター値については、外部に設けた入力ピン407の情報(Pull up/Pull down等)により、リフレッシュカウンタ値を変更する事も可能とする。

【0035】

また、メモリコントローラ200の内部レジスタによってもカウンタ値を自由に变化させる事も可能とする。

【0036】

SDRAM310の仕様上、リフレッシュ動作をデバイスに指示するためには、SDRAM310の制御線以外にSDRAM310へのアドレス線の1本(A[10])を使用する必要がある。

【0037】

よって、SDRAM310に繋ぐアドレス線(A[10])のみ、他のアドレス線とは別に設けたSDRAM専用アドレス信号線502としてSDRAM310に接続させる構成にする。

【0038】

これにより、SRAM320にアクセス中の場合でもSDRAM310に対してリフレッシュコマンドを発行する事が可能となる。

10

20

30

40

50

【 0 0 3 9 】

また、カウンター値を変化させ、リフレッシュのタイミングを変化させても S R A M 3 2 0 とのアドレスバス干渉は起こらずに規定数のリフレッシュを確実に実行する事が可能となる。

【 0 0 4 0 】

図 1 (B) に示した構成にすることによって、本来は、共通アドレス/データバス 5 0 3 による S D R A M 用データアドレスバス 7 0 6 と、S R A M データアドレスバス 7 0 7 を共通化した分の 2 7 本の制御線を削減することができるが、S D R A M 専用アドレス信号線 5 0 2 を個別に設けたので、合計 2 6 本の制御線を削減することができる。

【 0 0 4 1 】

これにより、図 1 (B) の構成を図 1 (A) の構成と比較すると、メモリコントローラ 2 0 0 は、削減した制御線分のピン数を減らすことができ、メモリコントローラと、S D R A M 3 1 0、S R A M 3 2 0 間の配線面積を小さくすることができる。

【 0 0 4 2 】

次に S R A M 3 2 0 に対するアクセスについて説明する。

【 0 0 4 3 】

図 2 は、ホストコントローラ 1 0 0 から S R A M 3 2 0 へのアクセス要求があった場合の図である。

【 0 0 4 4 】

ホストコントローラ 1 0 0 からは S R A M チップセレクト信号線 4 0 4 がアサートされ、S R A M 3 2 0 にアクセス要求を出した事になる。

【 0 0 4 5 】

この場合、メモリコントローラ 2 0 0 内の S R A M コントローラ 2 0 3 が動作して、S R A M 3 2 0 に対して、共通アドレス/データバス 5 0 3、そして S R A M 制御線 5 0 4 を制御することにより S R A M 3 2 0 に対して読み書きを行う。

【 0 0 4 6 】

共通アドレス/データバス 5 0 3 は S D R A M 3 1 0 にも共通バスとして接続されているが、S D R A M 制御線 5 0 1 は動作しないので S D R A M 3 1 0 に対しては何も読み書きされない事になる。

【 0 0 4 7 】

次に、S D R A M 3 1 0 に対するアクセスについて説明する。

【 0 0 4 8 】

図 3 は、ホストコントローラ 1 0 0 から S D R A M 3 1 0 をアクセスした場合の図である。

【 0 0 4 9 】

ホストコントローラ 1 0 0 は、S D R A M チップセレクト信号線 4 0 2 をアサートして S D R A M 3 1 0 へのアクセス要求をメモリコントローラに指示する。

【 0 0 5 0 】

この場合、メモリコントローラ 2 0 0 内の S D R A M コントローラ 2 0 2 が動作して、S D R A M 3 1 0 に対して、共通アドレス/データバス 5 0 3、そして S D R A M 制御線 5 0 1 を制御することにより S D R A M 3 1 0 に対して読み書きを行う。

【 0 0 5 1 】

共通アドレス/データバス 5 0 3 は S R A M 3 2 0 にも共通に接続されているが、S R A M 制御線 5 0 4 は動作しないので S R A M 3 2 0 に対しては何も読み書きされない事になる。

【 0 0 5 2 】

次に、S D R A M 3 1 0 に対するリフレッシュ動作について説明する。

【 0 0 5 3 】

図 4 は、リフレッシュカウンタ 2 0 1 がリフレッシュタイミング時に S D R A M コントローラ 2 0 2 にリフレッシュ要求を出す場合の図である。

10

20

30

40

50

【 0 0 5 4 】

リフレッシュコマンドを出力するタイミングを検知すると、リフレッシュカウンタ 2 0 1 がリフレッシュ要求を S D R A M コントローラ 2 9 2 に出力し、S D R A M コントローラ 2 0 2 が S D R A M 専用アドレス線 5 0 2 と、S D R A M 制御線 5 0 1 を使用して S D R A M 3 1 0 に対するリフレッシュサイクルを実行する。

【 0 0 5 5 】

ここで、S D R A M コントローラ 2 0 2 において、リフレッシュタイミングが通常の S D R A M 3 1 0 アクセスタイミングと重なる場合は、予め設定された優先順位が高い方を先に処理する。

【 0 0 5 6 】

次に、ホストコントローラ 1 0 0 からの S R A M 3 2 0 アクセス要求と、リフレッシュカウンタ 2 0 1 からの S D R A M 3 1 0 のリフレッシュ要求が同時に発生した場合の処理について説明する。

【 0 0 5 7 】

図 5 は、S R A M 3 2 0 アクセス中に、S D R A M 3 1 0 のリフレッシュ動作が同時に入った場合の図である。

【 0 0 5 8 】

S R A M 3 2 0 へのアクセスに関しては、図 2 を用いて説明した S R A M 3 2 0 の動作時と同様である。

【 0 0 5 9 】

この状態で、S D R A M 3 1 0 に対してのリフレッシュ要求が発生した場合、図 4 を用いて説明したようにリフレッシュカウンタ 2 0 1 から S D R A M コントローラ 2 0 2 に対してリフレッシュ要求が出力されることになる。

【 0 0 6 0 】

S D R A M 3 1 0 のリフレッシュに対して必要な制御線は S D R A M 専用アドレス信号線 5 0 2 と S D R A M 制御線 5 0 1 のみである。

【 0 0 6 1 】

よって、S D R A M 専用アドレス信号線 5 0 2 のみを分離させて S D R A M 3 1 0 専用に行っているため、S D R A M コントローラ 2 0 2 は S R A M 3 2 0 アクセスの影響を受けずに S D R A M 3 1 0 に対してリフレッシュコマンドを出す事が可能となり、S D R A M 3 1 0 はリフレッシュを正常に行う事ができる。

【 0 0 6 2 】

次に、図 1 (A)、図 2、図 3、図 4、図 5 に示したメモリコントローラ 2 0 0 についてさらに説明する。

【 0 0 6 3 】

図 6 において、ホストコントローラ 1 0 0 は、C P U (C e n t r a l P r o c e s s i n g U n i t)、あるは、D M A 転送を制御する D M A コントローラに相当し、メモリコントローラ 2 0 0 に対して S D R A M あるいは S R A M に対するメモリアccessを排他的に指示する装置である。

【 0 0 6 4 】

ホストコントローラ 1 0 0、メモリコントローラ 2 0 0、S D R A M 3 1 0、S R A M 3 2 0 は、それぞれ、図示しない共通の発信回路から供給されるクロック信号に基づいて相互に同期制御を行う。

【 0 0 6 5 】

ホストコントローラ 1 0 0 とメモリコントローラ 2 0 0 は、W E、O E 信号線 4 0 1、S D R A M チップセレクト信号線 4 0 2、データ、アドレスバス 4 0 3、S R A M チップセレクト信号線 4 0 4 によって接続される。

【 0 0 6 6 】

W E、O E 信号線 4 0 1 は、ホストコントローラ 1 0 0 が、メモリのリードサイクル、ライトサイクルの別を識別するための、O E、W E をメモリコントローラに対して出力す

10

20

30

40

50

るための信号線である。

【0067】

SDRAMチップセレクト信号線402は、ホストコントローラ100が、SDRAM310に対するメモリ制御要求であることをメモリコントローラ200に通知するための信号線である。

【0068】

データ、アドレスバス403は、メモリに対するリードもしくはライト動作の対象となるメモリ領域のアドレスを指示するためのアドレスバスと、ライト動作によってメモリに書き込み処理を行う際のライトデータ、あるいは、リード動作によって、メモリから読み取ったリードデータを所定のビット数の信号線にて送受信するデータバスである。

10

【0069】

SRAMチップセレクト信号線404は、ホストコントローラ100が、SRAM320に対するメモリアクセス要求が発生したことをメモリコントローラ200に通知するための信号線である。

【0070】

メモリコントローラ200は、リフレッシュカウンタ201、SDRAMコントローラ202、SRAMコントローラ203、選択回路204、WE、OE信号線分配部206、データ、アドレスバス分配部207を具備する。

【0071】

リフレッシュカウンタ201は、SDRAM310の規格として予め指定されたリフレッシュサイクルに基づいてリフレッシュトリガを定期的に生成してSDRAMコントローラ202に出力する。

20

【0072】

SDRAMコントローラ202は、SDRAM310に対するメモリリードサイクル、メモリライトサイクル、リフレッシュサイクルを実行するための制御信号、アドレス信号を、メモリライトデータを所定のタイミングにて生成してSDRAM310に出力する。

また、SDRAMコントローラ202は、RAS(Row Address Strobe)、CAS(Column Address Strobe)、CE(チップ・イネーブル)等の制御信号をSDRAM制御線501にてSDRAM310に出力し、アドレス信号、データ信号は選択回路204に出力する。

30

【0073】

さらに、SDRAMコントローラ202は、リフレッシュカウンタ201から出力されたリフレッシュトリガを検知した場合は、SDRAM制御線501に対して、オートリフレッシュ用のコマンドに応じた制御信号を出力し、SDRAM専用アドレス信号線502においては、本来所定のアドレス線にて出力するプリチャージ用の信号を個別に生成してSDRAM専用アドレス信号線502に出力する。

【0074】

なお、SDRAM専用アドレス信号線502は、SRAM320に対するメモリアクセス中でも、SDRAM310に対するオートリフレッシュを並行して確実に指示するため策として特別に設けられた専用アドレス線である。

40

【0075】

従って、SDRAM専用アドレス信号線502は、共通アドレス/データバス503の分岐点505以後、SDRAM310に接続される間の配線路である共通アドレス/データバス503-1において、オートプリチャージコマンドと併用されるアドレス線に相当する信号線は遮断し、これに代替するアドレス線として常にSDRAM専用アドレス信号線502の信号がSDRAM310に出力されるような回路構成となる。

【0076】

SRAMコントローラ203は、SRAM320に対するメモリリードサイクル、メモリライトサイクルを実行するための制御信号、アドレス信号、メモリライトデータの出力制御を行う。

50

【 0 0 7 7 】

また、S R A Mコントローラ 2 0 3 は、S R A M制御線 5 0 4 にて制御信号を S R A M 3 2 0 に出力し、アドレス信号、データ信号は選択回路 2 0 4 に出力する。

【 0 0 7 8 】

選択回路 2 0 4 は、S D R A Mコントローラ 2 0 2 あるいは S R A Mコントローラ 2 0 3 から出力されたアドレス信号、データラインの信号を、S D R A Mチップセレクト信号線 4 0 2、S R A Mチップセレクト信号線 4 0 4 の信号レベルに基づいて、共通アドレス / データバス 5 0 3 との電氣的な接続、遮断制御を行う。

【 0 0 7 9 】

W E、O E 信号線分配部 2 0 6 は、W E、O E 信号線 4 0 1 からの信号を、S D R A M 10
コントローラ 2 0 2、S R A Mコントローラ 2 0 3 それぞれに供給する。

【 0 0 8 0 】

データ、アドレスバス分配部 2 0 7 は、ホストコントローラ 1 0 0 からのアドレス / データバス 4 0 3 の信号を、S D R A Mコントローラ 2 0 2、S R A Mコントローラ 2 0 3 それぞれに供給する。

【 0 0 8 1 】

次に、S D R A Mにメモリアクセス制御のためのコマンドについて説明する。

【 0 0 8 2 】

図 7 は、S D R A Mに対する制御コマンドのうち、特に、オートリフレッシュ、プリチャージに関連するコマンドを示した図である。 20

【 0 0 8 3 】

S D R A Mに対するオートリフレッシュコマンド 9 0 2、全バンクプリチャージ 9 0 3 等の制御コマンドは、「C E」、「R A S」、「C A S」、「W E」の 4 つの信号レベルの組み合わせによって決定される。

【 0 0 8 4 】

さらに、オートプリチャージ付データ・リード 9 0 6、オートプリチャージ付データ・ライト 9 0 7、全バンクプリチャージ 9 0 4、指定バンクプリチャージ 9 0 5 に関しては、制御コマンド以外に、アドレス制御線のうちの A [1 0] に相当する信号線に、所定のレベル (ハイまたはロー) の信号を出力するコマンド仕様となっている。

【 0 0 8 5 】

次に、図 7 に示したコマンドのうち、S D R A Mにおけるオートリフレッシュコマンドと、プリチャージコマンドとの関連を、状態遷移図を示して説明する。 30

【 0 0 8 6 】

図 8 は、S D R A Mのプリチャージ状態と、プリチャージ状態に遷移可能な S D R A M の各状態を示した状態遷移図である。

【 0 0 8 7 】

図 8 に示すように、プリチャージ状態 8 0 2 に遷移可能な S D R A Mの状態には、ロウアクティブ状態 8 0 3、ライト状態 8 0 4、リード状態 8 0 5、パワーオン状態 8 0 6、オートリフレッシュ状態 8 0 7 がある。

【 0 0 8 8 】

ここで、S D R A Mのオートリフレッシュサイクルは、アイドル状態 8 0 1 からオートリフレッシュ状態 8 0 7、プリチャージ状態 8 0 2 への連続した状態遷移で構成される。 40

【 0 0 8 9 】

アイドル状態 8 0 1 は、図 7 に示したオートリフレッシュコマンド 9 0 2 にてオートリフレッシュ状態 8 0 7 に遷移し、オートリフレッシュ状態 8 0 7 は、図 7 に示した全バンクプリチャージ 9 0 4、指定バンクプリチャージ 9 0 5 のプリチャージコマンドにより、プリチャージ状態 8 0 2 に遷移する。

【 0 0 9 0 】

次に、図 6 に示したメモリコントローラ 2 0 0 によるメモリアクセスの動作をタイムチャートにて説明する。 50

【 0 0 9 1 】

図9は、「SRAMへのリードアクセス」、「SDRAMへのリードアクセス」、「SDRAMのオートリフレッシュ」、「SRAMリードアクセスと、SDRAMオートリフレッシュの同時制御」を順に実施した場合に、メモリコントローラ200におけるSDRAM制御線501、SDRAM専用アドレス信号線502、共通アドレス/データバス503、SRAM制御線504における信号の時間的な変化を概略的に示したタイムチャートである。

【 0 0 9 2 】

(1) (SRAMへのリードアクセス)

10
 ホストコントローラ100は、SRAMチップセレクト信号線404、WE、OE信号線401が、データ、アドレスバス403をアサートしてメモリコントローラ200に対してSRAMのリードアクセスを指示する。

【 0 0 9 3 】

メモリコントローラ200は、SRAM制御線504、共通アドレス/データバス503のアドレスバスをアサートして、データ読み取りを行う。

【 0 0 9 4 】

(2) (SDRAMへのリードアクセス)

20
 ホストコントローラ100が、WE、OE信号線401、SDRAMチップセレクト信号線402、データ、アドレスバス403をアサートし、メモリコントローラ200に対してSDRAMへのリードアクセスを指示する。

【 0 0 9 5 】

メモリコントローラ200は、SDRAM制御線501をアサートし、共通アドレス/データバス503のアドレスバスにてロウアドレス、カラムアドレスを指定し、リードデータをSDRAM310から読み出す。

【 0 0 9 6 】

(3) (SDRAMのオートリフレッシュ)

30
 オートリフレッシュサイクルは、ホストコントローラ100からの指示には依存しない動作なので、WE、OE信号線401、SDRAMチップセレクト信号線402、データ、アドレスバス403、SRAMチップセレクト信号線404は、いずれも不活性状態のままである。

【 0 0 9 7 】

リフレッシュカウンタ201からリフレッシュトリガを受信したメモリコントローラ200は、オートリフレッシュコマンド、プリチャージコマンドをSDRAM制御線501に順次出力し、プリチャージコマンドを出力するタイミングに同期して、SDRAM専用アドレス信号線502をアサートする。

【 0 0 9 8 】

(4) (SRAMリードアクセスと、SDRAMオートリフレッシュの同時制御)

40
 ホストコントローラ100が、SRAMリードアクセス要求として、WE、OE信号線401、データ、アドレスバス403、SRAMチップセレクト信号線404をアサートする。

【 0 0 9 9 】

メモリコントローラ200において、SRAMコントローラ203は、SRAMチップセレクト信号線404の活性化によって、リード動作を指示する制御信号を生成してSRAM制御線504に出力し、メモリの読み取り領域を指定するアドレスを指定するアドレス信号を共通アドレス/データバス503に出力する。

【 0 1 0 0 】

50
 一方、同時期において、リフレッシュカウンタ201によるリフレッシュトリガの発生を検知したSDRAMコントローラ202は、オートリフレッシュ用のコマンドをSDRAM制御線501に出力し、次のタイミングにてプリチャージコマンドをSDRAM制御線501に出力すると同時に、SDRAM専用アドレス信号線502をアサートする。

【 0 1 0 1 】

なお、メモリコントローラ 200 による S R A M のリードサイクルと、S D R A M のオートリフレッシュサイクルの同時制御においては、図 9 のタイムチャートに図示していないが、共通アドレス/データバス 503 に書き込み用のデータを出力し、S R A M 制御線 504 には、メモリライトを指示する制御コマンドを出力することによって同様に実施する。

【 0 1 0 2 】

図 6 に示したメモリコントローラの構成を適用することによって、特に、S R A M リードアクセスと、S D R A M へのオートリフレッシュが同時に行われるメモリサイクルにおいては、共通アドレス/データバス 503 の競合を起こすことなく、メモリコントローラ 200 が S D R A M 310 のリフレッシュサイクルを S R A M 320 のリードサイクル、もしくは、ライトサイクルと並行して制御することができる。

10

【 0 1 0 3 】

以上が、この発明に係るメモリ制御装置および方法の実施形態の一例についての説明である。

【 0 1 0 4 】

なお、上記実施の形態の説明においては、S D R A M、S R A M のアクセス制御を排他的に制御するためのタイミング制御をホストコントローラ 100 側が考慮してメモリコントローラに指示する構成の例を示したが、これ以外に、S R A M、S D R A M へのアクセスを排他的に制御するための調停手段をメモリコントローラ 200 側に設ける構成にしてもよい。

20

【産業上の利用可能性】

【 0 1 0 5 】

本発明のメモリ制御装置および方法は、S D R A M と S R A M を記憶手段として実装する装置において利用可能であり、特に、メモリコントローラおよび S D R A M、S R A M を実装したボードの小型化、省電力化が要求される装置に対して有効利用することができる。

【図面の簡単な説明】

【 0 1 0 6 】

【図 1】従来のメモリ制御装置の構成（図 1（A））と、本発明のメモリ制御装置の構成（図 1（B））をそれぞれ示した概略構成図である。

30

【図 2】ホストコントローラが S R A M をアクセスした状態を示す図である。

【図 3】ホストコントローラから S D R A M をアクセスした状態を示す図である。

【図 4】リフレッシュカウンタがリフレッシュタイミング時に S D R A M コントローラにリフレッシュ要求を出力した状態を示す図である。

【図 5】S R A M アクセス中に、S D R A M のリフレッシュ動作が同時に入った状態を示す図である。

【図 6】メモリコントローラにおいて、メモリアクセス制御のための主要な制御構成と、共通のアドレスバスおよびデータバスを含む各信号線を示した接続構成図である。

【図 7】S D R A M の制御コマンド例を示すコマンド一覧表である。

40

【図 8】S D R A M の状態遷移において、プリチャージ状態に遷移可能な各状態を示した状態遷移表である。

【図 9】メモリコントローラによる、S D R A M のオートリフレッシュと、S R A M のリードアクセスを同時に行った時の処理サイクルを含むタイムチャートである。

【符号の説明】

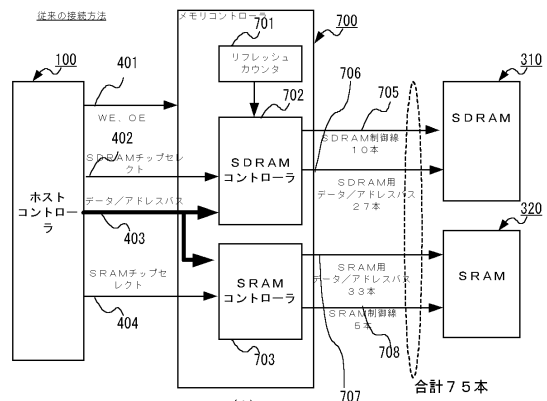
【 0 1 0 7 】

- 100 ホストコントローラ
- 200 メモリコントローラ
- 201 リフレッシュカウンタ
- 202 S D R A M コントローラ

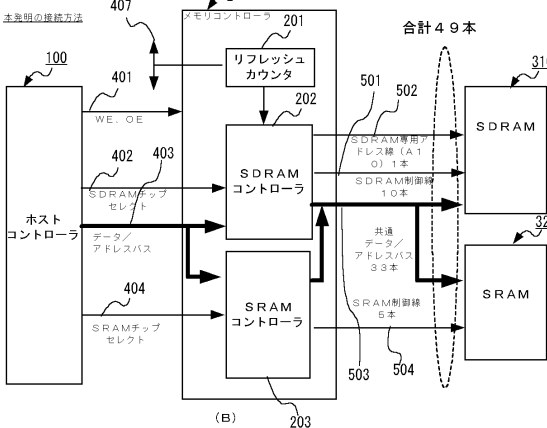
50

2 0 3	S R A Mコントローラ	
2 0 4	選択回路	
2 0 6	W E、O E 信号線分配部	
2 0 7	データ、アドレスバス分配部	
3 1 0	S D R A M	
3 2 0	S R A M	
4 0 1	W E、O E 信号線	
4 0 2	S D R A Mチップセレクト信号線	
4 0 3	データ、アドレスバス	
4 0 4	S R A Mチップセレクト信号線	10
4 0 7	入力ピン	
5 0 1	S D R A M制御線	
5 0 2	S D R A M専用アドレス信号線	
5 0 3	共通アドレス/データバス	
5 0 3 - 1	S D R A M側共通アドレス/データバス	
5 0 3 - 2	S R A M側共通アドレス/データバス	
5 0 5	分岐点	
5 0 4	S R A M制御線	
9 0 3 - 1	セルフリフレッシュ開始	
9 0 3 - 2	セルフリフレッシュ終了	20
9 0 4	全バンクプリチャージ	
9 0 5	指定バンクプリチャージ	
9 0 6	オートプリチャージ付データ・リード	
9 0 7	オートプリチャージ付データ・ライト	
8 0 1	アイドル状態	
8 0 2	プリチャージ状態	
8 0 3	ロウアクティブ 状態	
8 0 4	ライト状態	
8 0 5	リード状態	
8 0 6	パワーオン状態	30
8 0 7	オートリフレッシュ状態	
7 0 0	従来のメモリコントローラ	
7 0 1	従来のリフレッシュカウンタ	
7 0 2	従来のS D R A Mコントローラ	
7 0 3	従来のS R A Mコントローラ	
7 0 5	従来のS D R A M制御線	
7 0 6	従来のS D R A Mデータ/アドレスバス	
7 0 7	従来のS R A M用データ/アドレスバス	
7 0 8	従来のS R A M制御線	

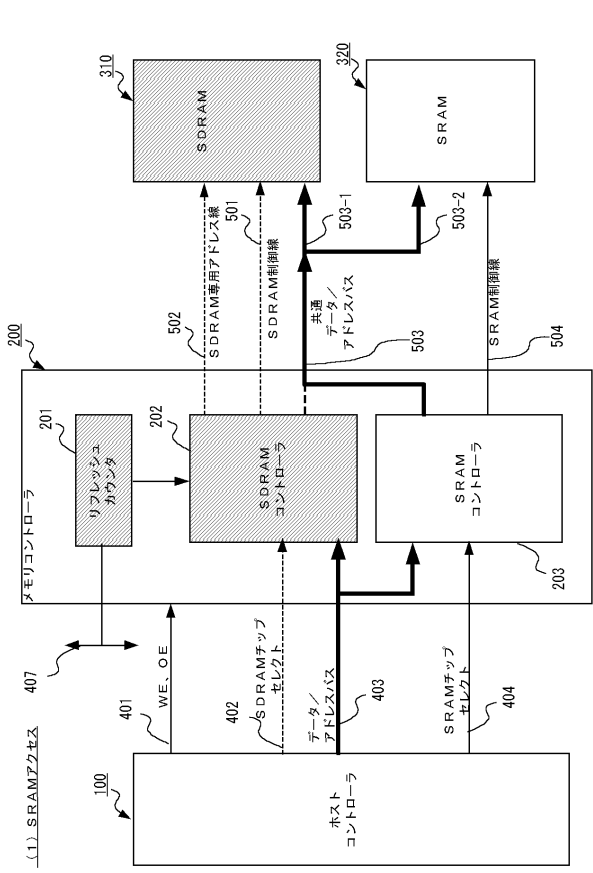
【図1】



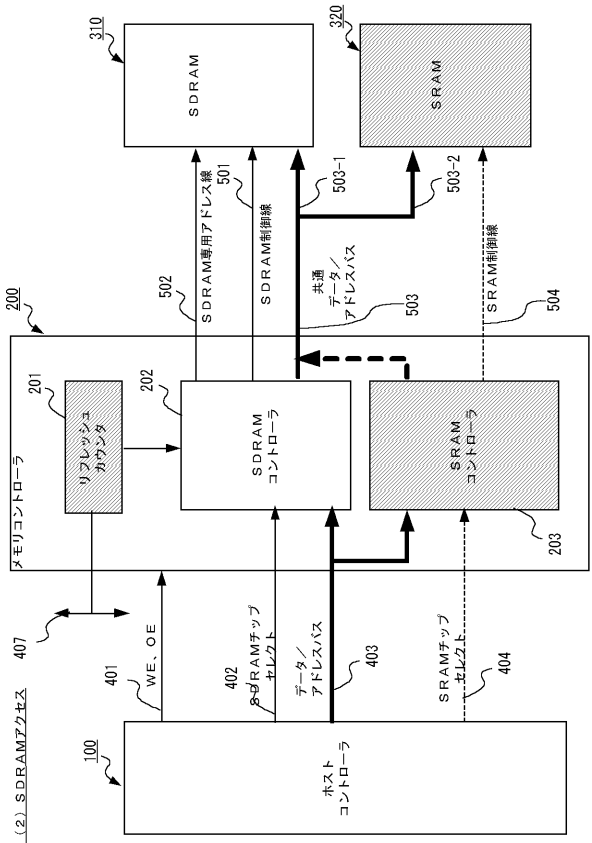
【図2】



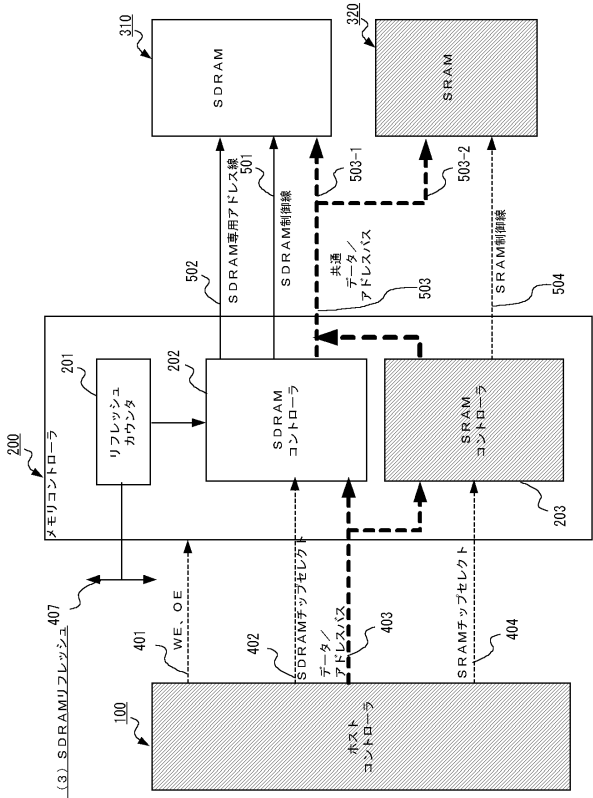
【図3】



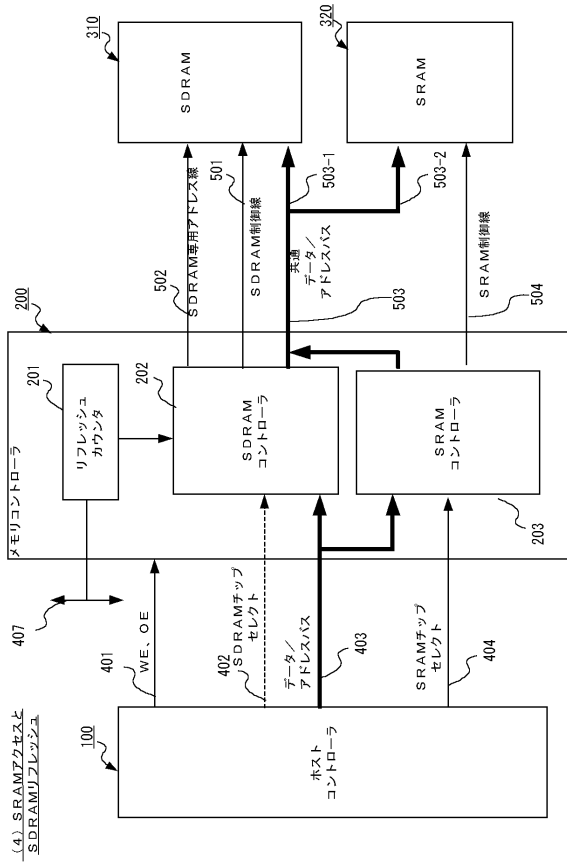
【図4】



【図5】



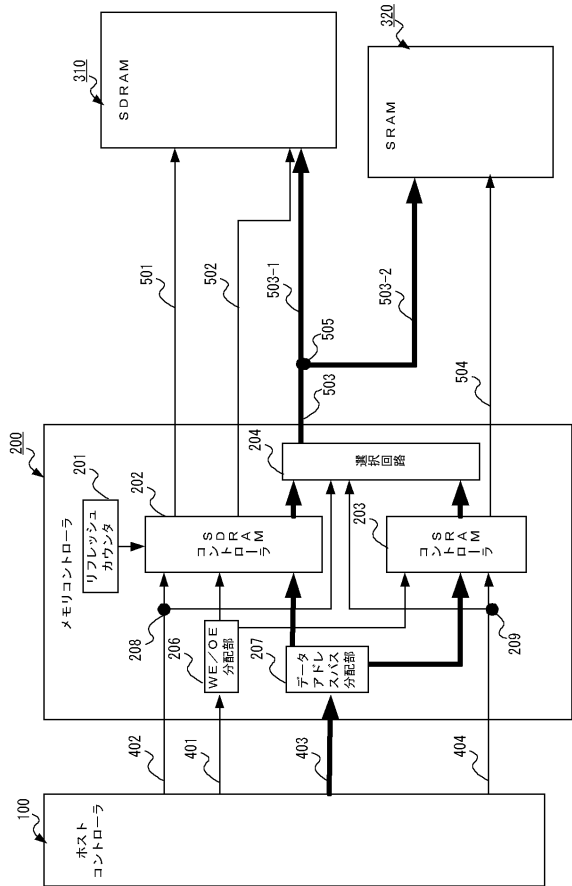
【図5】



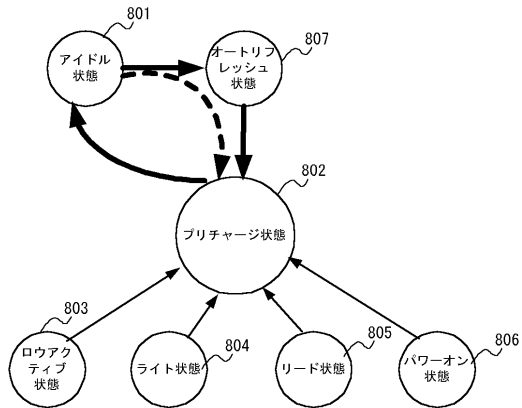
【図7】

903-1	セルフリフレッシュ・開始	CLKE	H	L	RA S	L	CA S	L	WE	H	BA n	X	A10	X	An	X
903-2	セルフリフレッシュ・終了	L	L	L	L	L	L	L	L	H	X	X	X	X	X	X
906	セルフリフレッシュ・終了	L	L	L	L	L	L	L	L	H	X	X	X	X	X	X
907	オートプリチャージ付データ・リード	H	H	L	L	L	L	L	L	H	H	H	H	H	H	H
902	オートプリチャージ付データ・ライト	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L
904	オート・リフレッシュ	H	H	L	L	L	L	L	L	H	H	H	H	H	H	H
905	全バンクプリチャージ	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L
	指定バンクプリチャージ	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L

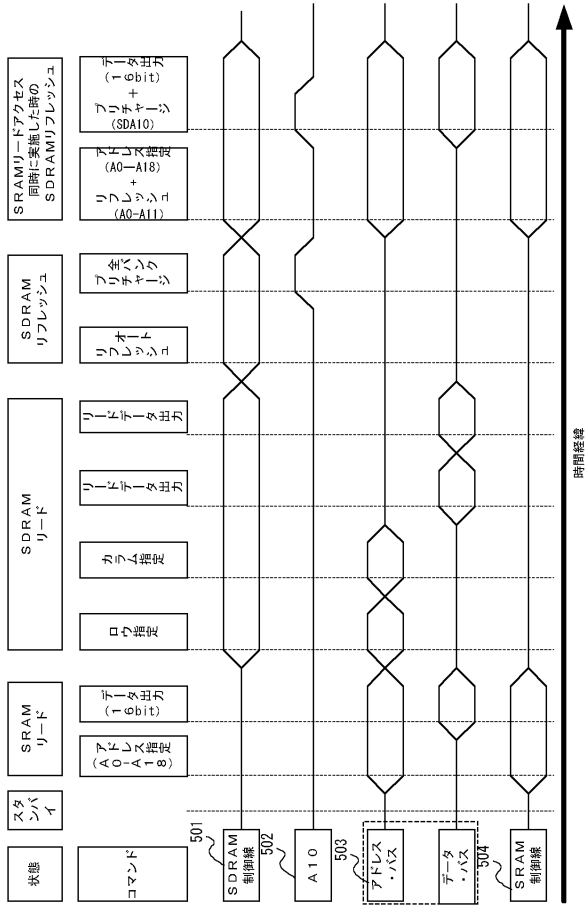
【図6】



【図8】



【図9】



フロントページの続き

審査官 多賀 実

(56)参考文献 特開2002-269980(JP,A)
特開2003-196153(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F12/00-06
G06F13/16-18
G11C11/406