



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월03일
(11) 등록번호 10-0856209
(24) 등록일자 2008년08월27일

(51) Int. Cl.

H05K 3/46 (2006.01) H05K 1/18 (2006.01)

(21) 출원번호 10-2007-0043755

(22) 출원일자 2007년05월04일

심사청구일자 2007년05월04일

(56) 선행기술조사문헌

JP17310946 A*

JP18339466 A

JP10294563 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

조시연

경기도 안양시 동안구 평촌동 푸른마을대우아파트 109동 1206호

서호성

경기도 수원시 권선구 권선동 1238번지 삼천리 2차아파트 105동602호

최연호

서울특별시 서초구 서초4동 롯데캐슬클래식 101동 1401호

(74) 대리인

이건주

전체 청구항 수 : 총 10 항

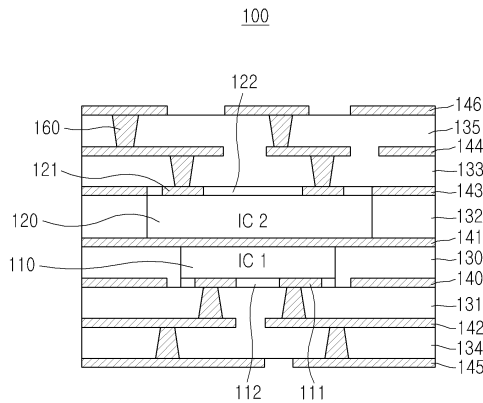
심사관 : 김중희

(54) 집적회로가 내장된 인쇄회로기판 및 그 제조방법

(57) 요약

본 발명은 다층 인쇄회로기판 및 그 제조방법에 관한 것으로, 본 발명은 절연층과 도전성 패턴층이 교대로 반복하여 적층되고, 복수의 상기 절연층에는 콘택홀이 형성되어 상기 콘택홀을 통해 전기접속되는 다층 인쇄회로기판에 있어서, 상기 다층 인쇄회로기판에 내장되도록 상기 복수의 절연층 중 어느 하나의 제1 절연층 내에 배치되며, 그 상면에 전기접속을 위한 복수의 접속단자를 구비하는 제1 집적회로와; 상기 제1 집적회로의 하면에 적층되며, 그 상면에 전기접속을 위한 복수의 접속단자를 구비하는 제2 집적회로를 포함함을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

절연층과 도전성 패턴층이 교대로 반복하여 적층되고, 복수의 상기 절연층에는 콘택홀이 형성되어 상기 콘택홀을 통해 전기접속되는 다층 인쇄회로기판에 있어서,

상기 다층 인쇄회로기판에 내장되도록 상기 복수의 절연층 중 어느 하나의 제1 절연층 내에 배치되며, 그 상면에 전기접속을 위한 복수의 접속단자를 구비하는 제1 집적회로와;

상기 제1 집적회로의 하면에 적층되며, 그 상면에 전기접속을 위한 복수의 접속단자를 구비하는 제2 집적회로를 포함하며,

상기 제1 절연층은 코어 절연층임을 특징으로 하는 다층 인쇄회로기판.

청구항 2

제 1 항에 있어서, 상기 제1 집적회로의 상기 하면과 상기 제2 집적회로의 하면 사이에 배치된 도전성 패턴층을 더 포함함을 특징으로 하는 다층 인쇄회로기판.

청구항 3

삭제

청구항 4

제1 절연층의 상면 및 하면에 제1 및 제2 도전성 패턴층을 형성하는 과정과;

예정된 제1 집적회로 수용 영역의 상기 제1 도전성 패턴층 및 상기 제1 절연층을 제거하여 상기 제1 절연층에 상기 제1 집적회로를 수용하기 위한 제1 홀을 형성하는 과정과;

상기 제1 집적회로의 하면이 상기 제2 도전성 패턴층과 접촉하도록 상기 제1 홀에 상기 제1 집적회로를 배치하는 과정과;

상기 제1 도전성 패턴층 및 상기 제1 집적회로의 상면에 제2 절연층과 제3 도전성 패턴층을 적층하는 과정과;

예정된 제2 집적회로 수용 영역의 상기 제2 도전성 패턴층에 접착 테이프를 부착하는 과정과;

상기 접착 테이프를 포함하는 상기 제2 도전성 패턴층 위에 제3 절연층과 제4 도전성 패턴층을 적층하는 과정과;

상기 접착 테이프의 테두리를 따라 상기 제4 도전성 패턴층과 상기 제3 절연층을 커팅하는 과정과;

상기 접착 테이프와 상기 접착 테이프 위에 형성된 제3 절연층 및 제4 도전성 패턴층을 제거하여 상기 제3 절연층에 상기 제2 집적회로를 수용하기 위한 제2 홀을 형성하는 과정과;

상기 제2 집적회로의 하면이 상기 제2 도전성 패턴층과 접촉하도록 상기 제2 홀에 상기 제2 집적회로를 배치하는 과정과;

상기 제4 도전성 패턴층 및 상기 제2 집적회로의 상면에 제4 절연층과 제5 도전성 패턴층을 적층하는 과정과;

상기 제2 절연층과 상기 제 4 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 포함함을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 5

제 4 항에 있어서, 상기 제1 절연층은

코어 절연층임을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 6

제 5 항에 있어서, 상기 코어 절연층은 FR4 재질이고, 상기 제2 내지 제4 절연층은 ABF(ajinomoto build-up

film) 재질임을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 7

제 4 항에 있어서, 상기 제2 절연층의 하부와 상기 제4 절연층의 상부에 제5 및 제6 절연층과 제6 및 제7 도전성 패턴층을 적층하는 과정과;

상기 제5 절연층 상기 제 6 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 더 포함함을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 8

제1 절연층의 상면에 제1 도전성 패턴층을 형성한 다음 예정된 제1 집적회로 수용 영역의 상기 제1 도전성 패턴층 및 상기 제1 절연층을 제거하여 상기 제1 절연층에 상기 제1 집적회로를 수용하기 위한 제1 홀을 형성하는 과정과;

상기 제1 홀을 폐쇄하도록 상기 제1 절연층의 하면에 예정된 제2 집적회로 수용 영역 크기의 제1 접착 테이프를 부착하는 과정과;

제1 집적회로의 하면이 상기 제1 접착 테이프에 부착되도록 상기 제1 홀에 상기 제1 집적회로를 배치하는 과정과;

상기 제1 도전성 패턴층 및 상기 제1 집적회로의 상면에 제2 절연층과 제3 도전성 패턴층을 적층하는 과정과;

상기 제1 접착 테이프를 포함하는 상기 제2 도전성 패턴층 위에 제3 절연층과 제3 도전성 패턴층을 적층하는 과정과;

상기 접착 테이프의 테두리를 따라 상기 제3 도전성 패턴층과 상기 제2 절연층을 커팅하는 과정과;

상기 제1 접착 테이프와 상기 제1 접착 테이프 위에 형성된 제3 절연층 및 제3 도전성 패턴층을 제거하여 상기 제3 절연층에 상기 제2 집적회로를 수용하기 위한 제2 홀을 형성하는 과정과;

상기 제2 집적회로의 하면이 상기 제1 집적회로의 하면과 접촉하도록 상기 제2 홀에 상기 제2 집적회로를 배치하는 과정과;

상기 제3 도전성 패턴층 및 상기 제2 집적회로의 상면에 제4 절연층과 제4 도전성 패턴층을 적층하는 과정과;

상기 제2 절연층과 상기 제 4 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 포함함을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 9

제 8 항에 있어서, 상기 제1 절연층은

코어 절연층임을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 10

제 9 항에 있어서, 상기 코어 절연층은 FR4 재질이고, 상기 제2 내지 제4 절연층은 ABF(ajinomoto build-up film) 재질임을 특징으로 하는 다층 인쇄회로기판의 제조방법.

청구항 11

제 8 항에 있어서, 상기 제2 절연층의 하부와 상기 제4 절연층의 상부에 제5 및 제6 절연층과 제5 및 제6 도전성 패턴층을 적층하는 과정과;

상기 제5 절연층과 상기 제 6 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 더 포함함을 특징으로 하는 다층 인쇄회로기판의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 다층 인쇄회로기판(multi-layer printed circuit board; multi-layer PCB)에 관한 것으로, 특히 집적회로(integrated circuit; IC)가 내장된 인쇄회로기판 및 그 제조방법에 관한 것이다.
- <9> 인쇄회로기판은 다양한 전자제품에 적용되고 있고, 특히 절연층과 도전성 패턴층(conductive pattern layer)이 교대로 반복하여 적층된 구조를 갖는 다층 인쇄회로기판은 휴대용 단말기, 노트북 등 초슬림/초소형 전자제품에 적용되고 있다.
- <10> 도 1은 종래기술에 따른 다층 인쇄회로기판을 나타내는 도면이다.
- <11> 도 1에 도시한 바와 같이, 종래의 다층 인쇄회로기판은 복수의 절연층(30~34)과 복수의 도전성 패턴층(40~45)이 교대로 적층되고, 복수의 절연층(30~34)에는 복수의 콘택홀(비아홀, 50)이 형성된 구조를 가지며, 집적회로(10)가 내장되어 있다. 집적회로(10)는 복수의 절연층(30~34) 중 코어 절연층(30) 내에 배치되며, 그 표면 상에 외부 전기접속을 위한 복수의 외부접속단자(bump, 11)와 절연층(12)을 구비하고 있다.
- <12> 그러나, 상기 종래의 다층 인쇄회로기판은 하나의 집적회로를 내장하고 있으며, 여러 개의 집적회로를 내장할 수 없다는 단점이 있다.
- <13> 도 2는 종래의 다른 기술에 따른 다층 인쇄회로기판을 나타내는 도면으로, 다층 인쇄회로기판은 두 개의 집적회로를 내장하기 위해 코어 절연층(30)에 내장되는 두 개의 집적회로(10,20)가 옆으로 나란하게 배치되어 있다.
- <14> 그러나, 도 2에 도시된 바와 같은 종래의 다층 인쇄회로기판은 두 개의 집적회로가 옆으로 배치되어 있기 때문에 전체 인쇄회로기판의 크기(면적)가 커지는 단점이 있다.
- <15> 도 3은 종래의 또 다른 기술에 따른 다층 인쇄회로기판을 나타내는 도면으로, 각각의 코어 절연층(30, 30-1)에 집적회로(10, 20)를 내장하고 있는 2개의 인쇄회로기판을 제작한 다음, 두 개의 코어 절연층을 다시 적층(lamination) 공정을 거쳐 하나의 인쇄회로기판으로 제작한 것이다.
- <16> 그러나, 도 3에 도시된 바와 같은 종래의 다층 인쇄회로기판은 두 개의 코어 절연층을 사용하고 있고, 또한, 절연층을 개재하여 2개의 코어 절연층을 접속하고 있기 때문에 전체 인쇄회로기판의 두께가 두꺼워지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

- <17> 본 발명은 인쇄회로기판에 2개 이상의 집적회로를 내장하는 경우에 인쇄회로기판의 소형화 및 박형화를 동시에 구현할 수 있는 집적회로가 내장된 인쇄회로기판을 제공한다.
- <18> 또한, 본 발명은 인쇄회로기판에 2개 이상의 집적회로를 내장하는 경우에 인쇄회로기판의 소형화 및 박형화를 동시에 구현할 수 있는 집적회로가 내장된 인쇄회로기판의 제조방법을 제공한다.

발명의 구성 및 작용

- <19> 본 발명의 일 실시예에 따른 집적회로가 내장된 인쇄회로기판은, 절연층과 도전성 패턴층이 패턴층이 교대로 반복하여 적층되고, 복수의 상기 절연층에는 콘택홀이 형성되어 상기 콘택홀을 통해 전기접속되는 다층 인쇄회로기판에 있어서, 상기 다층 인쇄회로기판에 내장되도록 상기 복수의 절연층 중 어느 하나의 제1 절연층 내에 배치되며, 그 상면에 전기접속을 위한 복수의 접속단자를 구비하는 제1 집적회로와; 상기 제1 집적회로의 하면에 적층되며, 그 상면에 전기접속을 위한 복수의 접속단자를 구비하는 제2 집적회로를 포함함을 특징으로 한다.
- <20> 또한, 제1 집적회로의 상기 하면과 상기 제2 집적회로의 하면 사이에 배치된 도전성 패턴층을 더 포함함을 특징으로 한다.
- <21> 또한, 상기 제1 절연층은 코어 절연층임을 특징으로 한다.
- <22> 본 발명의 일 실시예에 따른 집적회로가 내장된 인쇄회로기판 제조방법은, 제1 절연층의 상면 및 하면에 제1 및 제2 도전성 패턴층을 형성하는 과정과; 예정된 제1 집적회로 수용 영역의 상기 제1 도전성 패턴층 및 상기 제1 절연층을 제거하여 상기 제1 절연층에 상기 제1 집적회로를 수용하기 위한 제1 홀을 형성하는 과정과; 상기 제1 집적회로의 하면이 상기 제2 도전성 패턴층과 접촉하도록 상기 제1 홀에 상기 제1 집적회로를 배치하는 과정과;

상기 제1 도전성 패턴층 및 상기 제1 집적회로의 상면에 제2 절연층과 제3 도전성 패턴층을 적층하는 과정과; 예정된 제2 집적회로 수용 영역의 상기 제2 도전성 패턴층에 접착 테이프를 부착하는 과정과; 상기 접착 테이프를 포함하는 상기 제2 도전성 패턴층 위에 제3 절연층과 제4 도전성 패턴층을 적층하는 과정과; 상기 접착 테이프의 테두리를 따라 상기 제4 도전성 패턴층과 상기 제3 절연층을 커팅하는 과정과; 상기 접착 테이프와 상기 접착 테이프 위에 형성된 제3 절연층 및 제4 도전성 패턴층을 제거하여 상기 제3 절연층에 상기 제2 집적회로를 수용하기 위한 제2 홈을 형성하는 과정과; 상기 제2 집적회로의 하면이 상기 제2 도전성 패턴층과 접촉하도록 상기 제2 홈에 상기 제2 집적회로를 배치하는 과정과; 상기 제4 도전성 패턴층 및 상기 제2 집적회로의 상면에 제4 절연층과 제5 도전성 패턴층을 적층하는 과정과; 상기 제2 절연층과 상기 제4 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 포함함을 특징으로 한다.

- <23> 상기 제1 절연층은 코어 절연층임을 특징으로 한다.
- <24> 상기 코어 절연층은 FR4 재질이고, 상기 제2 내지 제4 절연층은 ABF(ajinomoto build-up film) 재질임을 특징으로 한다.
- <25> 상기 제2 절연층의 하부와 상기 제4 절연층의 상부에 제5 및 제6 절연층과 제6 및 제7 도전성 패턴층을 적층하는 과정과; 상기 제5 절연층과 상기 제6 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 더 포함함을 특징으로 한다.
- <26> 또한, 본 발명의 다른 실시예에 따른 다층 인쇄회로기판의 제조방법은 제1 절연층의 상면에 제1 도전성 패턴층을 형성한 다음 예정된 제1 집적회로 수용 영역의 상기 제1 도전성 패턴층 및 상기 제1 절연층을 제거하여 상기 제1 절연층에 상기 제1 집적회로를 수용하기 위한 제1 홈을 형성하는 과정과; 상기 제1 홈을 폐색하도록 상기 제1 절연층의 하면에 예정된 제2 집적회로 수용 영역 크기의 제1 접착 테이프를 부착하는 과정과; 제1 집적회로의 하면이 상기 제1 접착 테이프에 부착되도록 상기 제1 홈에 상기 제1 집적회로를 배치하는 과정과; 상기 제1 도전성 패턴층 및 상기 제1 집적회로의 상면에 제2 절연층과 제3 도전성 패턴층을 적층하는 과정과; 상기 제1 접착 테이프를 포함하는 상기 제2 도전성 패턴층 위에 제3 절연층과 제3 도전성 패턴층을 적층하는 과정과; 상기 접착 테이프의 테두리를 따라 상기 제3 도전성 패턴층과 상기 제2 절연층을 커팅하는 과정과; 상기 제1 접착 테이프와 상기 제1 접착 테이프 위에 형성된 제3 절연층 및 제3 도전성 패턴층을 제거하여 상기 제3 절연층에 상기 제2 집적회로를 수용하기 위한 제2 홈을 형성하는 과정과; 상기 제2 집적회로의 하면이 상기 제1 집적회로의 하면과 접촉하도록 상기 제2 홈에 상기 제2 집적회로를 배치하는 과정과; 상기 제3 도전성 패턴층 및 상기 제2 집적회로의 상면에 제4 절연층과 제4 도전성 패턴층을 적층하는 과정과; 상기 제2 절연층과 상기 제4 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 포함함을 특징으로 한다.
- <27> 상기 제1 절연층은 코어 절연층임을 특징으로 한다.
- <28> 상기 코어 절연층은 FR4 재질이고, 상기 제2 내지 제4 절연층은 ABF(ajinomoto build-up film) 재질임을 특징으로 한다.
- <29> 상기 제2 절연층의 하부와 상기 제4 절연층의 상부에 제5 및 제6 절연층과 제5 및 제6 도전성 패턴층을 적층하는 과정과; 상기 제5 절연층과 상기 제6 절연층에 층간 전기접속을 위한 복수의 콘택홀을 형성하는 과정을 더 포함함을 특징으로 한다.
- <30> 이하에서는 첨부 도면들을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- <31> 도 4는 본 발명의 일 실시예에 따른 다층 인쇄회로기판(100)의 구성을 나타내는 단면도이다.
- <32> 도 4를 참조하면, 본 실시예에 따른 다층 인쇄회로기판(100)은 복수의 절연층(130~135) 및 복수의 도전성 패턴층(140~146)이 교대로 적층된 구조를 가지며, 복수의 절연층(130~135) 중 인접하는 2개의 절연층(130, 132)에는 각각 집적회로(110, 120)가 내장(매설, 수용)되어 있다. 또한, 복수의 절연층(130~135)에는 층간 전기접속을 위한 복수의 콘택홀(비아홀, 160)이 형성되어 있으며, 인접한 두 도전성 패턴층은 콘택홀을 통해 전기접속된다.
- <33> 상기 집적회로(110, 120)는 그 상면에 외부 전기접속을 위한 복수의 접속단자(111, 121)와 절연층(112, 122)을 구비하며, 도전성 패턴층(141)을 사이에 두고 적층되어 있다. 이때, 각 집적회로의 배면(타측면)이 대향하도록 배치된다.
- <34> 본 실시예의 다층 인쇄회로기판(100)은 집적회로(110, 120)를 내장하고 있는 2개의 절연층(130, 132)이 도전성 패

턴층(141)을 사이에 두고 인접하여 적층(stack) 되어 있기 때문에 종래 절연층을 사이에 두고 2개의 코어 절연층이 적층된 구조에 비해 다층 인쇄회로기판의 두께를 줄일 수 있다.

- <35> 도 5a 내지 도 5l은 전술한 도 4의 다층 인쇄회로기판의 제조방법을 설명하기 위한 도면이다.
- <36> 먼저, 도 5a는 코어 절연층(130)의 상면 및 하면 상에 도전성 패턴층(140,141)을 코팅하는 과정이다. 일 예로서, FR4 재질의 코어 절연층(130)을 준비하고, 코어 절연층(130)의 상면 및 하면에 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 동박을 패터닝함으로써 제1 및 제2 도전성 패턴층(140,141)을 형성할 수 있다. 도전성 패턴층은 동(copper) 뿐만 아니라 주석, 크롬, 티탄, 니켈, 아연, 코발트, 금 등의 금속 재질로 형성할 수 있다.
- <37> 도 5b는 코어 절연층(130)에 제1 집적회로를 수용하기 위한 홀(110a)을 형성하는 과정이다. 홀(110a)은 코어 절연층(제1 절연층, 130)의 상면에 코팅된 제1 도전성 패턴층(140)과 코어 절연층(130)을 통상의 드릴링(drilling) 공정으로 천공하여 형성할 수 있다. 홀(110a)은 그 내부에 수용되는 집적회로의 평면형태와 동일한 평면 형태를 가지며, 집적회로보다 큰 크기를 갖는다.
- <38> 도 5c는 홀에 제1 집적회로(110)를 배치하는 과정으로, 제1 집적회로(110)의 하면(배면)이 제2 도전성 패턴층(141)과 접촉하도록 배치한다. 제1 집적회로(110)는 그 상면에 외부 전기접속을 위한 복수의 접속단자(111)와 절연층(112)을 구비하고 있다.
- <39> 도 5d는 홀에 제1 집적회로(110)를 배치한 후 전체 상부에 제2 절연층(131)과 제3 도전성 패턴층(142)을 빌드업(build-up)하는 과정이다. 제2 절연층(131)은 통상의 적층(lamination) 공정을 통해 예를 들면, ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제3 도전성 패턴층(142)은 제1 및 제2 도전성 패턴층(140,141)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <40> 도 5e는 제1 집적회로(110)의 하면과 접촉하고 있는 제2 도전성 패턴층(141)에 접착 테이프(adhesive tape, 150)를 부착하는 과정이다. 접착 테이프(150)는 이후 공정에서 형성될 제2 집적회로 수용을 위한 홀 형성을 용이하게 하기 것으로, 제2 집적회로를 수용할 수 있을 정도의 크기로 부착한다. 접착 테이프(150)는 필요에 따라 테이프를 떼고 붙이는 것에 의해 용이하게 탈착 및 부착 가능하다.
- <41> 도 5f는 접착 테이프(150)의 상부를 포함하는 제2 도전성 패턴층(141)의 상부 전면에 제3 절연층(132)과 제4 도전성 패턴층(143)을 빌드업(build-up)하는 과정이다. 제3 절연층(132)은 통상의 적층(lamination)공정을 통해 예를 들면, ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제3 도전성 패턴층(142)은 제1 및 제2 도전성 패턴층(140,141)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <42> 도 5g는 제3 절연층(132)에 제2 집적회로를 수용하기 위한 제2 홀(120a)을 형성하는 과정 중의 하나로 홀(120a)의 테두리(가장자리)를 커팅하는 과정이다. 홀(120a) 테두리의 커팅은 접착 테이프(150) 가장자리 부분의 제4 도전성 패턴층(143)과 제3 절연층(132)을 통상의 드릴링(drilling) 공정으로 천공하여 형성할 수 있다.
- <43> 도 5h는 접착 테이프(150)와 접착 테이프(150) 위에 형성된 제3 절연층(132) 및 제4 도전성 패턴층(143)을 제거하여 제3 절연층(132)에 제2 집적회로를 수용하기 위한 홀(120a)을 형성하는 과정이다. 접착 테이프(150)를 떼어냄으로써 리프트-오프(lift-off) 공정에 의해 그 상부에 위치한 제3 절연층(132) 및 제4 도전성 패턴층(143)을 동시에 제거할 수 있으며, 이에 의해 제2 홀(120a)을 용이하게 형성할 수 있다. 홀(120a)은 그 내부에 수용되는 집적회로의 평면형태와 동일한 평면 형태를 가지며, 집적회로보다 큰 크기를 갖는다.
- <44> 도 5i는 제2 홀(120a)에 제2 집적회로(120)를 배치하는 과정으로, 제2 집적회로(120)의 하면(배면)이 제2 도전성 패턴층(141)과 접촉하도록 배치한다. 제2 집적회로(120)는 그 상면에 외부 전기접속을 위한 복수의 접속단자(121)와 절연층(122)을 구비하고 있다.
- <45> 도 5j는 홀에 제2 집적회로(120)를 배치한 후 전체 상부에 제4 절연층(133)과 제5 도전성 패턴층(144)을 빌드업(build-up)하는 과정이다. 제4 절연층(133)은 통상의 적층(lamination) 공정을 통해 예를 들면, ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제5 도전성 패턴층(144)은 제1 내지 제4 도전성 패턴층(140~143)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <46> 도 5k는 제2 절연층(131)과 제 4 절연층(133)에 층간 전기접속을 위한 복수의 콘택홀(160)을 형성하는

과정이다. 콘택홀(160)은 예를 들면, 사진식각(photolithography) 공정을 통해 형성할 수 있다. 사진식각 공정은 제3 및 제5 도전성 패턴층(142,144)에 포토레지스트(photoresist, 미도시)를 도포하는 과정, 마스크(mask)를 이용하여 예정된 콘택홀 형성영역에 포토레지스트 패턴이 새겨지도록 노광하는 과정, 노광된 부분을 현상하는 과정, 잔류 포토레지스트를 이용하여 제3 및 제5 도전성 패턴층(142,144)과 제2 및 제4 절연층(131,133)을 식각하는 과정을 포함한다.

- <47> 도 51은 제2 절연층(131)의 하부와 제4 절연층(133)의 상부에 제5 및 제6 절연층(134,135)과 제6 및 제7 도전성 패턴층(145,146)을 빌드-업(build-up) 한 다음 제5 절연층(134)과 제 6 절연층(135)에 층간 전기접속을 위한 복수의 콘택홀(160)을 형성하는 과정이다. 제5 및 제6 절연층(134,135)은 제2 내지 제4 절연층(131~133)과 마찬가지로 통상의 적층(lamination) 공정을 통해 ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제6 및 제7 도전성 패턴층(145,146)은 제1 내지 제5 도전성 패턴층(140~144)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <48> 도 6은 본 발명의 다른 실시예에 따른 다층 인쇄회로기판(200)의 구성을 나타내는 단면도이다.
- <49> 도 6을 참조하면, 본 실시예에 따른 다층 인쇄회로기판(200)은 복수의 절연층(230~235) 및 복수의 도전성 패턴층(240~245)이 교대로 적층된 구조를 가지며, 단층의 절연층 내에 2개의 집적회로(210,220)가 내장(매설, 수용)되어 있다. 또한, 복수의 절연층(230~235)에는 층간 전기접속을 위한 복수의 콘택홀(비아홀,260)이 형성되어 있으며, 인접한 두 도전성 패턴층은 콘택홀을 통해 전기접속된다.
- <50> 상기 집적회로(210,220)는 그 상면에 외부 전기접속을 위한 복수의 접속단자(211,221)와 절연층(212,222)을 구비하며, 각 집적회로의 배면(타측면)이 접하도록 적층 배치된다.
- <51> 본 실시예의 다층 인쇄회로기판(200)은 2개의 집적회로(210, 220)가 각각의 배면이 접하면서 적층(stack) 되어 단층의 절연층(절연층230과 절연층232 사이에 도전성 패턴층이 개재되어 있지 않고, 두 개의 절연층이 접하여 있으므로 단층의 절연층이라 표현함) 내에 배치되어 있기 때문에 종래 2개의 코어 절연층에 집적회로를 배치한 다음, 절연층을 개재하여 적층한 구조에 비해 다층 인쇄회로기판의 두께를 크게 줄일 수 있다.
- <52> 도 7a 내지 도 7m은 전술한 도 6의 다층 인쇄회로기판의 제조방법을 설명하기 위한 도면이다.
- <53> 먼저, 도 7a는 코어 절연층(제1 절연층, 230)의 상면에 도전성 패턴층(240)을 코팅하는 과정이다. 일 예로서, FR4 재질의 코어 절연층(230)을 준비하고, 코어 절연층(230)의 상면에 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 동박을 패터닝함으로써 제1 도전성 패턴층(240)을 형성할 수 있다.
- <54> 도 7b는 코어 절연층(230)에 제1 집적회로를 수용하기 위한 홀(210a)을 형성한 다음 코어 절연층(230)의 하면에 집적회로를 지지하기 위한 제1 접착 테이프(adhesive tape, 250)를 부착하는 과정이다. 홀(210a)은 코어 절연층(제1 절연층, 230)의 상면에 코팅된 제1 도전성 패턴층(240)과 코어 절연층(230)을 통상의 드릴링(drilling) 공정으로 천공하여 형성할 수 있다. 홀(210a)은 그 내부에 수용되는 집적회로의 평면형태와 동일한 평면 형태를 가지며, 집적회로보다 큰 크기를 갖는다. 제1 접착 테이프(250)에 의해 홀(210a)의 하단이 폐색되며, 제1 접착 테이프(250)는 필요에 따라 테이프를 떼고 붙이는 것에 의해 용이하게 탈착 및 부착 가능하다.
- <55> 도 7c는 홀에 제1 집적회로(210)를 배치하는 과정으로, 제1 집적회로(210)의 하면(배면)이 접착 테이프(250)와 접촉하도록 배치한다. 제1 집적회로(210)는 그 상면에 외부 전기접속을 위한 복수의 접속단자(211)와 절연층(212)을 구비하고 있다.
- <56> 도 7d는 홀에 제1 집적회로(210)를 배치한 후 전체 상부에 제2 절연층(231)과 제2 도전성 패턴층(241)을 빌드-업(build-up)하는 과정이다. 제2 절연층(231)은 통상의 적층(lamination) 공정을 통해 예를 들면, ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제2 도전성 패턴층(241)은 제1 도전성 패턴층(240)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <57> 도 7e는 코어 절연층(230)의 하단에 부착된 제1 접착 테이프(adhesive tape, 250)를 제거하는 과정이다.
- <58> 도 7f는 제1 집적회로(210)의 하면 및 코어 절연층(230)의 일부에 제2 접착 테이프(adhesive tape, 251)를 부착하는 과정이다. 제2 접착 테이프(251)는 이후 공정에서 형성될 제2 집적회로 수용을 위한 홀 형성을 용이하게 하기 것으로, 제2 집적회로를 수용할 수 있을 정도의 크기로 부착한다. 제2 접착 테이프(251)는 필요에 따라 테이프를 떼고 붙이는 것에 의해 용이하게 탈착 및 부착 가능하다. 한편, 본 실시예는 도 7b 단계에서 코어 절연

층(230)의 하면 전체에 제1 접착 테이프(250)를 부착하고 그 위에 제1 집적회로(210)를 배치한 다음 도 7e 단계에서 제1 접착 테이프(250)를 제거한 후에 도 7f 단계에서 제2 접착 테이프(251)를 다시 부착하는 공정으로 진행한 경우이다. 그러나, 만일 코어 절연층과 집적회로를 안정하게 고정시킬 수 있다면 제1 접착 테이프의 부착 및 탈착 공정을 생략하고 도 7b 단계에서 바로 제2 집적회로 수용을 위한 홀 형성용 제2 접착 테이프를 부착하는 공정도 가능하다.

- <59> 도 7g는 제2 접착 테이프(251)의 상부를 포함하는 코어 절연층(230)의 상부 전면에 제3 절연층(232)과 제3 도전성 패턴층(242)을 빌드-업(build-up)하는 과정이다. 제3 절연층(232)은 통상의 적층(lamination)공정을 통해 예를 들면, ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제3 도전성 패턴층(242)은 제1 및 제2 도전성 패턴층(240,241)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <60> 도 7h는 제3 절연층(232)에 제2 집적회로를 수용하기 위한 제2 홀(220a)을 형성하는 과정 중의 하나로 홀(220a)의 테두리(가장자리)를 커팅하는 과정이다. 홀(220a) 테두리의 커팅은 제2 접착 테이프(251) 가장자리 부분의 제3 도전성 패턴층(242)과 제3 절연층(232)을 통상의 드릴링(drilling) 공정으로 천공하여 형성할 수 있다. 홀(220a)은 그 내부에 수용되는 집적회로의 평면형태와 동일한 평면 형태를 가지며, 집적회로보다 큰 크기를 갖는다.
- <61> 도 7i는 제2 접착 테이프(251), 제2 접착 테이프(251) 위에 형성된 제3 절연층(232) 및 제4 도전성 패턴층(243)을 제거하여 제3 절연층(232)에 제2 집적회로를 수용하기 위한 홀(220a)을 형성하는 과정이다. 접착 테이프(251)를 떼어냄으로써 제3 절연층(232) 및 제3 도전성 패턴층(242)을 동시에 제거할 수 있으며, 이에 의해 제2 홀(220a)을 용이하게 형성할 수 있다. 홀(220a)은 그 내부에 수용되는 집적회로의 평면형태와 동일한 평면 형태를 가지며, 집적회로보다 큰 크기를 갖는다.
- <62> 도 7j는 제2 홀에 제2 집적회로(220)를 배치하는 과정으로, 제2 집적회로(220)의 하면(배면)이 제1 집적회로(210)의 하면 및 코어 절연층(230)과 접촉하도록 배치한다. 제2 집적회로(220)는 그 상면에 외부 전기접속을 위한 복수의 접속단자(221)와 절연층(222)을 구비하고 있다.
- <63> 도 7k는 홀에 제2 집적회로(220)를 배치한 후 전체 상부에 제4 절연층(233)과 제4 도전성 패턴층(243)을 빌드-업(build-up)하는 과정이다. 제4 절연층(233)은 통상의 적층(lamination) 공정을 통해 예를 들면, ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제4 도전성 패턴층(243)은 제1 내지 제3 도전성 패턴층(240~242)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <64> 도 7l은 제2 절연층(231)과 제4 절연층(233)에 층간 전기접속을 위한 복수의 콘택홀(260)을 형성하는 과정이다. 콘택홀(260)은 예를 들면, 사진식각(photolithography) 공정을 통해 형성할 수 있다. 사진식각 공정은 제2 및 제4 도전성 패턴층(241,243)에 포토레지스트(photoresist, 미도시)를 도포하는 과정, 마스크(mask)를 이용하여 예정된 콘택홀 형성영역에 포토레지스트 패턴이 새겨지도록 노광하는 과정, 노광된 부분을 현상하는 과정, 잔류 포토레지스트를 이용하여 제2 및 제4 도전성 패턴층(241,243)과 제2 및 제4 절연층(231,233)을 식각하는 과정을 포함한다.
- <65> 도 7m은 제2 절연층(231)의 하부와 제4 절연층(233)의 상부에 제5 및 제6 절연층(234,235)과 제5 및 제6 도전성 패턴층(244,245)을 빌드-업(build-up) 한 다음 제5 절연층(234)과 제6 절연층(235)에 층간 전기접속을 위한 복수의 콘택홀(260)을 형성하는 과정이다. 제5 및 제6 절연층(234,235)은 제2 내지 제4 절연층(231~233)과 마찬가지로 통상의 적층(lamination) 공정을 통해 ABF(ajinomoto build-up film) 재질의 절연층을 증착하여 형성할 수 있다. 제5 및 제6 도전성 패턴층(244,245)은 제1 내지 제4 도전성 패턴층(240~243)과 마찬가지로 동박(copper foil)을 코팅한 다음 통상의 사진식각(photolithography) 공정을 이용하여 패터닝 할 수 있다.
- <66> 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위를 초과하지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 예를 들면, 내장되는 집적회로의 수, 절연층의 수 또는 재질, 도전성 패턴층의 수 또는 재질 등은 필요에 따라 변경하여 적용할 수 있다.
- <67> 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

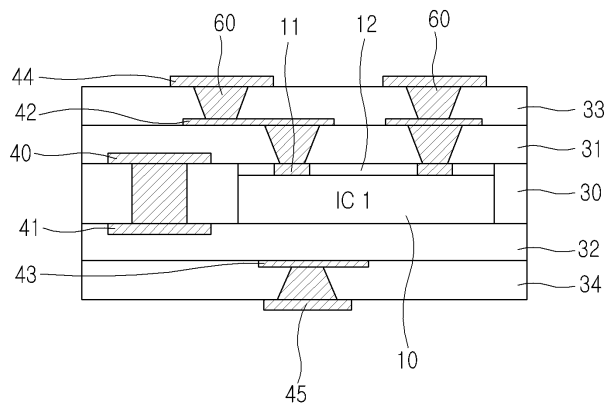
- <68> 상술한 바와 같이, 본 발명의 일 실시예에 따른 다층 인쇄회로기판은 집적회로를 내장하고 있는 2개의 절연층이 도전성 패턴층을 사이에 두고 인접하여 적층(stack) 되어 있기 때문에 종래 절연층을 사이에 두고 2개의 코어 절연층이 적층된 구조에 비해 다층 인쇄회로기판의 두께를 줄일 수 있다.
- <69> 또한, 본 발명의 다른 실시예에 따른 다층 인쇄회로기판은 2개의 집적회로가 각각의 배면이 접하면서 적층(stack) 되어 단층의 절연층 내에 배치되어 있기 때문에 종래 2개의 코어 절연층에 집적회로를 배치한 다음 절연층을 개재하여 적층한 구조에 비해 다층 인쇄회로기판의 두께를 크게 줄일 수 있다.
- <70> 또한, 본 발명에 따른 다층 인쇄회로기판의 제조방법은 예정된 집적회로 수용영역의 하부에 탈, 부착이 용이한 접착 테이프를 부착한 다음 절연층 및 도전성 패턴층 형성 후에 리프트-오프(lift-off) 공정에 의해 접착 테이프 위에 형성된 절연층 및 도전성 패턴층을 제거함으로써 집적회로 수용을 위한 홈을 용이하게 형성할 수 있다.

도면의 간단한 설명

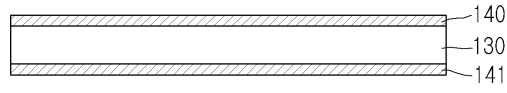
- <1> 도 1은 종래기술에 따른 다층 인쇄회로기판을 나타내는 도면,
- <2> 도 2는 종래의 다른 기술에 따른 다층 인쇄회로기판을 나타내는 도면,
- <3> 도 3은 종래의 또 다른 기술에 따른 다층 인쇄회로기판을 나타내는 도면,
- <4> 도 4는 본 발명의 일 실시예에 따른 다층 인쇄회로기판의 구성을 나타내는 단면도,
- <5> 도 5a 내지 도 5l은 본 발명의 일 실시예에 따른 다층 인쇄회로기판의 제조과정을 나타낸 단면도,
- <6> 도 6은 본 발명의 다른 실시예에 따른 다층 인쇄회로기판의 구성을 나타내는 단면도,
- <7> 도 7a 내지 도 7m은 본 발명의 다른 실시예에 따른 다층 인쇄회로기판의 제조과정을 나타낸 단면도.

도면

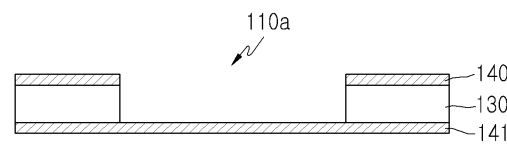
도면1



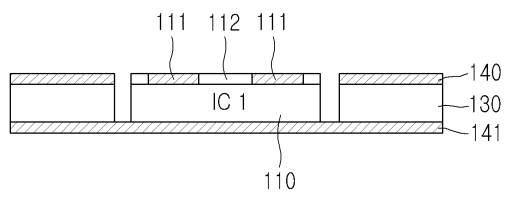
도면5a



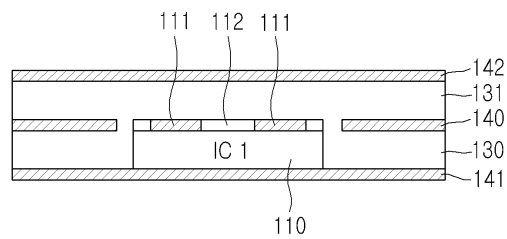
도면5b



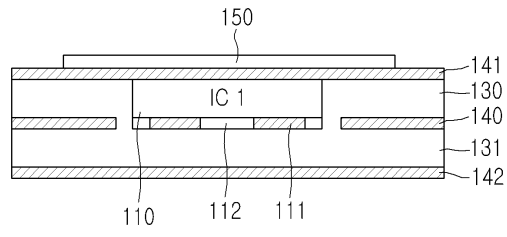
도면5c



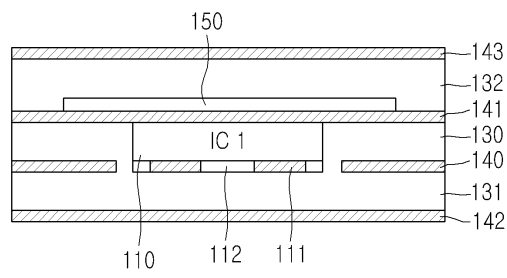
도면5d



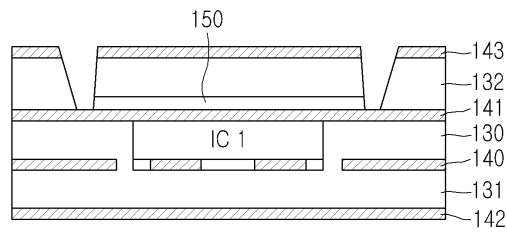
도면5e



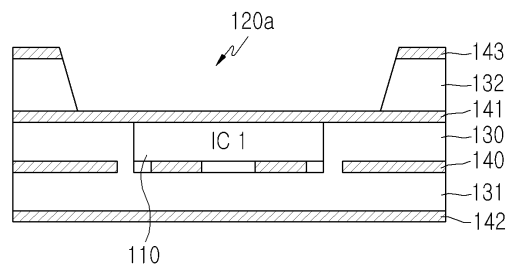
도면5f



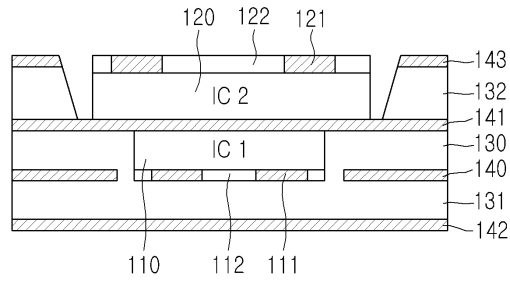
도면5g



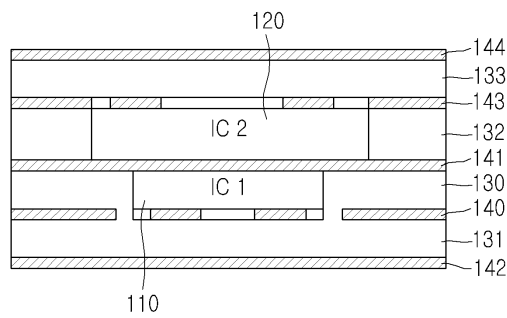
도면5h



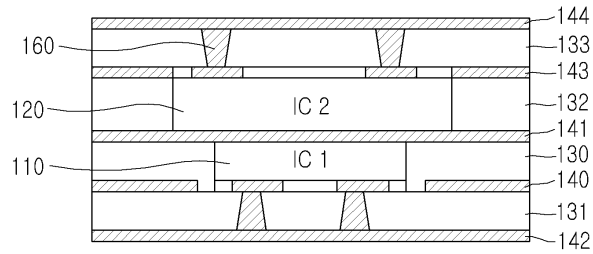
도면5i



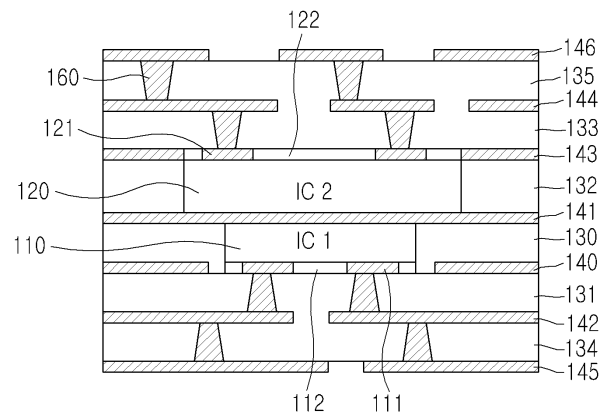
도면5j



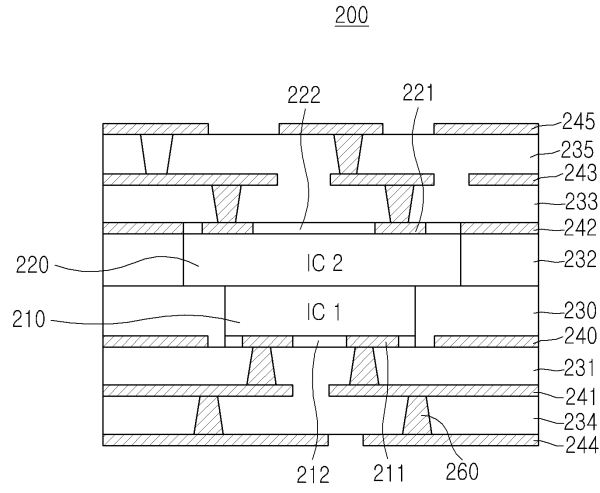
도면5k



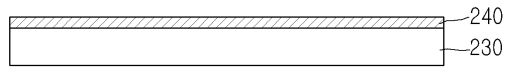
도면5l



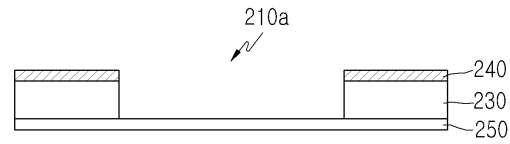
도면6



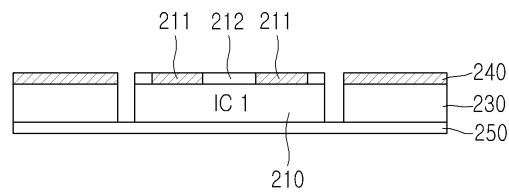
도면7a



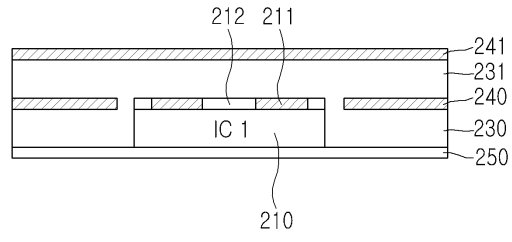
도면7b



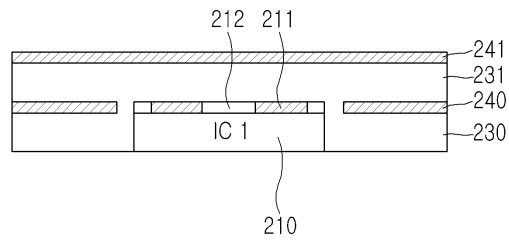
도면7c



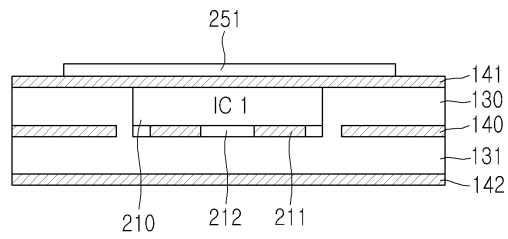
도면7d



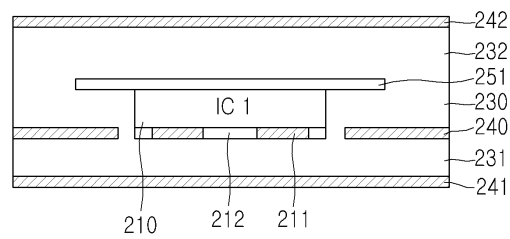
도면7e



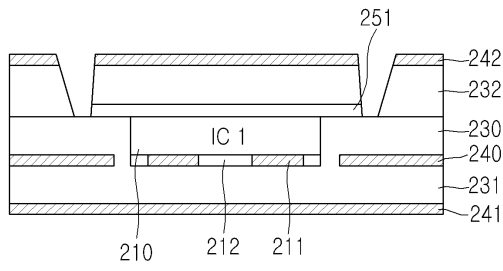
도면7f



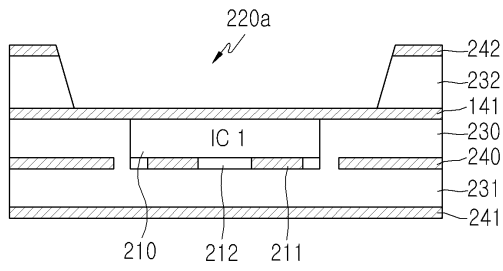
도면7g



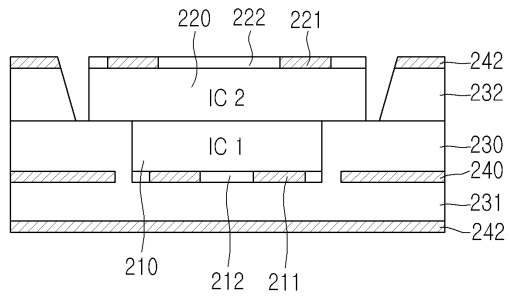
도면7h



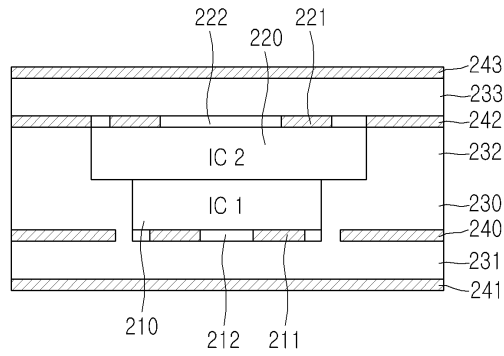
도면7i



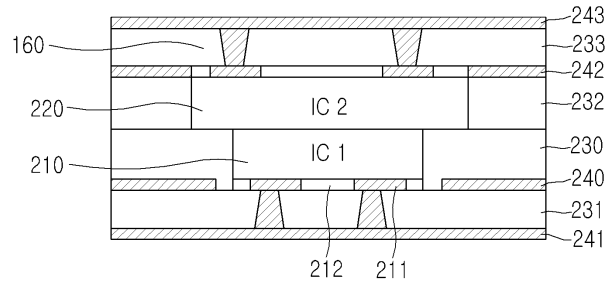
도면7j



도면7k



도면7l



도면7m

