



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/77 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월26일 10-0711526 2007년04월19일
---	-------------------------------------	--

(21) 출원번호	10-1999-0035378	(65) 공개번호	10-2000-0017528
(22) 출원일자	1999년08월25일	(43) 공개일자	2000년03월25일
심사청구일자	2004년08월24일		

(30) 우선권주장      09/143,037      1998년08월28일      미국(US)

(73) 특허권자      루센트 테크놀로지스 인크  
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자      그로스마이클에디쓰  
미국뉴저지주07901서밋애쉬랜드로드69

     링크크리스토프  
미국뉴저지주07922버클리하이츠스프링리지드라이브200

(74) 대리인      장훈  
      이병호

(56) 선행기술조사문헌  
US04687552 \*      US05431803 \*  
\* 심사관에 의하여 인용된 문헌

심사관 : 김주식

전체 청구항 수 : 총 9 항

(54) 구리 연결선을 갖는 반도체 장치의 제조방법

(57) 요약

본 발명은 구리 연결선을 갖는 반도체 장치의 제조방법에 관한 것이다. 본 발명의 방법에서는, 유전 물질층을 기판 위에 형성한다. 하나 이상의 리세스(recess)를 유전 물질층에 형성한다. 그런 다음, 전기도금을 위한 장벽 층(barrier layer)과 씨드 층(seed layer)을 기판의 표면 위에 증착시킨다. 그런 다음, 기판의 표면 위에 구리를 전기도금함으로써 리세스를 구리로 충전시킨다. 전기도금된 구리는, 증착 직후의 평균 입자 크기가 약 0.1 내지 약 0.2 $\mu$ m이다. 그런 다음, 기판을 어닐링(annealing)하여 구리의 입자 크기를 증가시키고, 후속적인 공정 동안 대기 조건에서 내내 안정한 입자 구조를 제공한다. 어닐링 후에, 구리의 평균 입자 크기는 1차원 이상에서 약 1 $\mu$ m 이상이다. 그런 다음, 유전층 위의 전기도금된 구리를 화학적 기계적 연마와 같은 방법을 사용하여 제거한다. 잔류 구리는 리세스 안의 구리이다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

유전 물질층을 기판 위에 형성시키고,

유전 물질층에 하나 이상의 리세스(recess)를 형성시키고,

유전 물질 내의 리세스를 평균 입자 크기가  $0.1\mu\text{m}$  내지  $0.2\mu\text{m}$ 인 전기도금된 구리로 충전시키고,

전기도금된 구리의 평균 입자 크기를 1차원 이상에서  $1\mu\text{m}$  이상으로 증가시키는 조건에서 기판을 어닐링함을 포함하는, 반도체 장치의 제조방법.

### 청구항 2.

제1항에 있어서, 기판이  $100^\circ\text{C}$  내지  $400^\circ\text{C}$ 의 온도 범위에서 1분 내지 1시간 동안 어닐링되는, 반도체 장치의 제조방법.

### 청구항 3.

제1항에 있어서, 구리를 기판에 전기도금하기 전에, 장벽 층을 리세스 내에 형성시키는, 반도체 장치의 제조방법.

### 청구항 4.

제3항에 있어서, 구리를 기판에 전기도금하기 전에, 씨드 층을 장벽 층 위에 형성시키는, 반도체 장치의 제조방법.

### 청구항 5.

제4항에 있어서, 씨드 층을 리세스 위에 형성시키는, 반도체 장치의 제조방법.

### 청구항 6.

제1항에 있어서, 전기도금된 구리의 일부를 선택적으로 제거하여, 리세스 내에 전기도금된 구리만을 남겨놓는 단계를 추가로 포함하는, 반도체 장치의 제조방법.

### 청구항 7.

제1항에 있어서, 리세스가 길이, 폭 및 높이를 갖는, 반도체 장치의 제조방법.

### 청구항 8.

제7항에 있어서, 어닐링 후에 평균 입자 크기가 리세스의 폭 이상이고, 리세스의 종방향으로  $1\mu\text{m}$  이상인, 반도체 장치의 제조방법.

## 청구항 9.

제1항에 있어서, 구리가 구리 및 하나 이상의 유기 화합물을 포함하는 전기도금욕으로부터 전기도금되는, 반도체 장치의 제조방법.

### 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적 회로 장치의 제조방법, 특히, 구리 연결선을 갖는 반도체 장치에 관한 것이다.

장치가 마이크론 이하로 축소됨에 따라, 신뢰성 있는 마이크론 이하의 연결(연결선)을 형성시키는 것이 점점 어려워지고 있다. 연결선을 형성하기 위해 많은 기술이 사용되어 왔다. 하지만, 마이크론 이하 연결선의 치수가 점점 작아짐에 따라, 현재 기술은 덜 유용하게 되고 있다.

예를 들면, 에너지 민감성 물질층에 정의된 패턴이 에칭 방법에 의해 하부의 금속층으로 전사되는 석판 기술을 이용하여 금속층을 패턴화함으로써 연결선을 형성시키는 기술은 여러가지 문제점이 있다. 이러한 기술에서는, 접촉 구멍(창 또는 경로(via))이 유전층에 형성된다. 그런 다음, 유전층 위에 금속층을 증착시켜 접촉 구멍을 금속으로 충전시킨다. 그런 다음, 유전층 위의 금속층의 일부를, 에칭 또는 화학적 기계적 연마(chemical mechanical polishing: CMP)과 같은 방법을 사용하여 제거한다. 잔류 금속층 부분은 유전층에 형성된 접촉 구멍 내의 부분이다.

그런 다음, 제2 금속층을 금속 충전된 접촉 구멍을 갖는 유전층에 형성시킨다. 제2 금속층을 패턴화하여 통상적인 감산법(subtractive process)으로 연결 배선을 형성시킨다. 일반적으로, 접촉 구멍을 충전시키는 금속이 제1 금속[예: CVD(화학적 증기 증착된) 텅스텐]이고, 패턴화된 금속은 제2 금속(예: 알루미늄)이다. 석판 기술을 이용하여 제2 금속층을 패턴화한다.

이러한 방법은 이에 관한 특정한 문제점을 갖는다. 특히, 패턴화된 알루미늄층은 측면벽 부식이 일어나기 쉽다. 또한, 추가의 공정을 진행하기 전에, 패턴화된 금속 라인 사이의 공간을 유전층으로 후속적으로 충전시켜야 한다. 게다가, 연결선(예를 들면, 텅스텐)과 배선(예를 들면, 알루미늄)에 대해 상이한 금속을 사용하면 연결선의 기계적 강도와 전기적 품질 모두에 부정적인 영향을 미친다.

구리는 저렴하고 저항률이 낮으므로, 현재로서 연결 물질로서 검토중이다. 하지만, 구리를 에칭하는 것은 어렵다. 따라서, 금속 연결선의 에칭을 요하는 공정은 구리 연결선을 형성하기에는 유용하지 않다. 연결선을 형성하기 위한 유망한 기술은 이중 다마스크(damascene) 방법(즉, 2개의 단일 다마스크의 조합 방법)이다. 이중 다마스크 방법에서는, 단일 유전층을 증착하고 2단계 에칭 공정을 사용하여 패턴화한다. 제1 단계에서는, 유전층 두께의 반이상에 걸쳐 접촉 개구(opening)를 에칭하고, 제2 단계에서는, 남아있는 유전체 두께를 통해 하부층까지 접촉 개구를 에칭하고, 유전층을 관통하는 연결 채널(즉, 트렌치) 부분 경로를 에칭한다.

이중 다마스크에서는, 구리층을 패턴화하기 위해 석판 기술 및 에칭 방법이 필요하지 않으므로, 이중 다마스크 방법은 종래의 감산법에 비해 구리 연결선 형성에 있어 유리하다. 하지만, 이중 다마스크에서는, 접촉 개구의 종횡비(리세스의 폭에 대한 높이의 비)가 2:1, 3:1 또는 그 이상일 수 있으므로, 구리 증착이 복잡해진다. 종횡비가 크면 스퍼터 증착이 어렵게 된다. 구리는 접촉 개구와 연결 채널 안에 CVD 방법으로 증착될 수 있다. 하지만, 구리는 CVD 방법으로 증착하기에는 어렵고/어렵거나 비용이 많이 든다. 결과적으로, 구리는 생산에 있어서 일반적으로 CVD 방법으로 증착되지 않는다.

무전해 금속 증착(즉, 무전해 도금)은 패턴화된 유전 물질층에 구리를 증착시키기 위한 기술로서 연구되어 왔다. 이 기술에서는, 무전해 증착을 수행하기 위해서, 금속을 증착시키기 전에 도금될 표면[예: 접촉 개구(창 또는 경로) 및 연결 채널]을

예비처리해야 한다. 이러한 방법은 낮은 증착률과 육 안정성의 문제로 인해 생산에 사용하기에 부적합하게 된다. 게다가, 촉매 금속의 물리적 증착(PVD, 예를 들면, 스퍼터링) 또는 활성화 용액으로 처리하는 방법과 같은 현재의 표면 활성화 기술은 현재의 장치 제작방법에 적용하기 어렵거나 부적합하다.

구리의 주요 이점은 상대적으로 낮은 비용과 낮은 저항성이다. 하지만, 구리는 규소, 이산화규소 및 낮은 유전 상수 중합체(예: 폴리이미드)로의 비교적 큰 확산 계수를 갖는다. 연결선으로부터의 구리는 이산화규소 또는 중합체 층을 통해 하부의 규소로 확산될 수 있다. 하부의 규소 기판으로의 구리 확산은 생성되는 장치의 트랜지스터 성능을 저하시킬 수 있다. 이산화규소층으로의 확산을 방지하기 위해, 구리 연결선은 하나 이상의 확산 장벽으로 싸여 있어야 한다. 이러한 확산 장벽의 형성은 구리 연결선 형성에 관계된 또 다른 문제점이다.

문헌[참조: Shinriki et al., 미국 특허 제5,627,102호]에 언급된 바와 같이, 금속 연결선의 형성에 관련된 한 가지 문제는, 리세스를 충전시키는 금속에 공극(void)이 형성된다는 것이다. 이러한 불완전한 충전은 안전한 전기 접촉을 달성할 수 없게 한다. 중형비가 증가함에 따라 불완전한 충전의 문제는 증가된다. 즉, 리세스의 폭이 감소됨에 따라, 불완전한 충전과 관련된 문제가 증가된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 구리 연결선 형성과 관련된 현존하는 문제점을 해결할 구리 연결선의 제조방법이 요구된다.

### 발명의 구성

본 발명은, 하나 이상의 연결선이 구리로 제조된 반도체 장치의 제조방법에 관한 것이다. 본 발명의 방법에서, 구리 또는 구리 합금은, 반도체 기판 위의 유전층의 표면에 형성된 리세스에 전기 도금된다(즉, 단일 다마스크 방법). 유전층은 이산화규소 또는 낮은 유전 상수 중합체, 예를 들어 폴리이미드 또는 폴리아릴 에테르일 수 있다. 당해 기술분야의 숙련가에게 있어, 리세스되는 부분의 형태는 디자인 선택의 문제로서 인지될 것임에도 불구하고, 편의상, 리세스를 트렌치(trench)로서 언급한다.

구리가 유전 물질로 확산될 수 있으므로, 일반적으로 구리 확산 장벽 층이 요구된다. 일반적으로 구리를 증착시키기 전에, 유전층의 리세스에 이러한 장벽을 형성시킨다. 하지만, 인접한 유전 물질로의 구리 확산을 방지하기 위해, 구리를 도핑하고 구리를 리세스에 증착시킨 후, 도펀트 물질을 외부확산(outdiffusing)시킴으로써 구리와 유전체 사이의 경계면에 장벽을 형성시킬 수도 있다. 구리 확산 장벽으로서 작용하는 물질은 당해 기술분야의 숙련가들에게 익히 공지되어 있다. 적합한 장벽 물질의 예에는 탄탈, 질화탄탈 및 질화티타이 있다. 장벽의 두께는 약 10nm 이상이다.

트렌치에 구리를 전기도금하기 전에, 씨드 층을 형성시킨다. 씨드 층의 두께는 약 5nm 이상이다. 씨드 층은 리세스에의 전기도금 구리에 대한 캐소드로써 작용한다. 구리 씨드 층은, PVD, CVD 또는 무전해도금과 같은 통상적인 방법으로 증착된다.

그런 다음, 기판에 형성된 유전층의 장벽 피복된 표면에 구리층을 전기도금한다. 구리층은 기판의 전체 표면 위에 형성된다. 그런 다음, 구리층을 연마하여 구리가 트렌치 내에만 남아 있도록 한다. 당해 기술분야에서 익히 공지된 통상적인 방법으로 전기도금된 구리층을 연마한다. 화학적 기계적 연마는 적당한 방법의 일례이다.

전기도금된 구리층을 연마하기 전 또는 후에, 기판을 어닐링한다. 어닐링의 온도 및 어닐링 시간은, 전기도금된 구리 입자 구조를 증착시의 작은 입자 상태에서부터 큰 입자 상태로 이르게 하기 위해 선택된다. 본 발명의 목적상, 작은 입자 상태는 약 0.1 $\mu\text{m}$  내지 약 0.2 $\mu\text{m}$ 의 평균 입자 크기이다. 큰 입자 상태는 1차원 이상에서 약 1 $\mu\text{m}$  이상인 입자 크기이다. 특정한 실시양태에서는, 입자 크기는 구리가 증착될 리세스의 크기에 의해 제한된다. 예를 들면, 구리가 1 $\mu\text{m}$  미만의 폭을 갖는 트렌치에 증착될 경우, 큰 입자의 평균 크기는, 구리가 증착될 트렌치의 폭 이상이고, 트렌치의 종방향으로 약 1 $\mu\text{m}$  이상이다. 정의된 범위내에서, 구리가 증착될 때, 입자 크기가 작을수록 더 잘 충전된다. 하지만, 구리가 증착된 후에는, 구리의 입자 크기를 큰 입자 상태로 증가시켜 생산되는 장치의 전기적 특성을 향상시키는 것이 유리하다.

작은 입자 구리가 유기 첨가제와 함께 육에서 전기도금되는 경우, 구리의 입자 구조는 주위 조건에서 안정하지 않다. 본 발명의 방법에서는, 시간이 지나도 안정한 구리 입자 구조를 제공하기 위해, 증착후에 전기도금된 구리를 어닐링한다.

트렌치의 폭이 약 0.1 $\mu\text{m}$  내지 약 5 $\mu\text{m}$ 인 본 발명의 실시양태에서는, 도금된 구리막(증착시 작은 입자 상태임)의 입자들의 평균 지름이 약 0.1 $\mu\text{m}$  내지 약 0.2 $\mu\text{m}$ 인 경우가 유리하다. 큰 입자 상태의 구리에 필수적인 안정성을 제공하기 위해, 기판을 약 100 $^{\circ}\text{C}$  내지 약 400 $^{\circ}\text{C}$ 의 온도 범위에서 약 1분 내지 약 1시간 동안 비산화 환경에서 어닐링한다. 본 발명의 목적상, 비산화 환경은 진공이거나, 할로젠, 질소 또는 아르곤과 같은 비산화 기체이다.

구리층을 연마하고 어닐링한 후에, 패시베이션층을 기판 위에 형성시킨다. 패시베이션층은 구리 연결선이 산화되고 확산되는 것을 방지하려는 것이다. 적당한 패시베이션층의 일례는 질화 규소( $\text{Si}_3\text{N}_4$ )이다.

본 발명의 실시양태에서는, 연결 채널과 구리 함유 연결선을 반도체 장치에 형성시킨다. 일반적으로, 유전층을 기판 위에 증착시키고 패터닝하여 연결 채널을 형성시킨다. 연결층을 패터닝된 유전층 위와 연결 채널 내에 증착시킨다. 기판을 연마 슬러리로 연마하여 패터닝된 유전층 위에 있는 연결층의 부분을 제거함으로써, 연결선을 형성시킨다. 연결층을 연마하기 전 또는 후에, 기판을 어닐링한다. 목적하는 입자 크기를 갖는 구리 함유 연결층을 제공하기 위해, 어닐링의 온도 및 시간을 선택한다. 연결층은 구리층 이외에 장벽 층 및 씨드 층을 포함할 수 있다. 경우에 따라, 또 다른 연결 레벨을 형성시키기 전에, 확산 방지층을 증착시킬 수 있다. 패시베이션층을 각각의 연결 레벨 위에 증착시킨다.

일반적으로, 연결 레벨은 내부에 접촉이 형성된 유전 물질층 위에 형성된다. 연결선은 하부의 유전층에 형성된 하나 이상의 하부의 금속 부분(창, 경로)과 전기적으로 접촉되어 있다. 본 발명의 방법에서, 하부에 놓여있는 층의 금속 부분은 구리를 전기도금함으로써 형성된다.

수 많은 물질들이 본 발명에 사용될 수 있다. 일반적으로, 유전층은 질화규소, (도핑되거나 도핑되지 않은)이산화규소, 옥시질화규소, 플루오로 중합체, 폴리aryl 에테르 또는 폴리이미드이다. 연결 금속은 구리이다.

구리는 유전 물질, 특히 이산화규소로 확산하는 경향이 있으므로, 확산 장벽으로 작용하는 물질층이 요구된다. 이러한 층은, 기판에 구리를 전기도금하기 전에 장벽 층을 증착시킴으로써 또는 구리 자체로부터 외부확산에 의해 형성된다. 장벽 층이 분리된 물질 층인 경우, 그 예에는 질화규소, 포스포실리케이트 유리(PSG), 산질화규소, 산화알루미늄( $\text{Al}_x\text{O}_y$ ), 탄탈, 질화티탄, 니오브 또는 몰리브덴이 있다. 이런 물질들은 CVD 또는 PVD와 같은 통상적인 방법으로 증착된다.

본 발명의 방법을 사용하여, 폴리규소 게이트(polysilicon gate), 워드 라인(word line), 소스 리전(source region), 드레인 리전(drain region), 비트 라인(bit line), 베이스 에미터(base emitter), 콜렉터(collector) 등을 포함하는 장치 구조에 구리 연결선을 만든다. 본 발명이 MOS(산화-금속-반도체) 장치(예를 들면, NMOS, PMOS, CMOS 및 BiCMOS), 쌍극성 장치, 멀티-칩 모듈 및 III-V 반도체와 같은 임의의 반도체 기술과 함께 사용될 수 있다는 것은 이 분야의 숙련자에게 자명할 것이다.

도 1은 본 발명의 한 실시양태의 흐름도이다. 제10 단계에서, 이산화규소 층을 규소 기판(일반적으로 상부 층은 내부에 형성된 하부의 장치와 접촉되어 있는 패터닝된 유전 물질층이다)에 형성시키고, 패터닝하여 연결 채널을 형성시킨다. 기술된 실시양태의 제11 단계에서, 구리 확산 장벽으로서 작용하는 층을 기판 위와 연결 채널 내에 증착시킨다. 제12 단계에서, 후속적인 구리의 전기도금 동안에 캐소드로서 작용하는 물질층을 패터닝된 유전층 위와 연결 채널 내에 형성시킨다.

그런 다음, 제13 단계에서, 구리를 패터닝된 유전층 위와 연결 채널 내에 전기도금시킨다. 그런 다음, 제14 단계에서, 어닐링하여 큰 입자 구조를 갖는 구리에 필수적인 안정성을 제공한다. 그런 다음, 기판을 화학적 기계적으로 연마하여(제15단계) 패터닝된 이산화규소 층의 표면에 위치한 구리층의 일부를 제거한다. 본 발명의 방법에서, 연마와 어닐링 단계는 교대로 수행된다. 제16 단계에서, 질화규소 패시베이션 층을 각각의 연결층 위에 형성시킨다.

#### 실시예 1

150mm 규소 웨이퍼 위에 형성된 0.5 $\mu\text{m}$  두께 이산화규소 층에 다마스크 트렌치를 형성시켰다. 이산화규소 층을 PETEOS(플라즈마 강화된 테트라에틸 오르토실리케이트)로부터 형성하였다. 트렌치를 8개의 상이한 폭과 공간 조합을 사용하여 형성하였다. 트렌치의 폭은 0.3 $\mu\text{m}$  내지 5 $\mu\text{m}$ 의 범위였다. 이러한 폭들은 회로 배선의 하부 수준에서 상부 수준까지에서 발견될 수 있는 연결선 폭들이다. 다마스크 트렌치는 격자 배열(즉, 동일 폭과 동일 간격으로 배치된 여러 개의 트렌치)로 제조하였다. 마이크론 이하의 트렌치 폭(0.3 $\mu\text{m}$ , 0.5 $\mu\text{m}$  및 0.8 $\mu\text{m}$ )에 관해, 트렌치 폭과 거의 동일한 간격에서 3 $\mu\text{m}$ 의 간격까지 배치된 격자를 인접 효과를 조사하기 위해 제조하였다.

트렌치를 형성한 후, 50nm-두께의 질화탄탈 층을 PVD를 사용하여 산화물 위에 형성하였다. 질화탄탈은 산화물과 접촉층으로의 구리 확산에 대한 장벽이었다. 그런 다음, 100nm-두께의 구리층을 질화탄탈 층 위에 형성시켜 전기도금의 캐소드로 작용하도록 한다. 구리막 역시 PVD로 형성하였다. 그런 다음, 진공 파괴가 없이, 노벨러스 오브 산호세(Novellus of San Jose, California)사에서 제작한 M2i™ 클러스터 증착 기구로 DC 마그네트론 스퍼터링을 함으로써 PVD 막을 웨이퍼에 형성하였다. 3kW 전력(바이어스 없음)과 1:1 칼리메이터(collimator)를 사용하여 질화탄탈을 증착하였다. 증착 압력은 2.9mTorr이고, 아르곤과 질소의 유속은 둘다 35sccm이었다. 웨이퍼 온도는 150℃였다. 구리는 3.1kW 전력(바이어스 없음)과 1:1 칼리메이터를 사용하여 증착시켰다. 증착 압력은 PVD 구리 증착을 위한 표준 압력이고, 아르곤의 유속은 35sccm이었다. 웨이퍼 온도는 50℃였다.

구리는, 세미툴 오브 칼리스펠(Semitoool of Kalispell, Montana)사에서 제작된 에퀴노스(Equinox™) 분수 도금 시스템을 사용하여 전기도금하였다. 상업적으로 엔톤(Enthone)으로부터 획득되는 CUBATH<sup>RSC</sup> 용기에 웨이퍼를 넣었다. 용기에는 황화구리/황산 도금 화학물질이 들어 있었다. 주기적으로 95msec에서 켜지고 35msec에서 꺼지는 4.9amp의 전류를 갖는 펄스 파형을 사용하여 구리를 기관 위에 전기도금하는 데 사용하였다. 구리는 1μm막의 전하량까지 패턴화되지 않은 직경 150mm의 규소 웨이퍼 위에 도금하였다. 이 구리막은, 도금될 때, 약 0.1μm 내지 약 0.2μm의 균일 입자 크기를 갖는, 미세하게 분쇄되고 반사율이 높은 것으로 관찰되었다.

그런 다음, 구리 도금된 기관들중에 일부를 400℃, 대기압, 튜브 로(tube furnace)에서, 형성 기체(N<sub>2</sub>/10% H<sub>2</sub>)로 1시간 어닐링하였다. 어닐링된 구리막의 입자 크기를 어닐링되지 않은 구리막의 입자 크기와 비교하였다. 어닐링되지 않은 구리막의 입자 크기가 계속 증가되는 것으로 관찰되었다. 실내 온도에서, 어닐링되지 않은 구리막의 입자 크기가 0.1μm 내지 0.2μm의 증착시 평균 지름으로부터 증가되었다. 수 시간 내지 수 주의 기간에 걸쳐, 어닐링되지 않은 구리막의 입자 크기가 1μm 초과로 증가됨이 관찰되었다. 입자 크기에서의 증가는 일정하지는 않았다. 입자 크기 증가는 막의 고립점(응집점)에서 시작되고, 그 점들의 수와 크기가 시간 경과에 따라 증가함이 관찰되었다. 장시간의 구리 입자 크기에서의 이러한 변화는 바람직하지 않는데, 그 이유는 역학적이고 조절할 수 없기 때문이다. 구리막은 장시간동안 크고 작은 입자들의 혼합 상태에 있게 된다.

이와 반대로, 어닐링된 구리는 균일하게 큰 입자 크기 구조를 가졌다. 작고 큰 입자들의 혼합이 없었다. 어닐링된(막을 CMP하기 전 또는 후에) 구리막의 입자 크기가 시간 경과에 따라 심각하게 증가하는 것은 관찰되지 않았다.

증착시 구리의 입자 크기는, 구리를 기관에 전기도금하기 위해 사용되는 전기도금욕내의 조성에 의해 영향을 받는다. 구체적으로, 유기 화합물을 포함한 욕만이 구리막에 바람직한 증착시 입자 크기(약 0.1μm 내지 약 0.2μm)를 제공함이 관찰되었다. 유기 첨가제 없이, 산에 기초한 황화구리 전기도금욕 화학물질이 사용되었을 경우, 생성되는 전기도금된 구리는 평균 증착시 입자 크기가 너무 커서 바람직한 충전을 제공하지 못했다. 특정 이론으로 제한하려는 것은 아니지만, 증착시 바람직한 작은 입자 크기를 갖는 전기도금된 구리막은, 유기 화합물(리간드, 광택제, 균염제 등으로서)을 포함하는 구리 전기도금욕 화학물질이 사용되었을 경우에만 획득되는 것으로 믿어진다.

### 발명의 효과

구리를 에칭할 필요없이, 통상적인 증착 방법을 사용하여 본 발명에 따라 전기도금된 구리는 기관을 어닐링함으로써 입자 크기가 증가되고, 후속적인 공정과 대기 조건에서 내내 안정한 입자 구조를 제공한다. 또한, 이러한 구리 연결선에 본 발명에 따른 방법으로 장벽 층과 씨드 층을 증착시킴으로써 연결선의 신뢰도를 높일 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 한 실시양태의 흐름도이다.

### 도면

도면1

