

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4136076号
(P4136076)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl.		F I			
G 0 6 F	12/16	(2006.01)	G 0 6 F	12/16	3 4 0 M
G 1 1 C	11/403	(2006.01)	G 1 1 C	11/34	3 6 3 M
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34	3 7 1 G

請求項の数 6 (全 18 頁)

(21) 出願番号	特願平10-155458	(73) 特許権者	000001007
(22) 出願日	平成10年6月4日(1998.6.4)		キヤノン株式会社
(65) 公開番号	特開平11-353243		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成11年12月24日(1999.12.24)	(74) 代理人	100145827
審査請求日	平成17年6月6日(2005.6.6)		弁理士 水垣 親房
		(72) 発明者	菊池 明年
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	牛田 勝利
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	堀江 義隆

最終頁に続く

(54) 【発明の名称】 メモリバックアップ制御装置およびメモリバックアップ制御方法

(57) 【特許請求の範囲】

【請求項1】

メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御装置であって、

前記主電源の電源電圧の低下を検知して電源電圧低下検知信号を出力する電源電圧低下検知手段と、

前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求手段と、

前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段と、

前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段と、

前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動手段と、

前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力手段と、

前記セルフリフレッシュの起動完了後、前記クロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力手段と、

前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力手段と、

10

20

前記リセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替手段と、

を有することを特徴とするメモリバックアップ制御装置。

【請求項2】

前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する電源電圧低下検知信号解除手段と、

前記電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除手段と、

前記リセット信号の解除後に、前記セルフリフレッシュ開始要求信号を出力する第2のセルフリフレッシュ開始要求手段と、

前記第2のセルフリフレッシュ開始要求手段から出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に切り替える第2の切替手段と、

前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するセルフリフレッシュ解除要求手段と、

を有することを特徴とする請求項1記載のメモリバックアップ制御装置。

【請求項3】

メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、

前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知工程と、

前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求工程と、

前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程と、

前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程と、

前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動工程と、

前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力工程と、

前記クロックイネーブル信号による前記メモリの初期設定動作終了に基づいて当該クロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力工程と、

前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力工程と、

前記リセット信号出力工程から出力されるリセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替工程と、

を有することを特徴とするメモリバックアップ制御方法。

【請求項4】

前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する電源電圧低下検知信号解除工程と、

前記信号解除工程による電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除工程と、

前記リセット信号の解除後に、前記セルフリフレッシュ開始要求信号を出力する第2のセルフリフレッシュ開始要求工程と、

前記第2のセルフリフレッシュ開始要求工程により出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号

10

20

30

40

50

に切り替える第2の切替工程と、

前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するセルフリフレッシュ解除要求工程と、
を有することを特徴とする請求項3記載のメモリバックアップ制御方法。

【請求項5】

メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御装置であって、

前記主電源の電源電圧の低下を検知して電源電圧低下検知信号を出力する電源電圧低下検知手段と、

前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求手段と、

前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段と、

前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段と、

前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動手段と、

低消費電力モードであるか否かを判別するモード判別手段と、

前記モード判別手段により低消費電力モードであると判別された場合に、前記セルフリフレッシュ開始要求信号の出力を抑止し、前記セルフリフレッシュを起動せずに前記クロックイネーブルマスク信号を出力するリフレッシュ制御手段と、
を有することを特徴とするメモリバックアップ制御装置。

【請求項6】

メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、

前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知工程と、

前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求工程と、

前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程と、

前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程と、

前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動工程と、

低消費電力モードであるか否かを判別するモード判別工程と、

前記モード判別工程により低消費電力モードであると判別された場合に、前記セルフリフレッシュ開始要求信号の出力を抑止し、前記セルフリフレッシュを起動せずに前記クロックイネーブルマスク信号を出力するリフレッシュ制御工程と、
を有することを特徴とするメモリバックアップ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主電源とバックアップ電源とを切り替えながらデータを保持するメモリに対して電源遮断および復帰を制御するメモリバックアップ制御装置およびメモリバックアップ制御方法に関するものである。

【0002】

【従来の技術】

一般に大容量のメモリを必要とするシステムにおいて、データのバックアップをする場合、メモリバックアップ回路は記憶素子としてDRAM(ダイナミックRAM)などの揮発

10

20

30

40

50

性メモリを用いる。そのDRAMのデータを保持するためデータをリストア（再書き込み）するリフレッシュ回路、そのDRAMリフレッシュにおいてシステム動作時とバックアップ時を切り替えるセレクタ、システムの電源電圧を監視する電源電圧監視回路、システムの電源電圧と同一の電圧を得るバックアップ電源回路から構成される。

【0003】

このような構成において、従来、バックアップ動作への移行は、停電等による電源電圧の低下を電源電圧監視回路で検知した後、システムにリセットを出力すると同時にバックアップ用のリフレッシュ回路にセレクタを切り替え、バックアップ時だけ動作するリフレッシュ回路を起動したり、あるいは、DRAMに接続されるRAS、CASによりCBR（CAS Before RAS）タイミングを生成し、該DRAMのセルフリフレッシュを起動し、バックアップを行っていた。

10

【0004】

そして、電源復帰時は、電源電圧の復帰を電源電圧監視回路で検知した後、システムのリセットを解除すると同時にDRAMリフレッシュ回路をバックアップ側からシステム側に前記セレクタを切り替えていた。

【0005】

また、バックアップ制御移行復帰時のDRAM制御は、システムクロックと非同期のハードウェアタイミングを利用して行われていた。

【0006】

【発明が解決しようとする課題】

20

従来のメモリバックアップ制御装置は上記のように構成されているので、第1に、大容量のメモリを必要とするシステムにおいて、メモリ制御を高速に行うには限界があった。

【0007】

第2に、RAS、CAS信号のCBRタイミングをハードウェアまたはゲートアレイで生成する必要があり、制御・処理の更なる簡素化と高速動作を実現することができないという問題点があった。

【0008】

本発明は、上記の問題点を解決するためになされたもので、本発明の目的は、メモリ制御の高速化を図れるクロック同期式のシンクロナスDRAMを用いたシステムにおいて、メモリバックアップ動作の移行復帰制御の高速化とメモリのデータ保持の信頼性を向上できるメモリバックアップ制御装置およびメモリバックアップ制御方法を提供することにある。

30

【0010】

【課題を解決するための手段】

本発明に係る第1の発明は、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御装置であって、前記主電源の電源電圧の低下を検知して電源電圧低下検知信号を出力する電源電圧低下検知手段と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求手段と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動手段と、前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力手段と、前記セルフリフレッシュの起動完了後、前記クロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力手段と、前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力手段と、前記リセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替手段とを有するものである。

40

50

【0011】

本発明に係る第2の発明は、前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する電源電圧低下検知信号解除手段と、前記電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除手段と、前記リセット信号の解除後に、前記セルフリフレッシュ開始要求信号を出力する第2のセルフリフレッシュ開始要求手段と、前記第2のセルフリフレッシュ開始要求手段から出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に切り替える第2の切替手段と、前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するセルフリフレッシュ解除要求手段とを有するものである。

10

【0013】

本発明に係る第3の発明は、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知工程と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求工程と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動工程と、前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力工程と、前記クロックイネーブル信号による前記メモリの初期設定動作終了に基づいて当該クロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力工程と、前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力工程と、前記リセット信号出力工程から出力されるリセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替工程とを有するものである。

20

【0014】

本発明に係る第4の発明は、前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する電源電圧低下検知信号解除工程と、前記信号解除工程による電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除工程と、前記リセット信号の解除後に、前記セルフリフレッシュ開始要求信号を出力する第2のセルフリフレッシュ開始要求工程と、前記第2のセルフリフレッシュ開始要求工程により出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に切り替える第2の切替工程と、前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するセルフリフレッシュ解除要求工程とを有するものである。

30

【0015】

本発明に係る第5の発明は、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御装置であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知手段と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求手段と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動手段と、低消費電力モードであるか否かを判別するモード判別手段と、前記モード判別手段により低消費電力モードであると判別された場合に、前記セルフリフレッシュ開始要求信号の出力を抑止し、前記セルフリフレッシュを起動せずに前記クロックイネーブルマスク信号を出力するリフレッシュ制御手段とを

40

50

有するものである。

【0016】

本発明に係る第6の発明は、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知工程と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求工程と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動工程と、低消費電力モードであるか否かを判別するモード判別工程と、前記モード判別工程により低消費電力モードであると判別された場合に、前記セルフリフレッシュ開始要求信号の出力を抑止し、前記セルフリフレッシュを起動せずに前記クロックイネーブルマスク信号を出力するリフレッシュ制御工程とを有するものである。

10

【0017】

【発明の実施の形態】

図1は、本発明の一実施形態を示すメモリのバックアップ制御装置の構成を説明するブロック図であり、例えばシンクロナスDRAM（以下SDRAM）のバックアップ制御装置に対応する。

20

【0018】

図において、1はバスコントローラとして機能するCPUで、データバスDATABUS、アドレスバスADDRESSBUSを介してSDRAM11、12のメモリアクセスを制御する。2はタイミングおよびロジック回路（以下、タイミング回路という）で、タイミング回路と論理ゲートから構成される。3はリセット出力回路で、クロック監視機能を有する。リセット出力回路3にはWDCLK信号が入力される。CLKはシステムクロックである。

【0019】

4は比較回路で、バックアップ電源7の電圧と基準電圧とを比較し、その比較結果をタイミングおよびロジック回路2とセクタ10に対して出力する。5は電源電圧監視回路で、システムの電源電圧の低下状態および復帰状態を検知する。6は主電源で、AC商用電源等からシステム電源を各部に供給する。

30

【0020】

8は電圧変換回路で、バックアップ電源7の電圧をSDRAM11、12の電源電圧VCCに変換する。9はアドレスデコーダで、アドレスバスADDRESSBUS上のアドレスを解析する。10はセクタで、SDRAM11、12へのCKE信号をCPU側とバックアップ側で切り替える。

【0021】

SDRAM11、12はシンクロナスDRAMで構成され、システムクロックCLKがクロックポートCLKに入力される。13はAND論理ゲートで、リセット出力回路3の出力とCPU1からのCKEM信号とのAND処理を行い、その結果信号（CKESEL信号）をセクタ10に出力する。

40

【0022】

14、15、16、17はOR論理ゲートで、該ゲート出力でSDRAM11、12の入出力データを制御する。

【0023】

図2は、図1に示したSDRAM11、12のセルフリフレッシュ移行コマンド（SELF）とセルフリフレッシュ解除コマンド（SELF X）の発行状態を示すタイミングチャートである。

図において、 t_{PDE} は、セルフリフレッシュ終了時のCKE信号ホールド時間、 t_{RC} は、

50

リフレッシュアクティブコマンド遅延時間を表す。

【0024】

図3は、図1に示したSDRAM11、12の詳細構成を示す回路図であり、一例として、×16ビット構成のSDRAMを示してある。なお、図1と同一のものには同一の符号を付してある。

【0025】

図に示すように、SDRAM11、12は、CKE端子と制御線の組み合わせコマンドであるチップセレクトCS、ローアドレスストロープRAS、カラムアドレスストロープCAS、書き込みイネーブルWE、アドレス端子、システムクロックに同期するCLK端子で制御される。

10

【0026】

入出力データの制御は、入力マスク/出力ディスエーブルを下位ビット(D0~7)、上位ビット(D8~15)に対してDQML、DQMU信号により制御される。VBは、バックアップ電源7または該バックアップ電源7の電圧変換回路8の出力電源、及び主電源通電時は主電源6が供給される。

【0027】

図4は、本発明に係るメモリバックアップ制御装置における電源遮断または停電時におけるバックアップ動作への移行を示すタイミングチャートである。

【0028】

図において、主電源6がOFFし、SDRAM11、12への電源VCCが低下すると、電源電圧監視回路5から電源電圧低下検知信号(/PRST信号:/は負論理を示す)をLow出力し、タイミング回路2では、該/PRST信号Lowを受けて、セルフリフレッシュ開始要求信号(SRFRQ:High)をCPU1に対して出力する。

20

【0029】

これを受けて、CPU1は、該SRFRQ信号のHigh状態に従い、CKE信号をクロックの立ち上がり同期してLowにすると、セクタ10は主電源通電時、CPU1側に接続されるので、SDRAM11、12側のCKE端子もLowに切り替わる。

【0030】

同時に、図2に示すようにコマンド(SELF)を出力する。SDRAM11、12に対するセルフリフレッシュ起動完了後、CPU1は、CKEM信号をLowとし、CPU1からのリセット信号(/RESET信号)とのAND論理ゲート13の出力であるCKESSEL信号をLowにし、セクタ10をバックアップ電源側(BALRM)に切り替える。その後、上記リセット信号をLowにし、バックアップ動作に移行する。

30

【0031】

図4に示すように、/PRST信号のLowから/RESET信号のLowまでの時間t1は、タイミング回路2で、CKEM信号のLow出力以降に設定する。

【0032】

図5は、本発明に係るメモリバックアップ制御装置におけるバックアップ動作が保持されている場合の電源通電後の復帰を示すタイミングチャートである。

【0033】

図に示すように、主電源6通電後、電源電圧監視回路5が電源電圧の復帰を検知すると、/PRST信号をHighに解除し、該/PRST信号を受けてリセット出力回路3は/RESET信号をHighに解除する。

40

【0034】

そして、SDRAM11、12の初期設定後、システム側のみセルフリフレッシュ動作状態にするため、セクタ10がSDRAM11、12へのCKE信号をバックアップ側(BALRM)に接続した状態で、タイミング回路2がCPU1に対してセルフリフレッシュ開始要求(SRFRQ:High)を出力し、CPU1はタイミング回路2からの該SRFRQ信号を受けて、CKE信号をLow出力する。その後、SDRAM11、12のセルフリフレッシュを解除するため、CKEM信号をHighにし、セクタ10をCP

50

U 1 側に切り替える。

【 0 0 3 5 】

再度、タイミング回路 2 は、S R F R Q 信号を L o w にし、セルフリフレッシュ解除要求を出力する。なお、S R F R Q 信号 H i g h から L o w までの時間 t 2 は、タイミング回路 2 で、C K E M 信号 H i g h 出力以降に設定する。

【 0 0 3 6 】

該セルフリフレッシュ解除要求を受けて、C P U 1 は C K E 信号を H i g h、及び図 2 に示すようにセルフリフレッシュ解除コマンド (S E L F X) を出力し、バックアップ動作から復帰する。

【 0 0 3 7 】

図 6 は、本発明に係るメモリバックアップ制御装置におけるバックアップ動作が保持されていない場合の電源通電後の復帰を示すタイミングチャートである。

【 0 0 3 8 】

この図に示すように、主電源 6 通電後、電源電圧監視回路 5 が電源電圧の復帰を検知すると、/ P R S T 信号を H i g h に解除し、該 / P R S T 信号を受けてリセット出力回路 3 はリセット信号を H i g h に解除する。S D R A M 1 1 , 1 2 の初期設定後、C K E M 信号を H i g h にし、セクタ 1 0 を C P U 1 側に切り替え、初期設定動作を完了する。

【 0 0 3 9 】

図 7 は、本発明に係るメモリバックアップ制御装置における低消費電力モード移行時、及び電源遮断または停電時におけるバックアップ動作への移行を示すタイミングチャートである。

【 0 0 4 0 】

この図に示すように、低消費電力モードへの移行要因 (E S S 要因) をタイミング回路 2 で受けると、該タイミング回路 2 からセルフリフレッシュ開始要求信号 (S R F R Q : H i g h) を出力する。

【 0 0 4 1 】

C P U 1 は、該 S R F R Q 信号の H i g h に従い、C K E 信号をクロックの立ち上がり同期して L o w にすると、セクタ 1 0 は主電源通電中の通常モード時は、C P U 1 側に接続されるので、S D R A M 1 1 , 1 2 側の C K E 端子も L o w に切り替わる。同時に、図 2 に示すようにコマンド (S E L F) を出力し、S D R A M 1 1 , 1 2 のセルフリフレッシュを起動する。

【 0 0 4 2 】

そして、主電源 6 が O F F し、S D R A M 1 1 , 1 2 への電源 V C C が低下すると電源電圧監視回路 5 から電源電圧低下検知信号 (/ P R S T) を L o w 出力し、タイミング回路 2 では、低消費電力モード状態であるかを W D I N H 信号から判断し、低消費電力モードである場合、該 / P R S T 信号の L o w を受けて、C K E M 信号を L o w にし、リセット信号との A N D 論理ゲート 1 3 の出力である C K E S E L 信号を L o w にし、セクタ 1 0 をバックアップ電源側 (B A L R M) に切り替える。その後、リセット信号を L o w にし、バックアップ動作に移行する。

【 0 0 4 3 】

なお、/ P R S T 信号 L o w から / R E S E T 信号 L o w までの時間 t 3 は、タイミング回路 2 で、C K E M 信号 L o w 出力以降に設定する。

【 0 0 4 4 】

以下、本実施形態の特徴的構成について図 1 等を参照して説明する。

【 0 0 4 5 】

上記のように構成された C P U 1 がメモリ (S D R A M 1 1 , 1 2) に対するリフレッシュを主電源 6 またはバックアップ電源 7 の供給を受けて制御するメモリバックアップ制御装置であって、前記主電源 6 の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知信号出力手段 (電源電圧監視回路 5) と、前記電源電圧低下検知信号出力手段から出力される電源電圧低下検知信号に基づいて C P U 1 に対してセルフリフレ

10

20

30

40

50

ッシュ開始要求信号を出力するセルフリフレッシュ開始要求信号出力手段（タイミング回路2）と、前記セルフリフレッシュ開始要求信号出力手段から出力される前記セルフリフレッシュ開始要求信号に基づいて前記CPUのシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段（CPU1による）と、前記メモリへの制御線の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段（CPU1のRAS, CS, CAS, WE等を含む）とを有し、前記クロックイネーブル信号出力手段から出力されるクロックイネーブル信号と前記コマンド信号出力手段から出力されるコマンド信号とに基づいて前記メモリのセルフリフレッシュを起動するので、従来のようにRAS, CAS信号のCBRTimingをハードウェアまたはゲートアレイで生成する必要が無く、前記セルフリフレッシュ開始要求信号で、クロック同期のコマンド信号を入力するので、制御の簡素化と高速動作を実現することができる。

10

【0046】

また、前記電源電圧低下検知信号出力手段から出力される前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力手段（リセット回路3）と、前記クロックイネーブル信号による前記メモリの初期設定動作終了に基づいてクロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力手段と、前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力手段（比較回路4）と、前記リセット信号出力手段（リセット出力回路3の出力）から出力されるリセット信号と前記クロックイネーブルマスク信号CKEMとの論理条件（アンドゲート13による論理演算条件）に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替手段（セレクタ10）とを有するので、速やかにバックアップ電源側に切り替え動作を行えるので、切り替え時の信頼性を向上することができる。

20

【0047】

さらに、前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する信号解除手段（電源電圧監視回路5による）と、前記信号解除手段による電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除手段（リセット回路3）と、前記CPUおよび前記メモリの初期設定後、バックアップ動作中かどうかを判別する判別手段（CPU1による）と、前記判別手段によりバックアップ動作中であると判別された場合には、前記セルフリフレッシュ開始要求信号を条件出力する条件出力手段（タイミング回路2）と、前記条件出力手段から条件出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に切り替える第2の切替手段（セレクタ10）と、前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するタイミング遅延出力手段とを有するので、処理の多様化を避けられ、電源通電時の復帰処理の信頼性を向上することができる。

30

【0048】

以下、図8に示すフローチャートを参照して、主電源6停止後のメモリバックアップ制御手順について説明する。

【0049】

図8は、本発明に係るメモリバックアップ制御装置における第1のデータ処理手順の一例を示すフローチャートである。なお、(1)～(10)は各ステップを示す。

40

【0050】

まず、停電または電源遮断により主電源6がOFFして(1)、SDRAM11, 12への電源VCCの低下を電源電圧監視回路5が検知すると(2)、該電源電圧監視回路5は、電源電圧低下検知信号(/PRST信号)をLow出力する(3)。

【0051】

次に、タイミング回路2では、該/PRST信号Lowを受けて、低消費電力モードであるかを該タイミング回路2に入力されるWDINH信号により判断し(4)、NOならば、セルフリフレッシュ開始要求信号(SRFRQ:High)を出力する(5)。

50

【0052】

次に、CPU1は、該SRFRQ信号Highに従い、CKE信号をクロックの立ち上がりに同期してLowにする(6)。そして、セクタ10は主電源通電時、CPU1側に接続されるので、SDRAM11,12側のCKE端子もLowに切り替わる。同時に、図2に示すようにコマンド(SELF)を出力し、SDRAMのセルフリフレッシュを起動する(7)。

【0053】

次に、セルフリフレッシュ起動完了後、CKEM信号をLowにし(8)、リセット信号とのAND論理ゲート13の出力であるCKESEL信号をLowにし、セクタ10をバックアップ電源側(BALRM)に切り替える(9)。その後、リセット信号をLowにし、バックアップ動作に移行する(10)。

10

【0054】

一方、ステップ(4)で、低消費電力モードであるならば、ステップ(8)へ進み、セクタ10の切り替え動作を実行する。

【0055】

以下、図9に示すフローチャートを参照して、主電源6通電後のメモリバックアップ制御手順について説明する。

【0056】

図9は、本発明に係るメモリバックアップ制御装置における第2のデータ処理手順の一例を示すフローチャートである。なお、(1)~(17)は各ステップを示す。

20

【0057】

まず、主電源6を通電した後(1)、電源電圧監視回路5が電源電圧の復帰を検知する(2)と、/PRST信号をHighに解除し(3)、該/PRST信号を受けてリセット出力回路3はリセット信号をHighに解除する(4)。

【0058】

次に、バスコントローラとして機能するCPU1を初期化し(5)、SDRAMの初期設定後(6)、バックアップ動作が保持されているかを、バックアップ電源7の比較回路4の出力であるBALRM信号により判断し(7)、YESならば、システム側のみセルフリフレッシュ動作状態にするため、セクタ10がSDRAM11,12へのCKE信号をバックアップ側(BALRM)に接続した状態で、セルフリフレッシュ開始要求(SRFRQ:High)を出力し(8)、CPU1は該SRFRQ信号を受けて、CKE信号をLow出力する(9)。

30

【0059】

その後、SDRAM11,12のセルフリフレッシュを解除するため、CKEM信号をHighにし(10)、セクタ10をCPU1側に切り替える(11)。

【0060】

次に、再度、タイミング回路2は、SRFRQ信号をLowにし、セルフリフレッシュ解除要求をCPU1に対して出力する(12)。該セルフリフレッシュ解除要求を受けて、CPU1はCKE信号をHighにし(13)、及び図2に示すようにセルフリフレッシュ解除コマンドを出力し、バックアップ動作から復帰し(14)、初期設定動作を完了する(15)。

40

【0061】

一方、ステップ(7)で、NO(バックアップ動作が保持されていないと判断した)ならば、CPU1は、CKEM信号をHighにし(16)、セクタ10をCPU1側に切り替え(17)、ステップ(15)へ進み、初期設定動作を完了する。

【0062】

なお、図1に示した符号18で囲まれるタイミング回路2、リセット出力回路3、比較回路4の全て、または一部を、1チップのゲートアレイで構成するように構成してもよい。

【0063】

以下、本実施形態の特徴的構成について図8,図9等を参照してさらに説明する。

50

【 0 0 6 4 】

上記のように構成されたCPU1がメモリ(SDRAM11, 12)に対するリフレッシュを主電源6またはバックアップ電源7の供給を受けて制御するメモリバックアップ制御方法であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知信号出力工程(図8のステップ(1), (2), (3))と、前記電源電圧低下検知信号出力工程により出力される電源電圧低下検知信号に基づいてCPU1に対してセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求信号出力工程(図8のステップ(5))と、前記セルフリフレッシュ開始要求信号出力工程により出力される前記セルフリフレッシュ開始要求信号に基づいて前記CPU1のシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程(図8のステップ(6))と、前記メモリへの制御線の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程(図示しない)とを有し、前記クロックイネーブル信号出力工程により出力されるクロックイネーブル信号と前記コマンド信号出力工程により出力されるコマンド信号とに基づいて前記メモリのセルフリフレッシュを起動するので、従来のようにRAS、CAS信号のCBRTimingをハードウェアまたはゲートアレイで生成する必要が無く、前記セルフリフレッシュ開始要求信号で、クロック同期のコマンド信号を入力するので、制御の簡素化と高速動作を実現することができる。

10

【 0 0 6 5 】

また、前記電源電圧低下検知信号出力工程により出力される前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力工程(図示しない)と、前記クロックイネーブル信号による前記メモリの初期設定動作終了に基づいてクロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力工程(図8のステップ(8))と、前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力工程(図示しない)と、前記リセット信号出力工程から出力されるリセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替工程(図8のステップ(9))とを有するので、速やかにバックアップ電源側に切り替え動作を行えるので、切り替え時の信頼性を向上することができる。

20

【 0 0 6 6 】

さらに、前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する信号解除工程(図9のステップ(1), (2))と、前記信号解除工程による電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除工程(図9のステップ(3))と、前記CPUおよび前記メモリの初期設定後、バックアップ動作中かどうかを判別する判別工程(図9のステップ(7))と、前記判別工程によりバックアップ動作中であると判別された場合には、前記セルフリフレッシュ開始要求信号を条件出力する条件出力工程(図9のステップ(8))と、前記条件出力工程により条件出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に切り替える第2の切替工程(図9のステップ(11))と、前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するタイミング遅延出力工程とを有するので、システム側のセルフリフレッシュ開始要求時、解除要求時に対する処理を各々統一することができるので、処理の多様化を避けられ、電源通電時の復帰処理の信頼性を向上することができる。

30

40

【 0 0 6 7 】

また、CPU1がメモリ(SDRAM11, 12)に対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、通常動作時より消費電力を低減する低消費電力モードに移行する時、前記セルフリフレッシュ開始要求信号に従い、前記クロックイネーブル信号を出力し、前記CPUのシステムクロックに同期した前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動するので、低消費電力モード時の電源遮断に対し、速やかにバックアップ動作に移行することができる。

50

【 0 0 6 8 】

さらに、前記低消費電力モード時に、前記主電源の電圧が低下して前記電源電圧低下検知信号が出力される場合に、前記リセット信号と前記クロックイネーブルマスク信号との論理条件に従い、前記クロックイネーブル信号を前記バックアップ電源電圧検出信号に切り替えるので、切替処理のタイミングをセルフリフレッシュ開始要求前に行い、システム側のセルフリフレッシュ開始要求時、解除要求時に対する処理を各々統一することができるので、処理の多様化を避けられ、電源ONからバックアップ動作復帰までの処理手順が速やかに行えるので、バックアップ復帰処理の信頼性を向上することができる。

【 0 0 6 9 】

また、低消費電力モード時も速やかにセルフリフレッシュ状態に移行でき、更にシステムの低消費電力化に貢献できる。

10

【 0 0 7 0 】

さらに、メモリ制御の高速化を図れるクロック同期式のシンクロナスDRAMを用いたシステムにおいて、メモリバックアップ動作の移行復帰制御の高速化と信頼性の向上を実現できる。

【 0 0 7 1 】

なお、上記実施形態では、CPU1がSDRAM11, 12に対するメモリアクセスを制御する場合について説明したが、CPU1に替えて、例えばバスコントローラ(バスコントローラ機能を有するゲートアレイチップ等で構成される)が単独でSDRAM11, 12に対するメモリアクセスを制御する場合にも本発明を適用して同様の効果が得られることは云うまでもない。

20

【 0 0 7 3 】

【 発明の効果 】

以上説明したように、本発明に係る第1の発明によれば、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御装置であって、前記主電源の電源電圧の低下を検知して電源電圧低下検知信号を出力する電源電圧低下検知手段と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求手段と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動手段と、を有するので、従来のようにRAS、CAS信号のCBRTタイミングをハードウェアまたはゲートアレイで生成する必要が無く、セルフリフレッシュ開始要求信号に応じてクロック同期のコマンド信号を入力するので、制御の簡素化と高速動作を実現することができ、また、前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力手段と、前記セルフリフレッシュの起動完了後、前記クロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力手段と、前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力手段と、前記リセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替手段とを有するので、速やかにバックアップ電源側に切り替え動作を行えるので、切り替え時の信頼性を向上することができる。

30

40

【 0 0 7 4 】

第2の発明によれば、前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する電源電圧低下検知信号解除手段と、前記電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除手段と、前記リセット信号の解除後に、前記セルフリフレッシュ開始要求信号を出力する第2のセルフリフレッシュ開始要求手段と、前記第2のセルフリフレッシュ開始要求手段から出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に

50

切り替える第2の切替手段と、前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するセルフリフレッシュ解除要求手段とを有するので、処理の多様化を避けられ、電源通電時の復帰処理の信頼性を向上することができる。

【0076】

第3の発明によれば、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知工程と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求工程と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動工程とを有するので、従来のようにRAS、CAS信号のCBRTimingをハードウェアまたはゲートアレイで生成する必要が無く、セルフリフレッシュ開始要求信号に応じて、クロック同期のコマンド信号を入力するので、制御の簡素化と高速動作を実現することができ、また、前記電源電圧低下検知信号に基づいてリセット信号を出力するリセット信号出力工程と、前記クロックイネーブル信号による前記メモリの初期設定動作終了に基づいて当該クロックイネーブル信号をマスクするクロックイネーブルマスク信号を出力するクロックイネーブルマスク信号出力工程と、前記バックアップ電源の電圧と基準電圧とを比較してバックアップ電源電圧検出信号を出力する比較出力工程と、前記リセット信号出力工程から出力されるリセット信号と前記クロックイネーブルマスク信号との論理条件に基づいて前記クロックイネーブル信号と前記バックアップ電源電圧検出信号とを切り替える第1の切替工程とを有するので、速やかにバックアップ電源側に切り替え動作を行えるので、切り替え時の信頼性を向上することができる。

【0077】

第4の発明によれば、前記主電源の電圧復帰状態を検出して前記電源電圧低下検知信号を解除する電源電圧低下検知信号解除工程と、前記信号解除工程による電源電圧低下検知信号の解除に従い、前記リセット信号を解除するリセット信号解除工程と、前記リセット信号の解除後に、前記セルフリフレッシュ開始要求信号を出力する第2のセルフリフレッシュ開始要求工程と、前記第2のセルフリフレッシュ開始要求工程により出力される前記セルフリフレッシュ開始要求信号に従い、前記バックアップ電源電圧検出信号を前記クロックイネーブル信号に切り替える第2の切替工程と、前記セルフリフレッシュ開始要求信号出力から一定時間後に、セルフリフレッシュ解除要求信号を出力するセルフリフレッシュ解除要求工程とを有するので、システム側のセルフリフレッシュ開始要求時、解除要求時に対する処理を各々統一することができるので、処理の多様化を避けられ、電源通電時の復帰処理の信頼性を向上することができる。

【0078】

第5の発明によれば、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御装置であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知手段と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求手段と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力手段と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力手段と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動手段と、を有するので、従来のようにRAS、CAS信号のCBRTimingをハードウェアまたはゲートアレイで生成する必要が無く、セルフリフレッシュ開始要求信号に応じてクロック同期のコマンド信号を入力するので、制

10

20

30

40

50

御の簡素化と高速動作を実現することができ、また、低消費電力モードであるか否かを判別するモード判別手段と、前記モード判別手段により低消費電力モードであると判別された場合に、前記セルフリフレッシュ開始要求信号の出力を抑止し、前記セルフリフレッシュを起動せずに前記クロックイネーブルマスク信号を出力するリフレッシュ制御手段とを有するので、低消費電力モード時に、速やかにバックアップ動作に移行することができる。

【0079】

第6の発明によれば、メモリに対するリフレッシュを主電源またはバックアップ電源の供給を受けて制御するメモリバックアップ制御方法であって、前記主電源の電源電圧の低下を検出して電源電圧低下検知信号を出力する電源電圧低下検知工程と、前記電源電圧低下検知信号に基づいてセルフリフレッシュ開始要求信号を出力するセルフリフレッシュ開始要求工程と、前記セルフリフレッシュ開始要求信号に基づいてシステムクロックに同期するクロックイネーブル信号を出力するクロックイネーブル信号出力工程と、前記メモリへの制御信号の状態の組み合わせによるコマンド信号を前記メモリに出力するコマンド信号出力工程と、前記クロックイネーブル信号と前記コマンド信号とに基づいて前記メモリのセルフリフレッシュを起動する起動工程とを有するので、従来のようにRAS、CAS信号のCBRTimingをハードウェアまたはゲートアレイで生成する必要が無く、セルフリフレッシュ開始要求信号に応じて、クロック同期のコマンド信号を入力するので、制御の簡素化と高速動作を実現することができ、また、低消費電力モードであるか否かを判別するモード判別工程と、前記モード判別工程により低消費電力モードであると判別された場合に、前記セルフリフレッシュ開始要求信号の出力を抑止し、前記セルフリフレッシュを起動せずに前記クロックイネーブルマスク信号を出力するリフレッシュ制御工程とを有するので、低消費電力モード時に、速やかにバックアップ動作に移行することができる。

【0081】

さらに、メモリ制御の高速化を図れるクロック同期式のシンクロナスDRAMを用いたシステムにおいて、メモリバックアップ動作の移行復帰制御の高速化と信頼性の向上を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すメモリバックアップ制御装置の構成を説明するブロック図である。

【図2】図1に示したSDRAMのセルフリフレッシュ移行コマンド(SELF)とセルフリフレッシュ解除コマンド(SELFX)を示すタイミングチャートである。

【図3】図1に示したSDRAMの詳細構成を示す回路図である。

【図4】本発明に係るメモリバックアップ制御装置における電源遮断または停電時におけるバックアップ動作への移行を示すタイミングチャートである。

【図5】本発明に係るメモリバックアップ制御装置におけるバックアップ動作が保持されている場合の電源通電後の復帰を示すタイミングチャートである。

【図6】本発明に係るメモリバックアップ制御装置におけるバックアップ動作が保持されていない場合の電源通電後の復帰を示すタイミングチャートである。

【図7】本発明に係るメモリバックアップ制御装置における低消費電力モード移行時、及び電源遮断または停電時におけるバックアップ動作への移行を示すタイミングチャートである。

【図8】本発明に係るメモリバックアップ制御装置における第1のデータ処理手順の一例を示すフローチャートである。

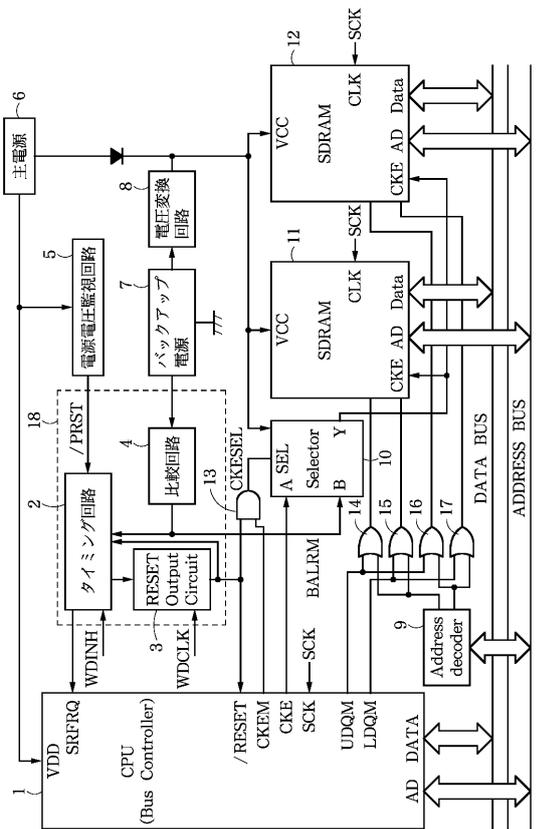
【図9】本発明に係るメモリバックアップ制御装置における第2のデータ処理手順の一例を示すフローチャートである。

【符号の説明】

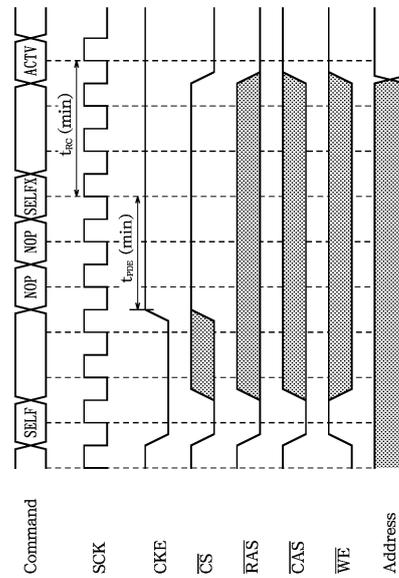
- 1 CPUまたはバスコントローラ
- 2 タイミング回路

- 3 リセット出力回路
- 4 比較回路
- 5 電源電圧監視回路
- 6 主電源
- 7 バックアップ電源
- 8 電圧変換回路
- 9 アドレスデコーダ
- 10 セレクタ
- 11、12 シンクロナスDRAM
- 13 AND論理ゲート
- 14、15、16、17 OR論理ゲート

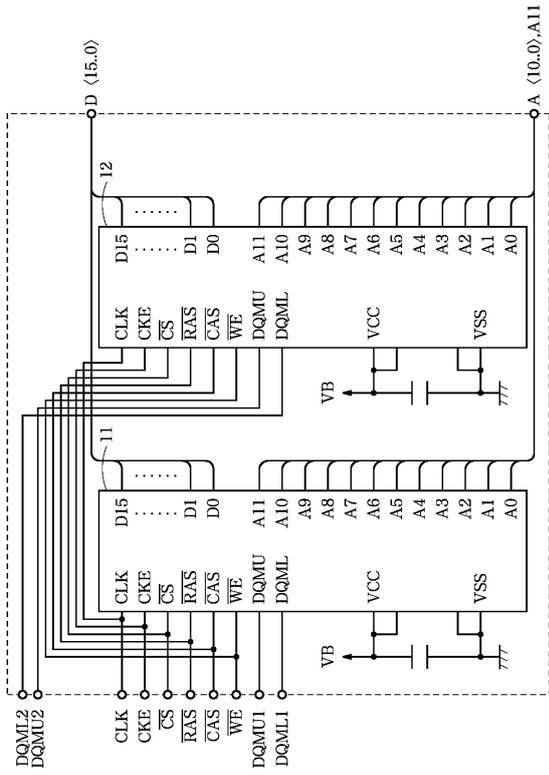
【図1】



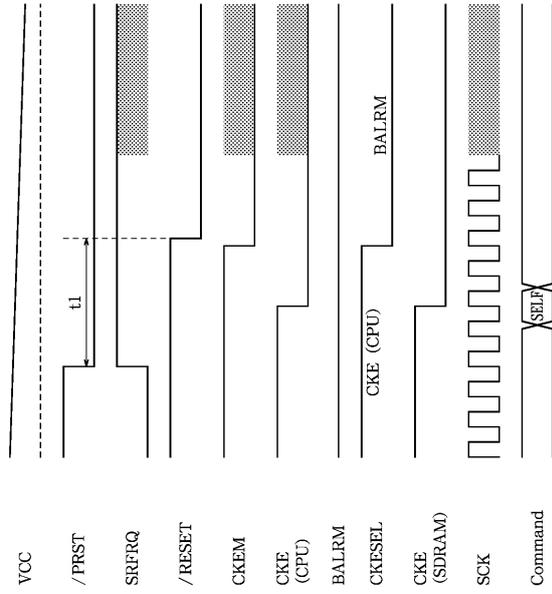
【図2】



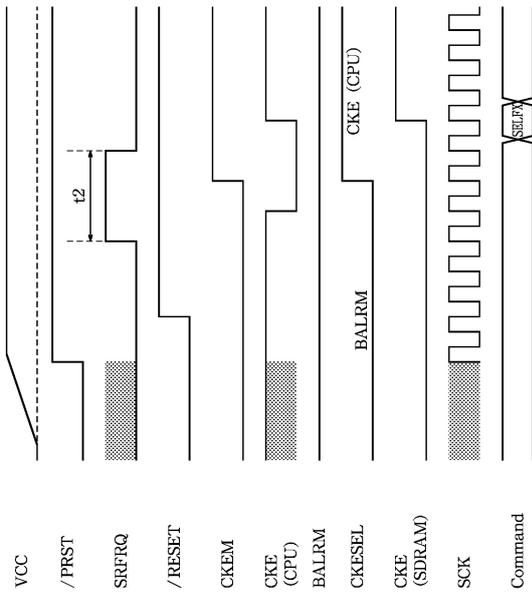
【 3 】



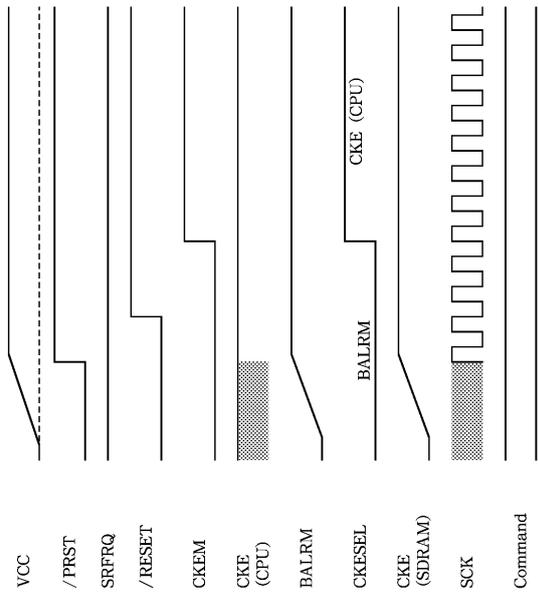
【 4 】



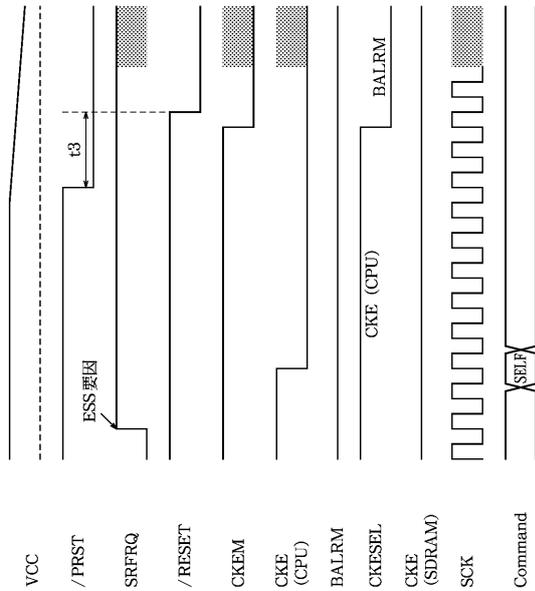
【 5 】



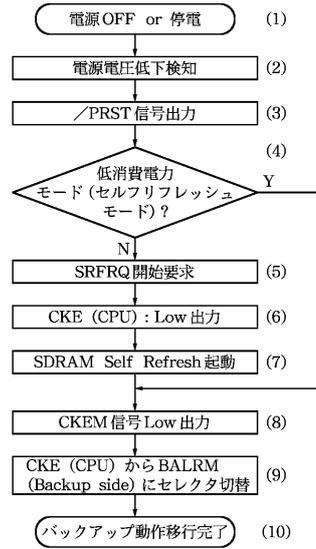
【 6 】



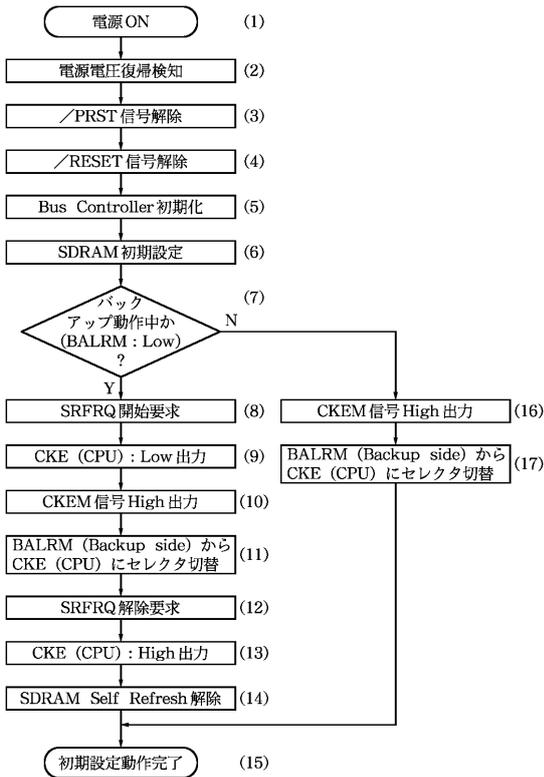
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (56)参考文献 特開平09-034806(JP,A)
特開平07-302232(JP,A)
特開平10-125059(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16
G11C 11/401
G11C 11/403