



(21) 申請案號：101120674

(22) 申請日：中華民國 101 (2012) 年 06 月 08 日

(51) Int. Cl. : H03M1/12 (2006.01)

H03M1/46 (2006.01)

(30) 優先權：2011/06/30 美國

13/174,689

(71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：王鎮寧 WANG, ZHENNING (CA)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

TW 201112640

US 5313207A

US 7277040B2

US 7924189B2

審查人員：陳佳韶

申請專利範圍項數：18 項 圖式數：6 共 31 頁

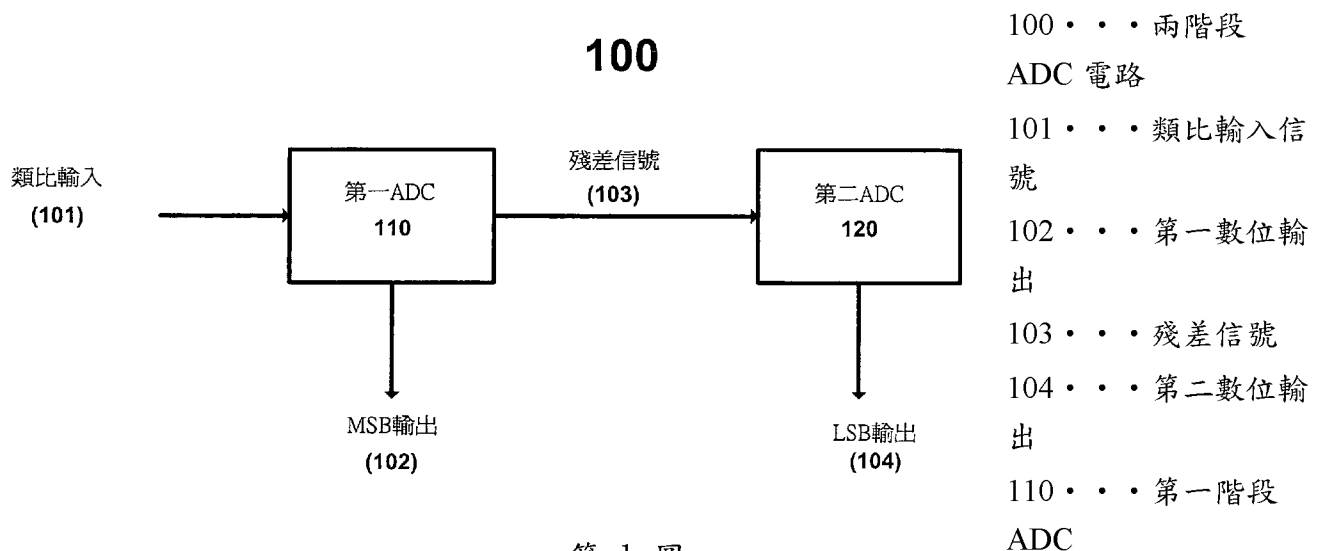
(54) 名稱

使用連續近似暫存器 (SAR) 及時間至數位轉換器 (TDC) 的兩階段類比至數位轉換器
TWO-STAGE ANALOG-TO-DIGITAL CONVERTER USING SAR AND TDC

(57) 摘要

本文揭示之多個實施例可描述兩階段類比至數位轉換器(ADC)電路，及基於兩階段 ADC 電路之時間交插系統。該兩階段 ADC 電路可包括針對該第一階段之一連續近似暫存器(SAR)轉換器及針對該第二階段之一基於電荷之時間至數位轉換器(TDC)。該兩階段 ADC 電路可用於高效能串列輸出入應用。其它實施例可經揭示及請求專利。

Various embodiments of this disclosure may describe a two-stage ADC circuit, and a time-interleaved system based on the two-stage ADC circuit. The two-stage ADC circuit may include a SAR converter for the first stage and a charge based TDC for the second stage. The two-stage ADC circuit may be used in high performance serial I/O applications. Other embodiments may be disclosed and claimed.



第 1 圖

I504157

TW I504157 B

120 . . . 第二階段

ADC

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 101120674

※申請日： 101. 6. 8

※IPC 分類： H03M 1/12 (2006.1)
H03M 1/46 (2006.1)

一、發明名稱：(中文/英文)

使用連續近似暫存器(SAR)及時間至數位轉換器(TDC)的兩階段類比至數位轉換器/
TWO-STAGE ANALOG-TO-DIGITAL CONVERTER USING SAR AND TDC

二、中文發明摘要：

本文揭示之多個實施例可描述兩階段類比至數位轉換器(ADC)電路，及基於兩階段ADC電路之時間交插系統。該兩階段ADC電路可包括針對該第一階段之一連續近似暫存器(SAR)轉換器及針對該第二階段之一基於電荷之時間至數位轉換器(TDC)。該兩階段ADC電路可用於高效能串列輸出入應用。其它實施例可經揭示及請求專利。

三、英文發明摘要：

Various embodiments of this disclosure may describe a two-stage ADC circuit, and a time-interleaved system based on the two-stage ADC circuit. The two-stage ADC circuit may include a SAR converter for the first stage and a charge based TDC for the second stage. The two-stage ADC circuit may be used in high performance serial I/O applications. Other embodiments may be disclosed and claimed.



四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100...兩階段ADC電路

101...類比輸入信號

102...第一數位輸出

103...殘差信號

104...第二數位輸出

110...第一階段ADC

120...第二階段ADC

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

發明領域

本文揭示大致上係有關於電子領域，更明確言之，係有關於使用連續近似暫存器(SAR)及時間至數位轉換器(TDC)之兩階段類比至數位轉換器。

【先前技術】

發明背景

除非於此處另行指示，否則本章節描述之內容並非本案所請之申請專利範圍的先前技術，也非藉含括於本章節而承認為先前技術。

類比至數位轉換器(ADC)可用於多種背板及/或互連體的數位串列輸出入(I/O)接收器。此種數位串列輸出入背板/互連體之實例可包括依據周邊組件互連體快速(PCIe)3.0版，2010年11月由PCI特別關注群(PCI-SIG)公告，或通用串列匯流排(USB)3.0版2008年11月由USB體現論壇(USB-IF)公告等所體現者。

今日使用的許多習知ADC並非皆為基於數位輸出入的ADC。常用於快閃ADC的一型ADC例如快閃轉換器。快閃ADC具有轉換速度相當快的優點。但快閃ADC由於相對高輸入電容而可能有高功耗問題。因此快閃ADC可能不適用於低功耗及高效能用途。舉例言之，用於支援超過10十億位元組/秒的帶寬之輸出入應用，快閃ADC可能耗用約500毫瓦功率。

兩階段ADC可在減低功耗與增加轉換延遲間作出折衷。如其名稱提示，兩階段ADC可包括第一階段ADC及第二階段ADC。第一階段ADC可將輸入類比信號粗略地轉換成第一數位輸出信號。然後產生輸入類比信號與第一數位輸出信號間之差，可稱作為「殘差信號」。第二階段ADC可取用殘差信號且將其轉換成第二數位輸出信號。然後該第一及該第二數位輸出信號可組合形成單一數位輸出信號，其中該第一數位輸出信號可相對應於該組合數位輸出信號的最高有效位元(MSB)部分，及該第二數位輸出信號可相對應於該組合數位輸出信號的最低有效位元(LSB)部分。

於習知兩階段ADC設計中，該第一及第二階段ADC二者皆可為快閃ADC。在該二階段間，數位至類比轉換器(DAC)可將第一數位輸出信號轉回類比信號，及減法器可以此已轉換的類比信號減初始輸入類比信號來產生殘差信號。典型地，閉路運算放大器也被要求作為切換電容器系統的核心及/或放大殘差信號，隨後可提供給第二階段ADC。因此兩階段ADC之速度及準確度可基於閉路運算放大器及DAC之效能。但符合高效能輸出入應用的帶寬、延遲及功耗要求之高效能運算放大器難以設計，原因在於MOS電晶體具有低電源電壓及特有(固有)增益，特別具有特性長度100nm或以下。

【發明內容】

依據本發明之一實施例，係特地提出一種設備包含一第一類比至數位轉換器(ADC)，係經組配來接收一類比輸入

信號且將該類比輸入信號轉換成一第一數位信號，該第一數位信號係相對應於一數位輸出信號之一最高有效位元(MSB)部分，其中該第一ADC包含一連續近似暫存器(SAR)且係經組配來產生數值上相對應於該類比輸入信號與該第一數位信號間之一差之一殘差電壓；及一第二ADC，係耦接至該第一ADC且係經組配來接收該殘差電壓，且將該殘差電壓轉換成一第二數位信號，該第二數位信號係相對應於該數位輸出信號之一最低有效位元(LSB)部分，其中該數位輸出信號為該類比輸入信號之一數位表示型態。

圖式簡單說明

將藉附圖顯示之具體實施例舉例說明本文揭示之實施例但非限制性，附圖中相似的元件符號表示相似的元件，及附圖中：

第1圖為方塊圖例示說明依據本文揭示之各個實施例，使用SAR及TDC之兩階段ADC電路。

第2圖為方塊圖例示說明依據本文揭示之各個實施例，第1圖之兩階段ADC電路之進一步細節。

第3圖為方塊圖例示說明依據本文揭示之各個實施例第2圖之TDC的進一步細節。

第4圖為方塊圖例示說明依據本文揭示之各個實施例之時間交插ADC系統。

第5圖為流程圖例示說明依據本文揭示之各個實施例，兩階段ADC電路之操作之一部分。

第6圖為方塊圖例示說明依據本文揭示之各個實施

例，結合所述方法及/或設備之多個面向之一電腦系統實例。

【實施方式】

較佳實施例之詳細說明

於後文詳細說明部分中係參考構成本發明之一部分的附圖，及於附圖中舉例說明其中可實施本文揭示之實施例。須瞭解可利用其它實施例，且可未悖離本文揭示之範圍做出結構變化或邏輯變化。因此後文詳細說明部分不應解譯為限制性意義，及依據本文揭示之實施例之範圍係由隨附之申請專利範圍及其相當物界定。

各項操作可以有助於瞭解本文揭示之實施例之方式轉而描述為多個離散操作；但描述順序不應解譯為暗示此等操作為順序相依性。

為了用於描述目的，呈「A/B」形式或呈「A及/或B」形式之一詞表示(A)、(B)、或(A及B)。為了用於描述目的，呈「A、B及C中之至少一者」形式之一詞表示(A)、(B)、(C)、(A及B)、(A及C)、(B及C)、或(A、B及C)。為了用於描述目的，呈「(A)B」形式之一詞表示(B)或(AB)，亦即A為選擇性元件。

敘述中可使用「於一實例中」或「於多個實例中」等詞，各自可指相同或相異實施例中之一或多者。又復，就本文揭示之實施例使用的「包含」、「包括」、「具有」等詞係為同義詞。

說明中可使用各個術語，諸如「比較器」、「電容器」、

「開關」、及「門鎖」等來描述用在各個實施例中之各個組件。須瞭解此等組件可以多種方式體現及/或由具有相似功能性的組件置換。舉例言之，「電容器」可基於半導體製程體現，諸如CMOS電容器或金屬-氧化物-金屬電容器。及「開關」可藉一或多個電晶體體現。又，此等組件可整合入單一特定應用積體電路(ASIC)、可現場程式規劃陣列(FPGA)等。因此，全文揭示中使用的術語係僅供舉例說明目的，而非解譯為限制性。

本文揭示之多個實施例可描述兩階段類比至數位轉換器(ADC)電路，及基於兩階段ADC電路之時間交插系統。該兩階段ADC電路可包括針對該第一階段之一連續近似暫存器(SAR)轉換器及針對該第二階段之一基於電荷之時間至數位轉換器(TDC)。該兩階段ADC電路可用於高效能串列輸出入應用。

第1圖為方塊圖例示說明依據本文揭示之多個實施例，使用SAR及TDC之兩階段ADC電路。於多個實施例中，兩階段ADC電路100可包括彼此耦合的一第一階段ADC 110(賦與SAR)及一第二階段ADC 120(賦與TDC)。於多個實施例中，第一階段ADC 110可經組配來接收輸入類比信號101。第一階段ADC 110可經組配來透過該輸入類比信號101的第一類比至數位轉換而產生第一數位輸出102。舉例言之，第一階段ADC 110可經組配來將類比輸入信號101粗略地轉換成第一數位輸出102。第一階段ADC 110也可產生類比殘差信號103。殘差信號103可相對應於類比輸入信號

101與第一數位輸出102間之數值差。於多個實施例中，第二階段ADC 120可經組配來透過第二類比至數位轉換而產生基於該殘差信號103的第二數位輸出104。於多個實施例中，第一數位輸出102可包括一或多個位元，及第二數位輸出104可包括一或多個位元。於多個實施例中，第一類比至數位轉換可基於SAR轉換處理，而第二類比至數位轉換可基於TDC轉換處理，容後詳述。

雖然未顯示於第1圖，但分別地使用第一輸出102中之一或多個位元作為數位輸出信號之MSB部分，及使用第二輸出104中之一或多個位元作為數位輸出信號之LSB部分，第一數位輸出102及第二數位輸出104可經組合而形成單一數位輸出信號。據此，該第一輸出102可相對應於該數位輸出信號之MSB部分，及該第二輸出104可相對應於該數位輸出信號之LSB部分。於多個實施例中，第一輸出102及/或第二輸出104在組合前也可接受一或多個處理程度。此等處理可包括同位檢查、循環冗餘檢查(CRC)、及其它形式的數位錯誤校正。

雖然為求容易瞭解，第1圖例示說明ADC 100具有兩個分開組件，亦即110及120，但須注意此二組件可整合成為單一組件，或更進一步細分為更多個組件。

第2圖為方塊圖例示說明依據本文揭示之實施例，第2圖之兩階段ADC電路之進一步細節。如圖所示，兩階段ADC 200可劃分為兩區，包括第一階段ADC 210及第二階段ADC 220。第一階段ADC 210可包括位在第2圖之虛線左側的組

件，及第二階段ADC 220可包括位在虛線右側的組件。雖然為求容易明瞭，第2圖例示說明第一階段ADC 210及第二階段ADC 220係劃分在ADC 200的特定位置，但須注意此種劃分僅供例示說明目的，及第一階段ADC 210及第二階段ADC 220可整合成為單一組件，或劃分成額外組件。

針對該等實施例，第一階段ADC 210可經組配來將類比輸入電壓信號 V_{in} 第一轉成第一輸出214。於多個實施例中，第一階段ADC 210可包括一取樣開關211、一第一比較器212、一SAR邏輯213、一電容器216及217之陣列、一開關206及207之相對應陣列。於多個實施例中，電容器216及217、開關211、206及207、比較器212、及SAR邏輯213可直接地或間接地彼此耦接。

如圖所示，於多個實施例中，比較器212可經組配來比較於節點218的電壓 V_x 與地電位信號 V_{ss} 。於轉換處理程序期間，於節點218的電壓 V_x 可表示於電容器216及217之頂側的瞬時電壓，且可與參考電壓 V_{ref} 及類比輸入電壓信號 V_{in} 有關。 V_x 、 V_{ref} 與 V_{in} 間之細節關係將於本文揭示之隨後章節中揭示。

即便為求容易瞭解，第2圖例示說明比較器212係經組配來藉由於其第一輸入端接收電壓 V_x 及於其第二輸入端接收地電位信號 V_{ss} 來比較電壓 V_x 與地電位信號 V_{ss} ，但於多個實施例中，比較器212可經組配來比較其它電壓信號，只要比較結果維持相同即可。舉例言之，替代比較電壓 V_x 與地電位信號 V_{ss} ，比較器212可經組配來比較輸入電壓 V_{in} 與基

於 V_{ref} 函式之電壓，而該比較可獲得與比較 V_x 與 V_{ss} 的相同結果。

於多個實施例中，SAR 213可經組配來接收比較器212的輸出。SAR 213可耦接至開關211、206及207。於類比至數位轉換期間，SAR 213可經組配來基於比較器212的輸出而控制開關211、206及207來重新分布積聚在電容器216及217的電荷。於轉換後，SAR 213也可經組配來基於開關206及207之狀態而產生第一輸出214。

於多個實施例中，電容器216及217之底側可個別地耦接開關206及207之陣列，而電容器216及217之頂側可耦接至共用節點218。即便為求容易明瞭，第2圖例示說明電容器216及217各自具有一頂側及一底側，但須注意諸如「頂側」及「底側」等詞僅係用來例示說明電容器於電路圖的相對位置，因此並非指示各組件間之任何實體關係。同理，即便為求容易明瞭，第2圖闡釋各個開關211、及205-207有各種開閤位置，但須注意此等開關可由一或多個電晶體體現，及開關211、及205-207之狀態諸如「開」或「閤」可基於電晶體之各個模式邏輯體現。此外，即便第2圖闡釋該等開關中之各者為單一開關，但須注意該等開關中之各者可包括一或多個其它組件，諸如開關。

於多個實施例中，電容器陣列可為二元加權。例如，電容器216可具有 C 之電容，而電容器217可具有 $2C$ 之電容，其中 C 為單位電容。 C 的確切值可視情況而異且可基於電路200之總體設計及應用而調整。於多個實施例中， C 可

為50 飛法拉第(Ff)。電容器陣列中的電容器數目可相對應於第一階段ADC 210的設計解析度。例如如圖所示，ADC 210於電容器陣列中可具有二電容器216及217來支援2-位元數位輸出信號214。即便第2圖例示說明兩個電容器(亦即電容器216及217)，但須瞭解ADC 200可包括更多或更少的電容器來支援高於或低於2位元的轉換解析度。

於多個實施例中，於SAR 213之控制之下，開關206及207可經組配來接收類比輸入電壓信號 V_{in} 、參考電壓 V_{ref} 、或地電位信號 V_{ss} 。於多個實施例中，於ADC 210操作中的取樣階段期間，SAR 213可反相取樣開關211至其閉路位置，且使得開關206及207耦接類比輸入電壓信號 V_{in} 。如此可使得電容器216及217之底側帶電。於取樣階段結束時，電容器216及217之底側可具有 V_{in} 之電壓。結果，電容器216及217之頂側亦即於節點218之電壓 V_x 可等於 $-V_{in}$ 。

於多個實施例中，於ADC 210之取樣階段結束時，SAR 213可反相取樣開關211至其開路位置，且使得開關206及207耦接至地電位信號 V_{ss} 。結果，SAR 213可開始轉換處理程序，首先將開關207反相至參考電壓 V_{ref} ，可造成電壓 V_x 增加 $V_{ref}/2$ 。隨後，比較器212可比較電壓 V_x 與地電位信號 V_{ss} ，且提供比較結果給SAR 213。若比較結果指示電壓 V_x 可低於 V_{ss} ，則SAR 213可將開關207維持於參考電壓 V_{ref} 。若比較器212之輸出指示電壓 V_x 可高於 V_{ss} ，則SAR 213可將開關207反相至 V_{ss} ，可將電壓 V_x 減低回 $-V_{in}$ 。然後SAR 213可前進至轉換處理的下個通道，藉將開關206反相至 V_{ref} ，

可將節點218的電壓 V_x 更進一步提高 $V_{ref}/4$ 。然後SAR 213以類似方式基於比較器212的輸出而調整開關206。轉換處理可持續直到電容器陣列中的全部通道皆被利用為止。

於多個實施例中，針對2-位元SAR ADC，第一階段ADC 210可於二時鐘週期完成轉換階段。於多個實施例中，各個時鐘週期可以約為120皮秒(ps)，而ADC 210的總延遲約為250皮秒。於多個實施例中，於2-位元SAR轉換後，於節點218的電壓 V_x 可表示為：

$$V_x = -V_{in} + \left(\frac{b_0}{2} + \frac{b_1}{2^2}\right) \cdot V_{ref}$$

其中 b_0 及 b_1 為第一輸出214之位元值，可相對應於開關207及260之個別狀態。據此， V_x 可基於輸入類比信號 V_{in} 及 V_{ref} 決定。更明確言之， V_x 可等於輸入類比信號 V_{in} 與第一輸出214間之數值差。因此，於第一轉換結束時，於節點218的電壓 V_x 可相對應於第1圖例示說明之殘差信號103，可標示為 V_{res} 。

於多個實施例中，殘差電壓信號 V_{res} 可基於電容器匹配而予調整，可藉由使用已知之CMOS方法達成而未校準具有轉換解析度高達8位元的ADC。於多個實施例中，偏移值抵消方案可用來例如藉使用電流修裁DAC來消除例如第一比較器212的輸入偏移值。

於多個實施例中，第一階段ADC 210也可包括一互補電容器215及一相對應互補電容器205。於多個實施例中，互補電容器215可具有與電容器216的相同電容。於多個實施例中，互補電容器215可具有C之電容。互補開關205可耦

接至SAR 213。於多個實施例中，於取樣階段期間，SAR 213可控制開關205耦接至類比輸入電壓信號 V_{in} 。於轉換階段期間，開關205可維持耦接至地電位信號 V_{ss} 。雖然互補開關205無法類似開關206及207調整，但互補電容器215可輔助確保調整開關206或207，可使得相對應於ADC 210的剩餘總電容之半的電荷於轉換處理的各個通道中重新分配。於多個其它實施例中，互補電容器215可為選擇性。

於多個實施例中，第二階段ADC 220可執行殘差信號 V_{res} 之時間至數位轉換。於多個實施例中，第二階段ADC 220可包括彼此直接地或間接耦接的一開關221、一電流源222、一第二比較器223、一TDC 224、及一門鎖225。於多個實施例中，門鎖225可為DQ門鎖。於多個實施例中，TDC 224及門鎖225可整合成為單一組件。

於多個實施例中，於第一階段ADC 210的SAR轉換期間，開關221可維持開路。當產生殘差電壓信號 V_{res} 時，開關221可閉路來許可殘差電壓信號 V_{res} 傳播至第二階段ADC 220的其餘部分。於多個實施例中，開關221也可耦接至SAR 213，及於SAR 213的控制之下操作。

於多個實施例中，ADC 220可執行殘差電壓信號 V_{res} 之時間至數位轉換，轉換方式係經由透過電流源222放電殘差電壓信號 V_{res} ，及同時觸發TDC 224來產生第二輸出226。於多個實施例中，當殘差電壓信號 V_{res} 到達臨界電壓 $V_{threshold}$ 時ADC 220可中止時間至數位轉換。電流源222可經組配來以近恆定速率放電於節點218的殘差電壓信號 V_{res} 。因此將

殘差電壓信號 V_{res} 放電至 $V_{threshold}$ 所需的時間 T 量可與殘差電壓信號 V_{res} 成正比。例如 T 可表示為：

$$T = \frac{(V_{res} - V_{thres}) \cdot C_{total}}{I_c}$$

其中 I_c 為電流源222之值，及 C_{total} 為第一階段ADC 210的總電容，可包括電容器215-217之電容。於多個實施例中，由TDC 224所產生的第二輸出可相對應於 T 值。

於多個實施例中，電流源222可經設計來藉選擇臨界電壓 $V_{threshold}$ 之適當值而維持在第二階段ADC 220之操作區內的滿意的線性度。於多個實施例中， $V_{threshold}$ 可基於各項因素作選擇，包括 V_{res} 之範圍及第一階段ADC 210及第二階段ADC 220的個別設計解析度。舉例言之，ADC 200可為具有5-位元總轉換解析度之ADC，可包括具有2-位元解析度之第一階段ADC及具有3-位元解析度之第二階段ADC。因此殘差電壓 V_{res} 可為0至 $V_{ref}/4$ ，而臨界電壓 $V_{threshold}$ 可選自0至 $V_{ref}/32$ 。於多個實施例中，臨界電壓 $V_{threshold}$ 可設定為0或地電位信號 V_{ss} 。

於多個實施例中，ADC 220可經組配來藉運用第二比較器223而控制時間至數位轉換處理程序的結束。於多個實施例中，第二比較器223可為基於反相器之臨界值檢測器。第二比較器223可接收殘差電壓信號 V_{res} ，且可經組配來比較殘差信號 V_{res} 與臨界電壓 $V_{threshold}$ 。第二比較器223可提供第二比較之輸出給TDC 224及閘鎖225。TDC 224可運用第二比較之輸出作為控制信號(例如「停止」)來中止時間至數位轉換。同理閘鎖225可運用第二比較之輸出作為控制信號

來門鎖第二輸出226。於多個實施例中，如圖所示，TDC 224可從SAR 213接收另一個控制信號(例如「開始」)。

第3圖為方塊圖例示說明依據本文揭示之實施例第2圖之TDC的進一步細節。針對該等具體實施例，TDC 224可包括彼此直接地或間接耦接的一或多個門鎖311-313、一或多個延遲元件321-323、及一加法器330。該等一或多個門鎖可為DQ門鎖。於多個實施例中，TDC 224於時間至數位轉換週期之始可接收「開始」信號。於時間至數位轉換期間，各個延遲元件321-323可延遲開始信號的傳播達時區 T_{delta} 。於多個實施例中， T_{delta} 值可以約為5皮秒(ps)。針對各個時區 T_{delta} ，可觸發門鎖311-313中之相對應者。於時間至數位轉換結束時，TDC 224可接收停止信號，停止信號門鎖門鎖311-313的輸出。門鎖311-313的輸出可藉加法器330相加且提供給門鎖225。

於多個實施例中，TDC 224可包括八個延遲元件及八個門鎖來支援3-位元的時間至數位轉換(例如 2^3)。於其它實施例中，含括於TDC 224的延遲元件及門鎖數目可多於或少於8來支援不同的解析度。此外，於多個實施例中，TDC 224可包括更多個延遲元件及門鎖用於數位錯誤校正目的。舉例言之，TDC 224可包括足夠的延遲元件及門鎖來產生5-位元輸出，於同位檢查後，可產生3-位元輸出。

於多個實施例中，於後處理期間，TDC 224的延遲變化可藉已知技術固定，包括例如使用數位詢查表(LUT)固定。

於多個實施例中，如前文揭示，藉使用基於SAR的ADC

作為第一階段ADC 210，及基於電荷的TDC轉換器作為第二階段ADC 220，二態ADC 200可以開放回路方式自動地產生殘差信號 V_{res} ，而免於含括複雜閉合回路運算放大器(op-amp)，該運算放大器(op-amp)乃習知兩階段ADC設計上所需。用在第一及第二階段ADC的比較器/臨界值檢測器數目比較基於快閃轉換器的傳統兩階段ADC(例如用於具有M-位元解析度的兩階段ADC電路之 2^M 比較器)也可大減。藉使用基於SAR之第一階段ADC 210，也可減低輸入電容，可導致較低功耗。

第4圖為方塊圖例示說明依據本文揭示之實施例之時間交插ADC系統。時間交插ADC系統400可經組配來接收輸入類比信號401而產生數位輸出信號402。ADC系統400可包括一主取樣/保留開關410、一加法器450、及多個兩階段ADC電路操作為ADC系統400之一通道。如前文描述，各個兩階段ADC電路可包括一取樣/保留開關420、一第一階段ADC 430、及一第二階段ADC 440。多個兩階段ADC電路各自的輸出可藉加法器450組合。於多個實施例中，取樣/保留開關410及取樣/保留開關420可於不同帶寬/頻率下操作。例如，針對具有10十億位元組/秒(Gb/s)之4-路交插ADC系統，開關410可於10 Gb/s下操作，而，開關420可於2.5 Gb/s下操作。

於多個實施例中，針對具有10十億位元組/秒(Gb/s)之4-路交插ADC系統，諸如前文於ADC系統400所述，各個通道具有2-位元第一轉換輸出及3-位元第二轉換輸出，模擬結

果指示總輸入電容約為800 fF及總功耗可約為500毫瓦(mW)。

第5圖為流程圖例示說明依據本文揭示之實施例，兩階段ADC電路之操作之一部分。於方塊510中，兩階段ADC電路100可接收類比輸入信號101。於方塊520中，第一階段ADC 110可基於類比輸入信號101及殘差信號103而產生第一輸出102。於方塊530中，第二階段ADC 120可基於殘差信號103而產生第二輸出104。於方塊540中，第一輸出102及第二輸出104可組合而形成單一數位輸出。

第6圖為方塊圖例示說明依據本文揭示之實施例，結合先前所述方法及/或設備之多個面向之一電腦系統實例。如圖所示，電腦系統600可包括一電源供應器單元601、多個處理器或處理器核心602、多個有形具體非過渡儲存媒體(諸如系統記憶體604，及大容量儲存裝置606)、通訊介面610、及I/O控制器608。用於本案之目的，包括申請專利範圍，除非上下文另行明白要求否則「處理器」及「處理器核心」等術語可視為同義詞。

此外，電腦系統600可包括基於諸如PCIe、USB等標準的一或多個有形具體非過渡電腦可讀取大容量儲存裝置606(諸如軟體、硬碟機、光碟-唯讀記憶體(CD-ROM)等)。於多個實施例中，大容量儲存裝置606可透過I/O互連體614而耦接至系統匯流排612。於本文揭示之多個實施例中，如前述及如第1-4圖之例示說明，I/O互連體614可包括一或多個兩階段ADC電路。系統匯流排612可表示一或多個匯流

排。於多個匯流排之情況下，匯流排可藉一或多個匯流排橋接器(圖中未顯示)而橋接。資料可從I/O控制器608至處理器602，經由I/O互連體614而傳送至系統匯流排612。

系統記憶體604及大容量儲存裝置606可採用來儲存體現一或多個作業系統、韌體模組或驅動器、應用程式及其類之程式規劃指令的工作拷貝及持久拷貝，此處合稱為622。程式規劃指令的持久拷貝可透過例如分配媒體(圖中未顯示)，諸如壓縮光碟(CD)，或透過通訊介面610(來自分配伺服器(圖中未顯示))而置於工廠或現場的持久性儲存裝置606。換言之，具有代理器程式體現的一或多個分配媒體可採用來分配代理器及程式給各個電腦系統。

此等元件601-622之其餘組成為已知，因而不再詳加說明。

雖然於此處已經例示說明及描述特定實施例，但熟諳技藝人士將瞭解可未悖離本文揭示之實施例之範圍，以寬廣多個其它或相當體現來取代所示及所述的特定實施例。本案意圖涵蓋此處討論之實施例的任何調整或變化。因此，明白地意圖本文揭示之實施例僅受申請專利範圍及其相當物所限。

【圖式簡單說明】

第1圖為方塊圖例示說明依據本文揭示之各個實施例，使用SAR及TDC之兩階段ADC電路。

第2圖為方塊圖例示說明依據本文揭示之各個實施例，第1圖之兩階段ADC電路之進一步細節。

第3圖為方塊圖例示說明依據本文揭示之各個實施例第2圖之TDC的進一步細節。

第4圖為方塊圖例示說明依據本文揭示之各個實施例之時間交插ADC系統。

第5圖為流程圖例示說明依據本文揭示之各個實施例，兩階段ADC電路之操作之一部分。

第6圖為方塊圖例示說明依據本文揭示之各個實施例，結合所述方法及/或設備之多個面向之一電腦系統實施例。

【主要元件符號說明】

100、200...兩階段類比至數位 轉換器(ADC)電路	211...取樣開關
101...類比輸入信號	212...第一比較器
102...第一數位輸出	213...SAR邏輯
103...殘差信號	214...2-位元數位輸出信號
104...第二數位輸出	215...互補電容器
110、210、430...第一階段 ADC、連續近似暫存器 (SAR) ADC	216、217...電容器
120、220、440...第二階段 ADC、時間至數位轉換器 (TDC)	218...節點
205...互補開關	222...電流源
206、207、211、221...開關	223...第二比較器
	224...時間至數位轉換器(TDC)
	225、311-313...門鎖
	226...第二輸出
	321-323...延遲元件
	330、450...加法器

- 400...時間交插ADC系統
- 401...類比輸入信號
- 402...數位輸出信號
- 410...主取樣/保留開關
- 420...取樣/保留開關
- 510-540...方塊
- 600...電腦系統、運算系統
- 601...電源供應器單元
- 602...處理器、處理器核心
- 604...系統記憶體
- 606...大容量儲存裝置
- 608...I/O控制器
- 610...通訊介面
- 612...系統匯流排
- 614...I/O互連體
- 622...儲存媒體
- V_{in} ...類比輸入電壓信號 V_{in}
- V_{ref} ...參考電壓 V_{ref}
- V_{ss} ...地電位信號 V_{ss}
- V_x ...電壓 V_x

七、申請專利範圍：

1. 一種用於提供類比至數位轉換之設備，其包含：

一第一類比至數位轉換器(ADC)，經組配來接收一類比輸入信號且將該類比輸入信號轉換成一第一數位信號，該第一數位信號係相對應於一數位輸出信號之一最高有效位元(MSB)部分，

其中該第一ADC包含一連續近似暫存器(SAR)且經組配來產生數值上相對應於該類比輸入信號與該第一數位信號間之一差之一殘差電壓；及

一第二ADC，耦接至該第一ADC且經組配來接收該殘差電壓，並將該殘差電壓轉換成一第二數位信號，該第二數位信號係相對應於該數位輸出信號之一最低有效位元(LSB)部分，

其中該第二ADC包含一時間至數位轉換器(TDC)，
且

其中該數位輸出信號為該類比輸入信號之一數位表示型態。

2. 如申請專利範圍第1項之設備，其中該第一ADC包括一電容器陣列及一開關陣列，其中該電容器陣列中之個別電容器的一側邊係耦接至該開關陣列中之相對應開關，且其中該電容器陣列中之該等個別電容器的一相對側係耦接至一共用節點。
3. 如申請專利範圍第1項之設備，其中該殘差電壓係基於一參考電壓。

4. 如申請專利範圍第2項之設備，其中該開關陣列中之該等個別開關係經組配來與該類比輸入信號、該參考電壓、或一地電壓耦接。
5. 如申請專利範圍第1項之設備，其中該第二ADC進一步包括與該TDC耦接之一比較器，且經組配來比較該殘差電壓與一臨界電壓來產生一控制信號以輸出該TDC而停止該第二轉換。
6. 如申請專利範圍第5項之設備，其中該第二ADC進一步包括耦接至該比較器之一電流源，該比較器經組配來以一近恆定速率汲取該殘差電壓。
7. 如申請專利範圍第1項之設備，其中該第一ADC及該第二ADC為一ADC電路之一第一通道之部分，其中該ADC電路進一步包括經組配來以時間交插方式而與該第一通道操作的一第二通道，其中該第二通道包括與該第一ADC相似地組配之一第三ADC及與該第二ADC相似地組配之一第四ADC。
8. 一種用於提供類比至數位轉換之方法，其包含下列步驟：
 - 藉一兩階段類比至數位轉換器(ADC)接收一類比輸入信號；
 - 藉該ADC之一第一階段並透過一連續近似轉換處理程序，將該類比輸入信號第一轉換成與一數位輸出信號之一最高有效位元(MSB)部分相對應的一第一數位信號；
 - 藉該ADC之該第一階段，產生數值上相對應於該類

比輸入信號與該第一數位信號間之一差之一殘差電壓；及

藉該 ADC 之一第二階段並透過一時間至數位轉換處理程序，將該殘差電壓第二轉換成與該數位輸出信號之一最低有效位元 (LSB) 部分相對應之一第二數位信號，

其中該第二轉換之步驟包括藉該 ADC 之一電流源以一近恆定速率放電該殘差電壓；

其中該數位輸出信號為該類比輸入信號之一數位表示型態。

9. 如申請專利範圍第 8 項之方法，其進一步包含組合該第一數位信號及該第二數位信號來形成該數位輸出信號。

10. 一種用於提供類比至數位轉換之方法，其包含下列步驟：

藉一兩階段類比至數位轉換器 (ADC) 接收一類比輸入信號；

藉該 ADC 之一第一階段並透過一連續近似轉換處理程序，將該類比輸入信號第一轉換成與一數位輸出信號之一最高有效位元 (MSB) 部分相對應之一第一數位信號；

藉該 ADC 之該第一階段，產生數值上相對應於該類比輸入信號與該第一數位信號間之一差之一殘差電壓；及

藉該 ADC 之一第二階段並透過一時間至數位轉換處理程序，將該殘差電壓第二轉換成與該數位輸出信號

一第二ADC，耦接至該第一ADC且經組配來接收該殘差電壓，並將該殘差電壓第二轉換成一第二數位信號，該第二數位信號係相對應於該數位輸出信號之一最低有效位元(LSB)部分，

其中該數位輸出信號為該類比輸入信號之一數位表示型態，且

其中該第一ADC及該第二ADC為一ADC電路之一第一通道之部分，其中該ADC電路進一步包括經組配以時間交插方式而與該第一通道操作的一第二通道，其中該第二通道包括與該第一ADC相似地組配之一第三ADC及與該第二ADC相似地組配之一第四ADC。

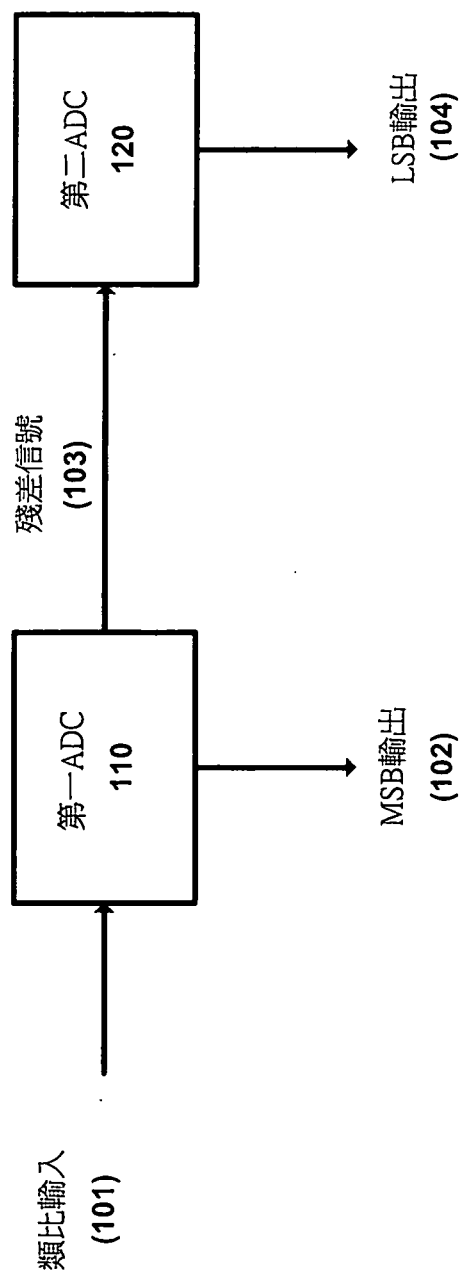
14. 如申請專利範圍第13項之系統，其中該第一ADC包括一電容器陣列及一開關陣列，其中該電容器陣列中之個別電容器的一側邊係耦接至該開關陣列中之相對應開關，且其中該電容器陣列中之該等個別電容器的一相對側係耦接至一共用節點。
15. 如申請專利範圍第13項之系統，其中該殘差電壓係基于一參考電壓。
16. 如申請專利範圍第14項之系統，其中該開關陣列中之該等個別開關經組配來與該類比輸入信號、該參考電壓、或一地電位信號耦接。
17. 如申請專利範圍第13項之系統，其中該第二ADC包含一時間至數位轉換器(TDC)，且其中該第二ADC進一步包括與該TDC耦接之一比較器，且經組配來比較該殘差電

壓與一臨界電壓來產生一控制信號以輸出該 TDC 而停止該第二轉換。

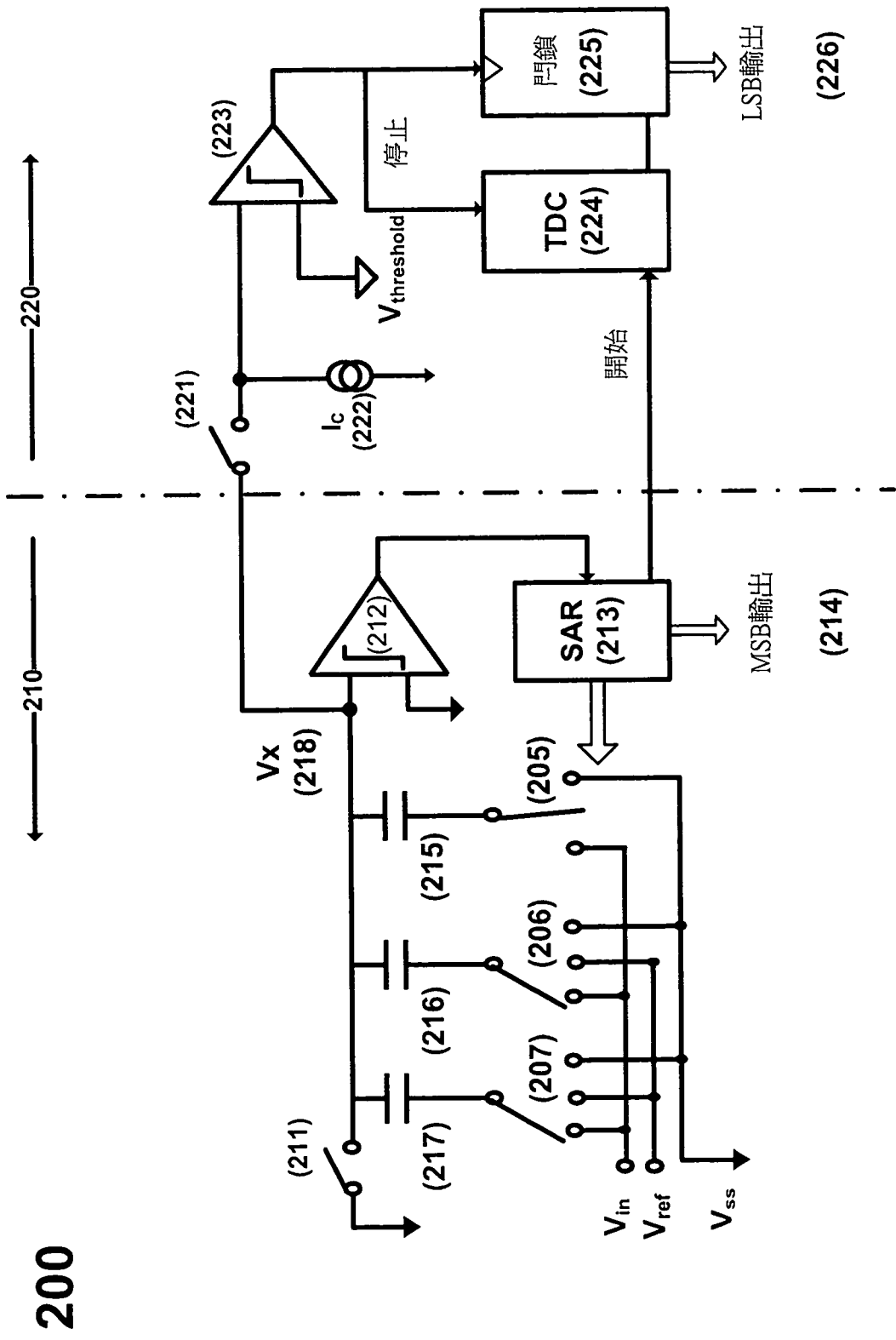
18. 如申請專利範圍第 17 項之系統，其中該第二 ADC 進一步包括耦接至該比較器之一電流源，經組配來以一接近恆定速率汲取該殘差電壓。

八、圖式：

100



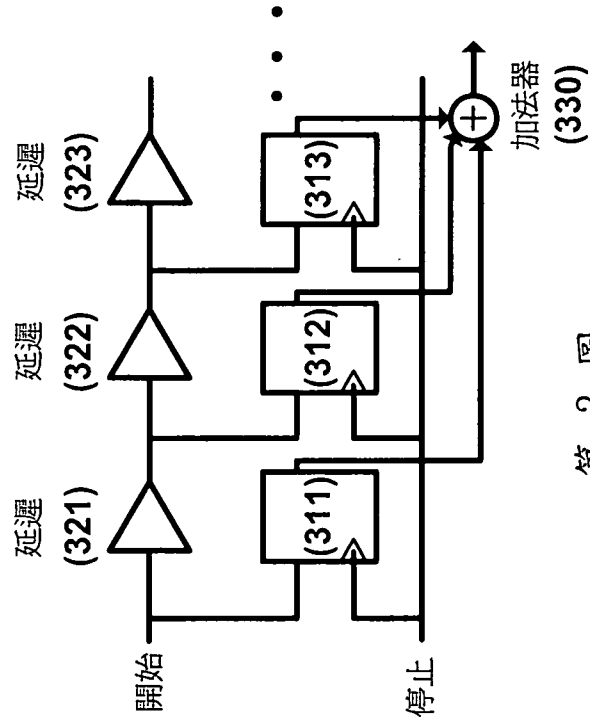
第 1 圖



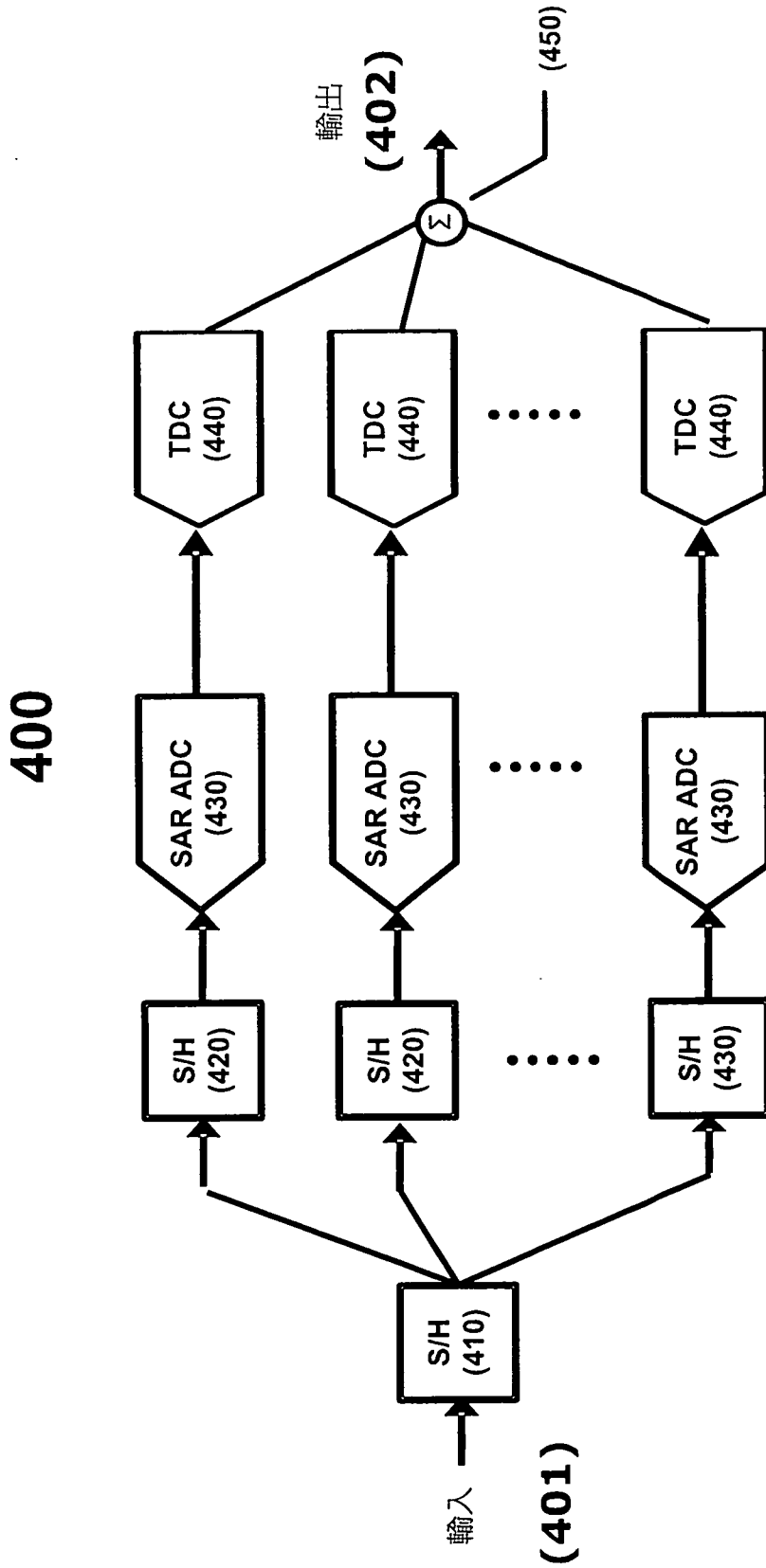
第 2 圖

200

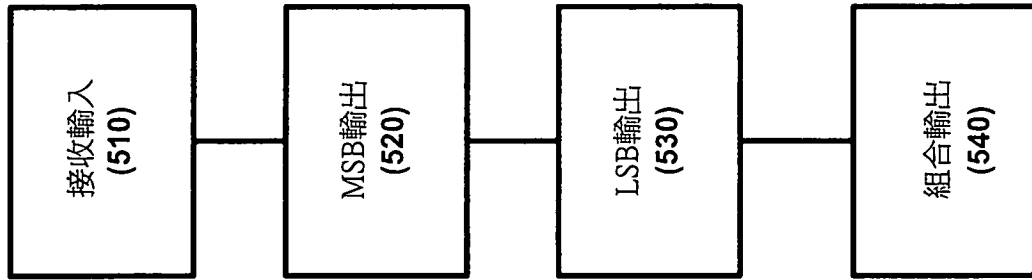
TDC (224)



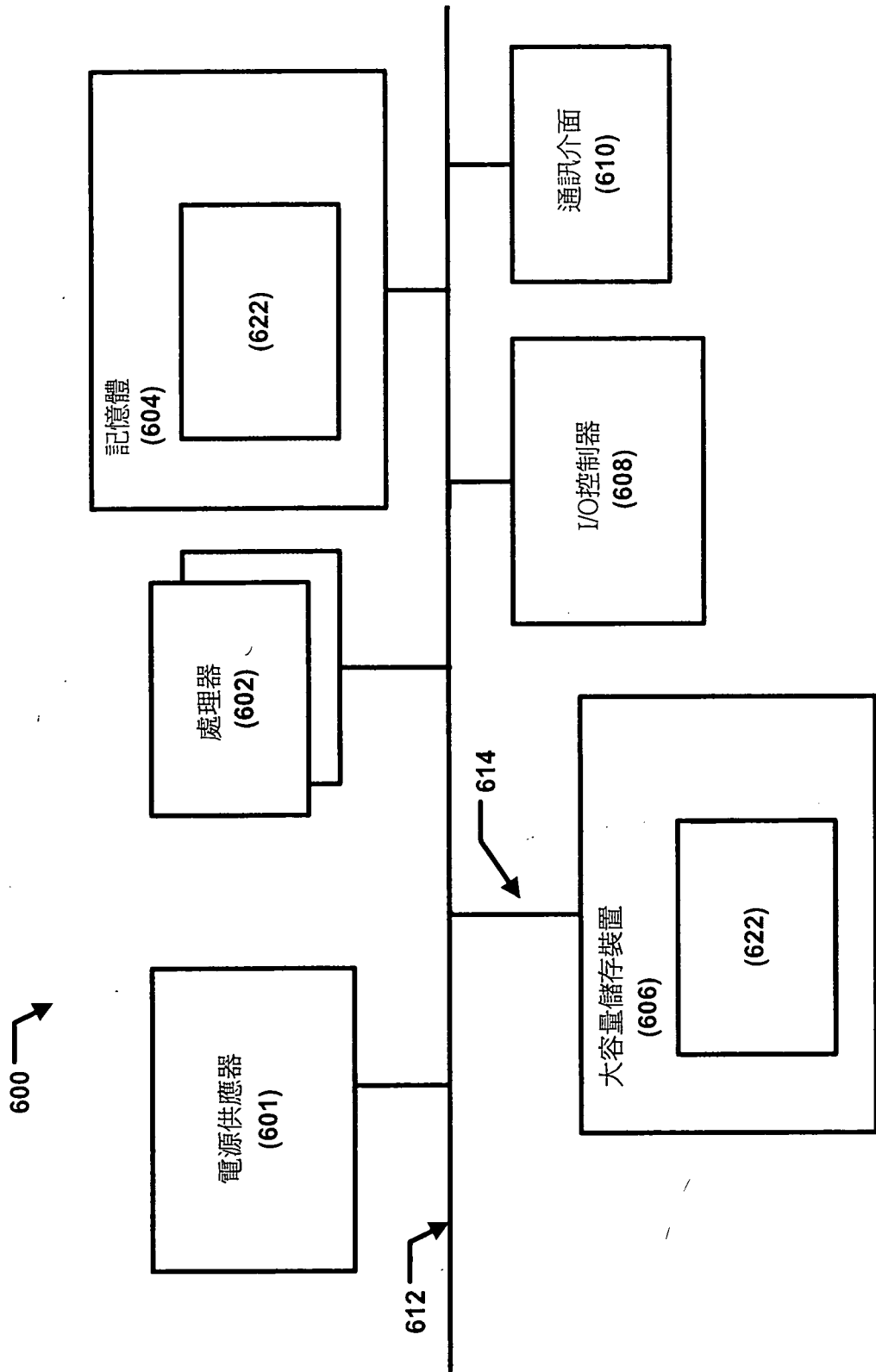
第 3 圖



第 4 圖



第 5 圖



第 6 圖