

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4306753号
(P4306753)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/30 J
HO1L 51/50 (2006.01)	G09G 3/20 642A
	G09G 3/20 611H
	G09G 3/20 621A
請求項の数 9 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2007-74985 (P2007-74985)	(73) 特許権者	000002185
(22) 出願日	平成19年3月22日(2007.3.22)		ソニー株式会社
(65) 公開番号	特開2008-233651 (P2008-233651A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年10月2日(2008.10.2)	(74) 代理人	100094363
審査請求日	平成20年4月21日(2008.4.21)		弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	三並 徹雄
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	富田 昌嗣
			東京都品川区東五反田2丁目17番1号
			ソニーイーエムシーエス株式会社内
			最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法と電子機器

(57) 【特許請求の範囲】

【請求項1】

画素アレイ部と駆動部とからなり、

前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、

各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、

前記ドライブトランジスタは、一对の電流端の一方が該発光素子に接続し、他方が給電線に接続し、

前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給して各画素を駆動し、以って該ドライブトランジスタの閾電圧のバラツキを補正する閾電圧補正動作、該映像信号を該保持容量に書き込む書き込み動作及び書き込まれた映像信号に応じて該発光素子を発光する発光動作とを行う表示装置であって、

前記閾電圧補正動作は、該ドライブトランジスタのゲートである制御端を基準電位に保持する一方該ドライブトランジスタのソースとなる電流端との間のゲート/ソース間電圧を該閾電圧より大きく設定して該ドライブトランジスタをオン状態にする準備過程と、

該ゲートを基準電位に維持したまま該ドライブトランジスタに通電し該ドライブトランジスタがカットオフした時そのゲート/ソース間に表われる閾電圧相当の電圧を該保持容

10

20

量に保持する通電過程と、

該ゲートに印加されている該基準電位を変えて該ゲート/ソース間電圧を該閾電圧相当の電圧よりも圧縮して、該ドライブトランジスタを確実にオフ状態にする圧縮過程とを含むことを特徴とする表示装置。

【請求項 2】

前記駆動部は、水平走査周期毎に順次制御信号を各走査線に供給するライトスキャナと、各給電線を高電位と低電位で切り換える電源スキャナと、各水平走査周期内で信号電位と基準電位とが切り換る映像信号を各信号線に供給する信号ドライバとを有し、

前記準備過程では、該ライトスキャナが制御信号を出力してサンプリングトランジスタをオンし信号線から基準電位をサンプリングして該ドライブトランジスタのゲートに印加する一方、該電源スキャナが給電線を高電位から低電位に切り換えて該ドライブトランジスタのソースの電位を低電位まで下げ、

前記通電過程では、該電源スキャナが給電線を低電位から高電位に切り換えて該ドライブトランジスタがカットオフするまで通電し、

前記圧縮過程では、該電源スキャナが給電線を高電位に維持したまま該ライトスキャナが制御信号を解除して該サンプリングトランジスタをオフする直前に、該信号ドライバが該基準電位のレベルを下方に切り換えることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

画素アレイ部と駆動部とからなり、

前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、

各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、

前記ドライブトランジスタは、一对の電流端の一方が該発光素子に接続し、他方が給電線に接続し、

前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給して各画素を駆動し、以って該ドライブトランジスタの閾電圧のバラツキを補正する閾電圧補正動作、該映像信号を該保持容量に書き込む書き込動作及び書き込まれた映像信号に応じて該発光素子を発光する発光動作を行う表示装置であって、

前記閾電圧補正動作は、該ドライブトランジスタのゲートである制御端を基準電位に保持する一方該ドライブトランジスタのソースとなる電流端との間のゲート/ソース間電圧を該閾電圧より大きく設定して該ドライブトランジスタをオン状態にする準備過程と、

該ゲートを基準電位に維持したまま該ドライブトランジスタに通電し該ドライブトランジスタがカットオフした時にゲート/ソース間に表われる閾電圧相当の電圧を該保持容量に保持する通電過程とを含み、

前記通電過程は、該ドライブトランジスタがカットオフするまで複数回に分けて時分割的に行うとともに、先に行う通電過程で該ドライブトランジスタのゲートに印加する基準電位と、後に行う通電過程で該ドライブトランジスタのゲートに印加する基準電位とが異なることを特徴とする表示装置。

【請求項 4】

前記通電過程は、該ドライブトランジスタがカットオフするまで複数回に分けて時分割的に行うとともに、先に行う通電過程で該ドライブトランジスタのゲートに印加される基準電位よりも、後に行う通電過程で該ドライブトランジスタのゲートに印加される基準電位の方が高くなることを特徴とする請求項 3 記載の表示装置。

【請求項 5】

前記駆動部は、水平走査周期毎に順次制御信号を各走査線に供給するライトスキャナと、各給電線を高電位と低電位で切り換える電源スキャナと、各水平走査周期内で信号電位と基準電位とが切り換る映像信号を各信号線に供給する信号ドライバとを有し、

10

20

30

40

50

前記準備過程では、該ライトスキヤナが制御信号を出力してサンプリングトランジスタをオンし信号線から基準電位をサンプリングして該ドライブトランジスタのゲートに印加する一方、該電源スキヤナが給電線を高電位から低電位に切り換えて該ドライブトランジスタのソースの電位を低電位まで下げ、

前記通電過程では、該電源スキヤナが給電線を低電位から高電位に切り換えて該ドライブトランジスタがカットオフするまで通電し、

その際前記信号ドライバは、先に行う通電過程で信号線に出力する基準電位よりも、後に行う通電過程で信号線に出力する基準電位の方が高くなるように切換え制御することを特徴とする請求項4記載の表示装置。

【請求項6】

画素アレイ部と駆動部とからなり、

前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、

各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、

前記ドライブトランジスタは、一对の電流端の一方が該発光素子に接続し、他方が給電線に接続し、

前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給して各画素を駆動し、以って該ドライブトランジスタの閾電圧のパラツキを補正する閾電圧補正動作、該映像信号を該保持容量に書き込む書込動作及び書き込まれた映像信号に応じて該発光素子を発光する発光動作を行う表示装置の駆動方法であって、

前記閾電圧補正動作は、該ドライブトランジスタのゲートである制御端を基準電位に保持する一方該ドライブトランジスタのソースとなる電流端との間のゲート/ソース間電圧を該閾電圧より大きく設定して該ドライブトランジスタをオン状態にする準備過程と、

該ゲートを基準電位に維持したまま該ドライブトランジスタに通電し該ドライブトランジスタがカットオフした時そのゲート/ソース間に表われる閾電圧相当の電圧を該保持容量に保持する通電過程と、

該ゲートに印加されている該基準電位を変えて該ゲート/ソース間電圧を該閾電圧相当の電圧よりも圧縮して、該ドライブトランジスタを確実にオフ状態にする圧縮過程とを行うことを特徴とする表示装置の駆動方法。

【請求項7】

画素アレイ部と駆動部とからなり、

前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、

各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、

前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一对の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、

前記ドライブトランジスタは、一对の電流端の一方が該発光素子に接続し、他方が給電線に接続し、

前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給して各画素を駆動し、以って該ドライブトランジスタの閾電圧のパラツキを補正する閾電圧補正動作、該映像信号を該保持容量に書き込む書込動作及び書き込まれた映像信号に応じて該発光素子を発光する発光動作を行う表示装置の駆動方法であって、

前記閾電圧補正動作は、該ドライブトランジスタのゲートである制御端を基準電位に保持する一方該ドライブトランジスタのソースとなる電流端との間のゲート/ソース間電圧を該閾電圧より大きく設定して該ドライブトランジスタをオン状態にする準備過程と、

該ゲートを基準電位に維持したまま該ドライブトランジスタに通電し該ドライブトラン

10

20

30

40

50

ジスタがカットオフした時にそのゲート/ソース間に表われる閾電圧相当の電圧を該保持容量に保持する通電過程とを含み、

前記通電過程は、該ドライブトランジスタがカットオフするまで複数回に分けて時分割的に行うとともに、先に行う通電過程で該ドライブトランジスタのゲートに印加する基準電位と、後に行う通電過程で該ドライブトランジスタのゲートに印加する基準電位とが異なることを特徴とする表示装置の駆動方法。

【請求項 8】

請求項 1 に記載の表示装置を備えた電子機器。

【請求項 9】

請求項 3 に記載の表示装置を備えた電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。またこのような表示装置を用いた電子機器に関する。

【背景技術】

【0002】

発光素子として有機 EL デバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機 EL デバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 EL デバイスは印加電圧が 10 V 以下で駆動するため低消費電力である。また有機 EL デバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機 EL デバイスの応答速度は数 μ s 程度と非常に高速であるので、動画表示時の残像が発生しない。

20

【0003】

有機 EL デバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献 1 ないし 5 に記載されている。

【特許文献 1】特開 2003 - 255856

【特許文献 2】特開 2003 - 271095

30

【特許文献 3】特開 2004 - 133240

【特許文献 4】特開 2004 - 029791

【特許文献 5】特開 2004 - 093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のアクティブマトリクス型平面自発光型表示装置は、プロセス変動により発光素子を駆動するトランジスタ(ドライブトランジスタ)の閾電圧がばらついてしまう。この様なドライブトランジスタの特性ばらつきは発光輝度に影響を与えてしまう。表示装置の画面全体にわたって発光輝度を均一に制御するため、各画素回路内で上述したドライブトランジスタの閾電圧のばらつきを補正する必要がある。従来からかかる閾電圧補正機能を画素毎に備えた表示装置が提案されている。

40

【0005】

従来の画素回路は、閾電圧補正動作を行った後映像信号をサンプリングし、これに基づいて発光素子を駆動する。しかしながら閾電圧補正動作から発光動作の間で、ドライブトランジスタに電流リークが生じるため、必ずしも閾電圧補正動作が正確に行われず、誤差が生じていた。この閾電圧補正動作の誤差もしくはばらつきにより、発光輝度にムラが生じ、画品位を損なうという課題がある。

【課題を解決するための手段】

【0006】

50

上述した従来の技術の課題に鑑み、本発明はドライブトランジスタの電流リークを抑制して閾電圧補正動作の精度を改善し、以って発光輝度ムラの無い表示装置を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部と駆動部とからなり、前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、前記ドライブトランジスタは、一対の電流端の一方が該発光素子に接続し、他方が給電線に接続し、前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給して各画素を駆動し、以って該ドライブトランジスタの閾電圧のバラツキを補正する閾電圧補正動作、該映像信号を該保持容量に書き込む書込動作及び書き込まれた映像信号に応じて該発光素子を発光する発光動作とを行う表示装置であって、前記閾電圧補正動作は、該ドライブトランジスタのゲートである制御端を基準電位に保持する一方該ドライブトランジスタのソースとなる電流端との間のゲート/ソース間電圧を該閾電圧より大きく設定して該ドライブトランジスタをオン状態にする準備過程と、該ゲートを基準電位に維持したまま該ドライブトランジスタに通電し該ドライブトランジスタがカットオフした時そのゲート/ソース間に表われる閾電圧相当の電圧を該保持容量に保持する通電過程と、該ゲートに印加されている該基準電位を変えて該ゲート/ソース間電圧を該閾電圧相当の電圧よりも圧縮して、該ドライブトランジスタを確実にオフ状態にする圧縮過程とを含むことを特徴とする。

【0007】

一態様では、前記駆動部は、水平走査周期毎に順次制御信号を各走査線に供給するライトスキャナと、各給電線を高電位と低電位で切り換える電源スキャナと、各水平走査周期内で信号電位と基準電位とが切り換る映像信号を各信号線に供給する信号ドライバとを有し、前記準備過程では、該ライトスキャナが制御信号を出力してサンプリングトランジスタをオンし信号線から基準電位をサンプリングして該ドライブトランジスタのゲートに印加する一方、該電源スキャナが給電線を高電位から低電位に切り換えて該ドライブトランジスタのソースの電位を低電位まで下げ、前記通電過程では、該電源スキャナが給電線を低電位から高電位に切り換えて該ドライブトランジスタがカットオフするまで通電し、前記圧縮過程では、該電源スキャナが給電線を高電位に維持したまま該ライトスキャナが制御信号を解除して該サンプリングトランジスタをオフする直前に、該信号ドライバが該基準電位のレベルを下方に切り換える。

【0008】

又本発明は、画素アレイ部と駆動部とからなり、前記画素アレイ部は、給電線と、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを備え、各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、発光素子と、保持容量とを備え、前記サンプリングトランジスタは、その制御端が該走査線に接続し、その一対の電流端が該信号線と該ドライブトランジスタの制御端との間に接続し、前記ドライブトランジスタは、一対の電流端の一方が該発光素子に接続し、他方が給電線に接続し、前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給して各画素を駆動し、以って該ドライブトランジスタの閾電圧のバラツキを補正する閾電圧補正動作、該映像信号を該保持容量に書き込む書込動作及び書き込まれた映像信号に応じて該発光素子を発光する発光動作を行う表示装置であって、前記閾電圧補正動作は、該ドライブトランジスタのゲートである制御端を基準電位に保持する一方該ドライブトランジスタのソースとなる電流端との間のゲート/ソース間電圧を該閾電圧より大きく設定して該ドライブトランジスタをオン状態にする準備過程と、該ゲートを基準電位に維持したまま該ドライブトランジスタに通電し該ドライブトランジスタがカットオフした時にゲート/ソース間に表われる閾電圧相当の電圧を該保持容量に保持する通電過程とを含み、前記通電過程は、該ドライブトランジスタがカットオフするまで複数回に

分けて時分割的に行うとともに、先に行う通電過程で該ドライブトランジスタのゲートに印加する基準電位と、後に行う通電過程で該ドライブトランジスタのゲートに印加する基準電位とが異なることを特徴とする。

【0009】

好ましくは、前記通電過程は、該ドライブトランジスタがカットオフするまで複数回に分けて時分割的に行うとともに、先に行う通電過程で該ドライブトランジスタのゲートに印加される基準電位よりも、後に行う通電過程で該ドライブトランジスタのゲートに印加される基準電位の方が高くなる。また前記駆動部は、水平走査周期毎に順次制御信号を各走査線に供給するライトスキャナと、各給電線を高電位と低電位で切り換える電源スキャナと、各水平走査周期内で信号電位と基準電位とが切り換える映像信号を各信号線に供給する信号ドライバとを有し、前記準備過程では、該ライトスキャナが制御信号を出力してサンプリングトランジスタをオンし信号線から基準電位をサンプリングして該ドライブトランジスタのゲートに印加する一方、該電源スキャナが給電線を高電位から低電位に切り換えて該ドライブトランジスタのソースの電位を低電位まで下げ、前記通電過程では、該電源スキャナが給電線を低電位から高電位に切り換えて該ドライブトランジスタがカットオフするまで通電し、その際前記信号ドライバは、先に行う通電過程で信号線に出力する基準電位よりも、後に行う通電過程で信号線に出力する基準電位の方が高くなるように切換え制御する。

【発明の効果】

【0010】

本発明にかかる表示装置は、各画素が映像信号の書込動作及び発光素子の発光動作を行う前に、ドライブトランジスタの閾電圧補正動作を行っている。この閾電圧補正動作は準備過程と通電過程を含んでいる。準備過程では、ドライブトランジスタのゲートを基準電位に保持する一方ドライブトランジスタのゲート/ソース間電圧を閾電圧より大きく設定して、ドライブトランジスタをオン状態にする。続く通電過程では、ゲートを基準電位に維持したままドライブトランジスタに通電し、ドライブトランジスタがカットオフした時そのゲート/ソース間に現れる閾電圧相当の電圧を保持容量に保持する。

【0011】

本発明の第1面によると、閾電圧補正動作は準備過程及び通電過程の後に圧縮過程を含んでいる。この圧縮過程では、通電過程の後ゲートに印加されている基準電位を変えてゲート/ソース間電圧を閾電圧相当の電圧よりも圧縮して、ドライブトランジスタを確実にオフ状態にしている。これによりドライブトランジスタにはリーク電流が流れなくなり、閾電圧補正動作の結果が後の書込動作及び発光動作まで安定的に維持できる。換言すると閾電圧補正動作にばらつきが無くなり精度が高くなる。その結果発光輝度のばらつきがなくなり画面品位が高くなる。

【0012】

本発明の第2面によれば、閾電圧補正動作の通電過程は、ドライブトランジスタがカットオフするまで複数回に分けて時分割的に行っている。これにより通電時間を十分確保することが可能となり、保持容量に閾電圧相当の電圧を確実に確保することが出来る。その際先に行う通電過程と後で行う通電過程とでドライブトランジスタのゲートに印加する基準電位のレベルを変えている。具体的には、先に行う通電過程でドライブトランジスタのゲートに印加する基準電圧よりも、後に行う通電過程でドライブトランジスタのゲートに印加する基準電圧の方が高くなるようにしている。この様に時分割的に行う通電過程で基準電位のレベルを切換えることでドライブトランジスタの電流リークを抑制でき、結果的に閾電圧補正動作が安定化すると共に精度が高くなる。よって画素毎の発光輝度のばらつきも少なくなり、画面のユニフォーミティが改善する。

【発明を実施するための最良の形態】

【0013】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる表示装置の全体構成を示すブロック図である。図示する様に本表示装置は、画素アレイ部1と

10

20

30

40

50

これを駆動する駆動部とからなる。画素アレイ部 1 は、行状の走査線 $W S$ と、列状の信号線 $S L$ と、両者が交差する部分に配された行列状の画素 2 と、画素 2 の各行に対応して配された給電線 $D S$ とを備えている。駆動部は、各走査線 $W S$ に順次制御信号を供給して画素 2 を行単位で線順次走査するライトスキャナ 4 と、この線順次走査に合わせて各給電線 $D S$ に高電位と低電位で切替わる電源電圧を供給するドライブスキャナ 5 と、この線順次走査に合わせて列状の信号線 $S L$ に映像信号となる信号電位と基準電位を供給する水平セレクタ 3 とを備えている。ここでライトスキャナ 4 とドライブスキャナ 5 がスキャナ部を構成し、水平セレクタ 3 が信号ドライバを構成している。

【 0 0 1 4 】

個々の画素 2 は、サンプリングトランジスタ $T r 1$ とドライブトランジスタ $T r d$ と保持容量 $C s$ と補助容量 $C s u b$ と発光素子 $E L$ とで構成されている。個々の発光素子 $E L$ は $R G B$ 三原色のいずれかの色で発光するようになっている。赤色発光素子を備えた画素 ($R E D$) と緑色発光素子を備えた画素 ($G R E E N$) と青色発光素子を備えた画素 ($B L U E$) とで画素トリオを構成している。この画素トリオを画素アレイ部 1 上でマトリクス状に配列することによりカラー表示が出来る。

【 0 0 1 5 】

図 2 は、図 1 に示した表示装置に含まれる画素 2 の具体的な構成及び結線関係を示す回路図である。図示する様に、この画素 2 は、有機 $E L$ デバイスなどで代表される発光素子 $E L$ と、サンプリングトランジスタ $T r 1$ と、ドライブトランジスタ $T r d$ と、保持容量 $C s$ とを含む。サンプリングトランジスタ $T r 1$ はそのゲートが対応する走査線 $W S$ に接続し、そのソース及びドレインの一方が対応する信号線 $S L$ に接続し、他方がドライブトランジスタ $T r d$ のゲート G に接続する。ドライブトランジスタ $T r d$ は、そのソース S が発光素子 $E L$ に接続し、ドレインが対応する給電線 $D S$ に接続している。発光素子 $E L$ のカソードは接地電位 $V c a t h$ に接続している。なおこの接地配線は全ての画素 2 に対して共通に配線されている。保持容量 (画素容量) $C s$ は、ドライブトランジスタ $T r d$ のソース S とゲート G との間に接続している。加えて発光素子 $E L$ と並列に補助容量 $C s u b$ が接続されている。この補助容量 $C s u b$ は必要に応じ付加されたもので、保持容量 $C s$ に対する映像信号 $V s i g$ の入力ゲインを高める機能を有する。

【 0 0 1 6 】

図 2 に示した画素構成は一例であって、本発明はこの回路構成に限られるものではない。基本的に各画素 2 は、少なくともサンプリングトランジスタ $T r 1$ とドライブトランジスタ $T r d$ と発光素子 $E L$ と保持容量 $C s$ とを含む。サンプリングトランジスタ $T r 1$ は、その制御端 (ゲート) が走査線 $W S$ に接続し、その一對の電流端 (ソース及びドレイン) が信号線 $S L$ とドライブトランジスタ $T r d$ の制御端との間に接続している。ドライブトランジスタ $T r d$ は一對の電流端 (ソース及びドレイン) の一方が発光素子 $E L$ に接続し、他方が給電線 $D S$ に接続している。保持容量 $C s$ は、ドライブトランジスタ $T r d$ の制御端 (ゲート G) とドライブトランジスタ $T r d$ の一對の電流端 (ソース及びドレイン) の片方 (ソース S) との間に接続している。

【 0 0 1 7 】

図 3 は、図 2 に示した画素 2 の動作説明に供するタイミングチャートである。但しこのタイミングチャートは本発明の実施形態を示すものではなく、理想的な動作状態を示す第 1 参考例である。時間軸を共通にして、走査線 $W S$ の電位変化、給電線 $D S$ の電位変化及び信号線 $S L$ の電位変化を表してある。またこれらの電位変化と並行に、ドライブトランジスタ $T r d$ のゲート G 及びソース S の変化も表してある。

【 0 0 1 8 】

このタイミングチャートは、画素 2 の動作の遷移に合わせて期間を (0) ~ (7) まで便宜的に区切ってある。まず発光期間 (0) では、給電線 $D S$ が高電位 $V c c p$ にあり、ドライブトランジスタ $T r d$ が駆動電流 $I d s$ を発光素子 $E L$ に供給している。駆動電流 $I d s$ は高電位 $V c c p$ にある給電線 $D S$ からドライブトランジスタ $T r d$ を介して発光素子 $E L$ を通り、共通接地配線 $V c a t h$ に流れ込んでいる。

10

20

30

40

50

【 0 0 1 9 】

続いて期間(1)に入ると、給電線DSを高電位Vccpから低電位Viniに切換える。これにより給電線DSはViniまで放電され、さらにドライブトランジスタTrdのソース電位はViniに近い電位まで遷移する。給電線DSの配線容量が大きい場合は比較的早いタイミングで給電線DSを高電位Vccpから低電位Viniに切換えると良い。

【 0 0 2 0 】

次に期間(2)に進むと、走査線WSを低レベルから高レベルに切換えることで、サンプリングトランジスタTr1が導通状態になる。このとき信号線SLは基準電位Vofsにある。よってドライブトランジスタTrdのゲート電位は導通したサンプリングトランジスタTr1を通じて信号線SLの基準電位Vofsとなる。これと同時にドライブトランジスタTrdのソース電位は即座に低電位Viniに固定される。以上によりドライブトランジスタTrdのソース電位が映像信号線SLの基準電位Vofsより十分低い電位Viniに初期化(リセット)される。具体的にはドライブトランジスタTrdのゲートソース間電圧Vgs(ゲート電位とソース電位の差)がドライブトランジスタTrdの閾電圧Vthより大きくなるように、給電線DSの低電位Viniを設定する。

【 0 0 2 1 】

以上の説明から明らかなように、期間(1)と期間(2)が閾電圧補正動作の準備過程となっている。即ちこの準備過程では、ドライブトランジスタTrdのゲートGである制御端を基準電位Vofsに保持する一方、ドライブトランジスタTrdのソースSとなる電流端の間のゲート/ソース間電圧Vgsを閾電圧Vthより大きく設定して、ドライブトランジスタTrdをオン状態にする。

【 0 0 2 2 】

次にVthキャンセル期間(3)に進むと、給電線DSが低電位iniから高電位Vccpに遷移し、ドライブトランジスタTrdのソース電位が上昇を開始する。やがてドライブトランジスタTrdのゲートソース間電圧Vgsが閾電圧Vthとなったところで電流がカットオフする。このようにしてドライブトランジスタTrdの閾電圧Vthに相当する電圧が保持容量(画素容量)Csに書き込まれる。これが閾電圧補正動作である。このとき電流が専ら保持容量Cs側に流れ、発光素子EL側には流れないようにするため、発光素子ELがカットオフとなるように共通接地配線Vcathの電位を設定しておく。

【 0 0 2 3 】

以上の説明から明らかなように、このVthキャンセル期間(3)が閾電圧補正動作の通電過程となっている。この通電過程では、ゲートGを基準電位Vofsに維持したままドライブトランジスタTrdに通電しドライブトランジスタTrdがカットオフしたときそのゲート/ソース間に現れる閾電圧相当の電圧を保持容量Csに保持する。

【 0 0 2 4 】

期間(4)に進むと、走査線WSが低電位側に遷移し、サンプリングトランジスタTr1が一端オフ状態になる。このときドライブトランジスタTrdのゲートGはフローティングになるが、ゲートソース間電圧VgsはドライブトランジスタTrdの閾電圧Vthに等しいためカットオフ状態であり、ドレイン電流Idsは流れない。但しこれは理想状態であって、実際にはドライブトランジスタTrdに電流リークがあるため、わずかではあるがドレイン電流Idsが流れる。これによりドライブトランジスタTrdのソース電位が変動し、これに伴ってフローティング状態にあるゲートGの電位も変動する、いわゆるブートストラップ現象が生じる。

【 0 0 2 5 】

続いて期間(5)に進むと、信号線SLの電位が基準電位Vofsからサンプリング電位(信号電位)Vsigに遷移する。これにより次のサンプリング動作及び移動度補正動作(信号書込み及び移動度 μ キャンセル)の準備が完了する。

【 0 0 2 6 】

10

20

30

40

50

信号書込み / 移動度 μ キャンセル期間 (6) に入ると、走査線 WS が高電位側に遷移してサンプリグトランジスタ $Tr1$ がオン状態となる。従ってドライブトランジスタ Trd のゲート電位は信号電位 V_{sig} となる。ここで発光素子 EL は始めカットオフ状態 (ハイインピーダンス状態) にあるため、ドライブトランジスタ Trd のドレイン ソース間電流 I_{ds} は発光素子容量及び補助容量 C_{sub} に流れ込み、充電を開始する。したがってドライブトランジスタ Trd のソース電位は上昇を開始し、やがてドライブトランジスタ Trd のゲート ソース間電圧 V_{gs} は $V_{sig} + V_{th} - V$ となる。このようにして、信号電位 V_{sig} のサンプリグと補正量 V の調整が同時に行われる。 V_{sig} が高いほど I_{ds} は大きくなり、 V の絶対値も大きくなる。したがって発光輝度レベルに応じた移動度補正が行われる。 V_{sig} を一定とした場合、ドライブトランジスタ Trd の移動度 μ が大きいほど V の絶対値が大きくなる。換言すると移動度 μ が大きいほど負帰還量 V が大きくなるので、画素ごとの移動度 μ のばらつきを取り除くことが出来る。

10

【0027】

最後に発光期間 (7) になると、走査線 WS が低電位側に遷移し、サンプリグトランジスタ $Tr1$ はオフ状態となる。これによりドライブトランジスタ Trd のゲート G は信号線 SL から切り離される。同時にドレイン電流 I_{ds} が発光素子 EL を流れ始める。これにより発光素子 EL のアノード電位は駆動電流 I_{ds} に応じて上昇する。発光素子 EL のアノード電位の上昇は、即ちドライブトランジスタ Trd のソース電位の上昇に他ならない。ドライブトランジスタ Trd のソース電位が上昇すると、保持容量 C_s のブートストラップ動作により、ドライブトランジスタ Trd のゲート電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間 (7) 中ドライブトランジスタ Trd のゲート ソース間電圧 V_{gs} は $V_{sig} + V_{th} - V$ で一定に保持される。なお以上の説明では、 $V_{ofs} = V_{cath} = 0V$ として V_{gs} を計算している。

20

【0028】

図4は、図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。このタイミングチャートは理想状態からずれた実際のゲート G 及びソース S の電位変化を表しており、第2参考例である。理解を容易にするため、図3に示した第1参考例と同様の表記を採用している。図示するように実際の動作を表すこの第2参考例でも、 V_{th} キャンセル期間 (3) で通電過程を行った後、制御信号 WS を立下げてサンプリグトランジスタ $Tr1$ をオフするが、これによりドライブトランジスタ Trd のゲート G が一時的に信号線から切り離されるので、フローティング状態になる。そのときサンプリグトランジスタ $Tr1$ のスイッチングによりゲート G にカップリングが入るため、ゲート G の電位も変動する。これに応じてソース S の電位も変動する。加えて個々の画素のドライブトランジスタ Trd の特性にばらつきがあるため、リーク電流がドライブトランジスタ Trd のドレイン/ソース間に流れる。このリークの影響でフローティング期間 (4) ではソース電位が上昇していく。これに伴ってゲート G の電位も上昇していく。いわゆるブートストラップと同様の現象がこのフローティング期間 (4) で生じている。

30

【0029】

この後書込み期間 (6) になると制御信号が再び走査線 WS に印加され、サンプリグトランジスタ $Tr1$ がオンし、ドライブトランジスタ Trd のゲート G に信号電位 V_{sig} が書き込まれる。このときソース S の電位も若干上昇して書込み期間 (6) が終わった時点では、 X で示すソース電位となっている。ここでフローティング期間 (4) を通じてソース電位 S 及びゲート電位 G はリークの影響で上昇しているため、書込み期間 (6) が終わった時点でのソース電位 S は必ずしも一定ではなく、個々の画素で異なっている。このため書込み期間 (6) が完了した時点でドライブトランジスタ Trd のソース/ゲート間電圧 V_{gs} は画素毎にばらつき、発光輝度に差が生じる。一般にドライブトランジスタ Trd のリークの傾向は走査線 WS (ライン) に沿って現れるので、 V_{gs} のばらつきは発光時水平方向の筋ムラとなって画面のユニフォーミティを損なってしまふ。表示装置の

40

50

高精細化により画素アレイ部の画素総数が増えると、それだけ水平走査期間が短くなり、 V_{th} キャンセル期間(3)を十分確保することが出来ない。よってドライブトランジスタ T_{rd} の V_{th} のばらつきが十分キャンセルされない状態になる。その上に個々のドライブトランジスタ T_{rd} のリークのばらつきの影響が加わると、 V_{gs} が大きくばらつき、筋ムラが悪化してしまう。

【0030】

図5は、図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。このタイミングチャートは本発明の実施形態を表しており、理解を容易にするため図3及び図4に示した参考例と同じ表記を採用している。図示するように、本発明では V_{th} 補正期間(3)の通電過程を経た後、フローティング期間(4)に進む前に期間3aを挿入し、ここで圧縮過程を行っている。この圧縮過程では、ドライブトランジスタ T_{rd} のゲートGに印加されている基準電位 V_{ofs} を変えて、ゲート/ソース間電圧 V_{gs} を閾電圧 V_{th} 相当の電圧よりも圧縮して、ドライブトランジスタ T_{rd} を確実にオフしている。具体的には、この圧縮過程(3a)では、給電線DSを高電位 V_{ccp} に維持したままライトスキヤナが制御信号を解除してサンプリングトランジスタ T_{r1} をオフする直前に、信号ドライバが基準電位 V_{ofs} のレベルを V_{ofs1} から V_{ofs2} に下方切換えする。即ち V_{th} キャンセル期間(3)の終了直前に、信号線SLに印加している基準電位 V_{ofs1} を、ドライブトランジスタ T_{rd} の V_{th} を割り込む程度のレベル V_{ofs2} まで低下させる。これにより V_{gs} が V_{th} より小さくなるので、ドライブトランジスタ T_{rd} の電流リークを抑えることが出来る。よってドライブトランジスタ T_{rd} のソース電位はフローティング期間(4)中変動することが無く、ドライブトランジスタのリーク電流のばらつきに起因する発光輝度のムラを抑えることが出来る。

【0031】

なお圧縮過程(3a)で信号線SLを基準電位 V_{ofs1} から V_{ofs2} に低下させる際、急激な電圧変動はソースSへのカップリングを起こし V_{gs} が開いてしまう可能性がある。この場合にはカップリングを起こさない程度にトランジエントを鈍らせると良い。トランジエントを鈍らせる手法としては、サンプリングトランジスタ T_{r1} のゲートに印加する制御信号パルスの立下りを鈍らせる方法がある。例えばライトスキヤナの最終段バッファを構成するNチャネルトランジスタのサイズを小さく設計することで、ゲートパルスの立下りを鈍らせることが出来る。あるいは信号ドライバの出力バッファに接続している電源に立下りを鈍らせた基準電位 V_{ofs} の波形を供給することでも良い。この様に本発明ではサンプリングトランジスタ T_{r1} がオンしている基準電位書込み期間(準備期間(2)と V_{th} キャンセル期間(3))では、ドライブトランジスタ T_{rd} のゲートGには信号線から供給された基準電位 V_{ofs1} が印加されている。この基準電位書込み期間の最終段階では、ドライブトランジスタ T_{rd} のゲート/ソース間電圧 V_{gs} は V_{th} となっている。この基準電位書込み期間の終了する直前に基準電位 V_{ofs1} を V_{ofs2} に下方切換えし、 V_{gs} を圧縮する。これによりドライブトランジスタ T_{rd} は完全にオフ状態となるため、フローティング期間(4)ではリーク電流が流れることがなく、ドライブトランジスタ T_{rd} のソースSの電位は安定している。

【0032】

この後信号電位書込み期間(6)になると再び制御信号が走査線WSに印加され、サンプリングトランジスタ T_{r1} がオンする。この時点で信号線SLは信号電位 V_{sig} に切換っているため、ドライブトランジスタ T_{rd} のゲートGには V_{sig} が書き込まれる。このときドライブトランジスタ T_{rd} に流れるドレイン電流 I_{ds} の一部が保持容量に負帰還されるため、ドライブトランジスタ T_{rd} のソースSの電位は図示するようにXまで上昇する。電位Xはリークの影響が除かれているため画素間でばらつくことが無く、 V_{gs} は一定に保たれ発光輝度のムラをなくすことが出来る。

【0033】

図6は、図1に示した表示装置に含まれる水平セレクタ(信号ドライバ)3の構成例を示す模式的な回路図である。この信号ドライバ3は複数のデータ線 $Data1$, $Data$

10

20

30

40

50

2, Data 3...を備えており、線順次で1ライン分のデータを一斉に列状の信号線SLに供給している。図示の例は、1本のデータ線Dataに3本の信号線SLが選択スイッチSEL1, SEL2, SEL3を介して接続しており、1本のデータ線Dataに供給された信号電位を時分割で3本の信号線SLに供給する構成となっている。

【0034】

列状の信号線SLと交差するように制御線GOF Sと電位線VOF Sが行状(ライン状)に配されている。電位線VOF Sと各信号線SLはスイッチSWで接続されている。このスイッチSWは制御線GOF Sに印加される制御信号によってオンオフ制御される。各信号線SLに接続している複数の画素は容量Cと抵抗Rで模式的に表されている。

【0035】

図7は、図6に示した信号ドライバ(水平セクタ)3の動作説明に供するタイミングチャートである。3個1組の選択スイッチSEL1, SEL2, SEL3に印加される制御信号を同じ参照符号SEL1, SEL2, SEL3で表してある。同様に制御線GOF Sに印加される制御信号を同じ参照符号GOF Sで表してある。また電位線VOF Sの電位はVofs2に固定されている。加えて本信号ドライバ3は約240本のデータ線を備えており、各データ線に印加されるデータ(信号電位)をData1~Data240で表してある。さらに、信号ドライバ3の動作には直接関係ないが、ライトスキャナ側の動作を制御するタイミング信号WSEN1及びWSEN2も時間軸を揃えてタイミングチャート7に表してある。タイミング信号WSEN1は図5に示した基準電位書込み期間を規定している。タイミング信号WSEN2は同じく図5に示した信号書込み期間を規定して

【0036】

タイミング信号WSEN1がハイレベルとなって基準電位書込み期間に入る。このとき各データ線Dataに印加される電位は信号電位から基準電位Vofs1に切換る。同時に選択信号SEL1, SEL2, SEL3が一斉にハイレベルとなる。選択スイッチSEL1, SEL2, SEL3が同時にオンし、データ線Dataに印加された基準電位Vofs1は3本の信号線SLに出力される。よって基準電位書込み期間には、列状の信号線SLに一斉に基準電位Vofs1が書き込まれることになる。

【0037】

その後WSEN1がハイレベルからローレベルに切換る直前、制御信号GOF Sがハイレベルとなり、スイッチSWが一斉にオンする。この時点でセクタ1, セクタ2, セクタ3は既にオフしている。電位線VOF Sの電位Vofs2がスイッチSWを介して各信号線SLに書き込まれる。以上により基準電位書込み期間が終了する直前で各信号線SLの電位がVofs1からVofs2に下方切換えされ、前述したVgsの圧縮過程を実現することが出来る。

【0038】

この後各データ線Dataには所定の信号電位が供給される。これに同期して選択信号SEL1, SEL2, SEL3が時分割的にハイレベルとなり、対応する信号電位が対応する信号線SLに書き込まれていく。続いてタイミング信号WSEN2がハイレベルになると、信号電位書込み期間に入り、1ライン分の画素のサンプリングトランジスタが一斉にオンする。これにより各信号線SLに印加されていた信号電位が1ライン分の画素にサンプリングされ、線順次書込動作が行われる。

【0039】

図8は、図6に示した信号ドライバ3の動作説明に供するタイミングチャートである。但しこのタイミングチャートは基準電位の切換えを行わない参考例を表している。図示するようにこの参考例ではデータ線Dataに信号電位が供給される一方、電位線VOF Sに基準電位Vofsが供給されている。タイミング信号WSEN1がハイレベルとなって基準電位書込み期間になると、制御信号GOF Sがハイレベルとなり、スイッチSWが一斉にオンする。このオンしたスイッチSWを介して電位線VOF Sの基準電位Vofsが列状の信号線SLに供給される。以上の説明から明らかなように、この参考例では基準電

10

20

30

40

50

位 V_{ofs} のレベルの切換えは行われていない。

【0040】

図9は、図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。このタイミングチャートは第3参考例を表しており、理解を容易にするため図3及び図4に示した先の参考例と同様の表記を採用している。異なる点は、この第3参考例が閾電圧補正動作の内の通電過程を複数回繰り返して時分割的に行っていることである。一般に画素の閾電圧補正動作、信号電位書込動作及び発光動作はライン毎に線順次で行われる。従って閾電圧補正動作も1ライン当たり1水平走査周期(1H)で行うようにしている。しかしながら画素の高精細化が進むと走査線の本数(ライン数)が増えるため、その分1H期間が短くなり、十分な V_{th} キャンセル期間が取れなくなる。そこで本参考例のように閾電圧補正動作のうち時間の必要な通電過程を複数の水平期間にわたって時分割的に行う場合がある。図9の参考例は、 V_{th} キャンセル動作を2回行った場合である。最初の V_{th} キャンセル期間(31)で通電過程を実行するが、時間が短いため V_{gs} はいまだ V_{th} まで達していない。1回目の V_{th} キャンセル期間(31)が終わると制御信号を一旦ローレベルに切換え、サンプリグトランジスタ T_{r1} をオフしてドライブトランジスタ T_{rd} のゲート G を信号線 SL から切り離す。これによりドライブトランジスタ T_{rd} のゲート G はフローティング状態となる。このフローティング期間(41)ではドライブトランジスタ T_{rd} はオフになっておらずリーク電流が流れる。よってソース電位 S が上昇すると共にこれと連動してゲート G の電位も上昇する。いわゆるブートストラップ現象が起きる。この電流リークは1回目の V_{th} キャンセル期間(31)で V_{th} キャンセルが不十分なほど大きく起こる。従ってフローティング期間(41)が終わった時点で、ドライブトランジスタ T_{rd} のソース電位は画素毎に大きくばらつく。

【0041】

この後2回目の V_{th} キャンセル期間(32)になると再び制御信号がハイレベルとなりドライブトランジスタ T_{rd} のゲート G に V_{ofs} が印加された状態で通電過程が行われる。これにより V_{gs} は V_{th} まで達する。その後再びフローティング期間(42)に進んだ後、信号電位書込み期間(6)に至ってドライブトランジスタ T_{rd} のゲート G に信号電位 V_{sig} が書き込まれる一方、ソース電位も所定のレベルまで上昇する。しかしながら、1回目の通電過程で V_{th} キャンセルが不十分な場合、その後のフローティング期間(41)で電流リークに大きなばらつきが生じ、その影響が2回目の閾電圧補正動作にも悪影響を与え、結果的に信号電位書込み期間が終わった時点で画素毎に V_{gs} のばらつきが残ってしまう。これが発光時には筋ムラとなって認識されるという課題がある。

【0042】

図10は、図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。このタイミングチャートは本発明の第2実施形態を表しており、図9に示した第3参考例の問題点に対処したものである。この第2実施形態は閾電圧補正動作を時分割的に行っており、1回目の通電過程(31)と2回目の通電過程(32)を時間を隔てて行っている。本発明の特徴事項として、1回目の V_{th} キャンセル期間(31)で用いる基準電位 V_{ofs1} と、2回目の V_{th} キャンセル期間(32)で用いる基準電位 V_{ofs2} が互いに異なるようにしている。具体的には、第1 V_{th} キャンセル期間(31)でドライブトランジスタ T_{rd} のゲート G に印加する基準電位 V_{ofs1} は、2回目の V_{th} 補正期間(32)でゲートに書き込む基準電位 V_{ofs2} よりも低く設定している。これにより1回目の V_{th} キャンセル期間(31)が不十分に終わった際、 V_{gs} が広く開いていることが原因で起こるドライブトランジスタ T_{rd} の電流リークを、予め V_{ofs1} を低く設定して V_{gs} を縮めておくことにより解消もしくは軽減することが出来る。一般的に V_{th} キャンセル動作を n 回行う場合には、1回目の V_{th} キャンセルで用いる V_{ofs} を最も低電圧とし、2回目、3回目・・・ n 回目の順に V_{ofs} を高くするか、あるいは少なくとも前の電圧と等しくすれば良い。かかる手法により V_{th} キャンセル後フローティング期間に生じる電流リークを抑えることが可能になる。

【0043】

10

20

30

40

50

図11は、本発明にかかる表示装置の別の実施形態を示すブロック図である。図示する様に、本表示装置は基本的に画素アレイ部1とスキャナ部と信号部とで構成されている。画素アレイ部1は、行状に配された第1走査線WS、第2走査線AZ1、第3走査線AZ2及び第4走査線DSと、列状に配された信号線SLと、これらの走査線WS, AZ1, AZ2, DS及び信号線SLに接続した行列状の画素回路2と、各画素回路2の動作に必要な第1電位Vss1, 第2電位Vss2及び第3電位Vccを供給する複数の給電線とからなる。信号部は水平セクタ3からなり、信号線SLに映像信号を供給する。スキャナ部は、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72からなり、それぞれ第1走査線WS、第4走査線DS、第2走査線AZ1及び第3走査線AZ2に制御信号を供給して順次行毎に画素回路を走査する。

10

【0044】

図12は、図11に示した表示装置に組み込まれる画素回路の構成例を示す回路図である。図示する様に画素回路2は、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、第1スイッチングトランジスタTr2と、第2スイッチングトランジスタTr3と、第3スイッチングトランジスタTr4と、保持容量Csと、発光素子ELとを含む。サンプリングトランジスタTr1は、所定のサンプリング期間に第1走査線WSから供給される制御信号に応じ導通して信号線SLから供給された映像信号の信号電位を保持容量Csにサンプリングする。保持容量Csは、サンプリングされた映像信号の信号電位に応じてドライブトランジスタTrdのゲートGに入力電圧Vgsを印加する。ドライブトランジスタTrdは、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。発光素子ELは、所定の発光期間中ドライブトランジスタTrdから供給される出力電流Idsにより映像信号の信号電位に応じた輝度で発光する。

20

【0045】

第1スイッチングトランジスタTr2は、サンプリング期間に先立ち第2走査線AZ1から供給される制御信号に応じ導通してドライブトランジスタTrdのゲートGを第1電位Vss1に設定する。第2スイッチングトランジスタTr3は、サンプリング期間に先立ち第3走査線AZ2から供給される制御信号に応じ導通してドライブトランジスタTrdのソースSを第2電位Vss2に設定する。第3スイッチングトランジスタTr4は、サンプリング期間に先立ち第4走査線DSから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位Vccに接続し、以ってドライブトランジスタTrdの閾電圧Vthに相当する電圧を保持容量Csに保持させて閾電圧Vthの影響を補正する。さらにこの第3スイッチングトランジスタTr4は、発光期間に再び第4走査線DSから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位Vccに接続して出力電流Idsを発光素子ELに流す。

30

【0046】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタTr1ないしTr4及びTrdと1個の保持容量Csと1個の発光素子ELとで構成されている。トランジスタTr1~Tr3とTrdはNチャネル型のポリシリコンTFTである。トランジスタTr4のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることが出来る。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機ELデバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

40

【0047】

図13は、図12に示した表示装置から画素回路2の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタTr1によってサンプリングされる映像信号Vsigや、ドライブトランジスタTrdの入力電圧Vgs及び出力電流Ids、さらには発光素子ELが有する容量成分Coledなどを書き加えてある。また3個の給電線Vss1, Vss2及びVccも加えてある。3個の電源のうち、VccとVss2は固定電源である。これに対しドライブトランジスタTrdのゲートGに基準電位と

50

して与えられる V_{ss1} は可変電源である。この可変電源はパネルの外部のモジュールからなり、配線を通して各画素回路 2 に所定のタイミングでレベルが切換る基準電位 V_{ss1} を与えている。

【0048】

図 14 は、図 13 に示した画素回路のタイミングチャートである。図 14 を参照して、図 13 に示した画素回路の動作を具体的に説明する。図 14 は、時間軸 T に沿って各走査線 WS, AZ1, AZ2 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ Tr1, Tr2, Tr3 は N チャネル型なので、走査線 WS, AZ1, AZ2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ Tr4 は P チャネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS, AZ1, AZ2, DS の波形と共に、ドライブトランジスタ Trd のゲート G の電位変化及びソース S の電位変化も表してある。

10

【0049】

図 14 のタイミングチャートではタイミング T1 ~ T8 までを 1 フィールド (1f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 WS, AZ1, AZ2, DS の波形を表してある。

【0050】

当該フィールドが始まる前のタイミング T0 で、全ての制御線号 WS, AZ1, AZ2, DS がローレベルにある。したがって N チャネル型のトランジスタ Tr1, Tr2, Tr3 はオフ状態にある一方、P チャネル型のトランジスタ Tr4 のみオン状態である。したがってドライブトランジスタ Trd はオン状態のトランジスタ Tr4 を介して電源 Vcc に接続しているので、所定の入力電圧 Vgs に応じて出力電流 Ids を発光素子 EL に供給している。したがってタイミング T0 で発光素子 EL は発光している。この時ドライブトランジスタ Trd に印加される入力電圧 Vgs は、ゲート電位 (G) とソース電位 (S) の差で表される。

20

【0051】

当該フィールドが始まるタイミング T1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ Tr4 がオフし、ドライブトランジスタ Trd は電源 Vcc から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T1 に入ると、全てのトランジスタ Tr1 ~ Tr4 がオフ状態になる。

30

【0052】

続いてタイミング T2 に進むと、制御信号 AZ1 及び AZ2 がハイレベルになるので、スイッチングトランジスタ Tr2 及び Tr3 がオンする。この結果、ドライブトランジスタ Trd のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング T3 で行われる V_{th} 補正の準備を行う。換言すると期間 T2 ~ T3 は、ドライブトランジスタ Trd のリセット期間に相当する。また、発光素子 EL の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子 EL にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

40

【0053】

タイミング T3 では制御信号 AZ2 をローレベルにし且つ直後制御信号 DS もローレベルにしている。これによりトランジスタ Tr3 がオフする一方トランジスタ Tr4 がオンする。この結果ドレイン電流 Ids が保持容量 Cs に流れ込み、 V_{th} 補正動作を開始する。この時ドライブトランジスタ Trd のゲート G は V_{ss1} に保持されており、ドライブトランジスタ Trd がカットオフするまで電流 Ids が流れる。カットオフするとドライブトランジスタ Trd のソース電位 (S) は $V_{ss1} - V_{th}$ となる。ドレイン電流が

50

カットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、保持容量CsにVthが保持固定される。この様にタイミングT3 T4はドライブトランジスタTrdの閾電圧Vthを検出する期間である。ここでは、この検出期間T3 T4をVth補正期間と呼んでいる。

【0054】

この様にしてドライブトランジスタTrdの閾電圧Vthを検出し保持容量Csに書き込んだ後、タイミングT4でドライブトランジスタTrdのゲートGに印加されている基準電位Vss1のレベルを下方に切替える。これにより、ドライブトランジスタTrdのゲート/ソース間電圧VgsをVth相当の電圧よりも圧縮することが出来る。この圧縮によりドライブトランジスタTrdは完全にオフ状態となり、リーク電流が流れることは無い。この後制御信号AZ1をハイレベルからローレベルに切替えてスイッチングトランジスタTr2がオフし、ドライブトランジスタTrdのゲートGは基準電位Vss1から切り離され、フローティング状態となる。このフローティング状態になってもドライブトランジスタTrdは完全にオフしているためリーク電流は流れず、ソース電位は一定に保たれる。保持容量Vgsに書き込まれた閾電圧VthはVss1のレベル切替えにより圧縮を受けるが、これは全ての画素で共通に生じるため発光輝度のばらつきの要因とはならない。逆にVgsを圧縮することでドライブトランジスタTrdにリーク電流が流れなくなり、そのばらつきの影響を取り除くことが出来る。

【0055】

この様にVth補正を行った後タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr1をオンして映像信号Vsigを保持容量Csに書き込む。発光素子ELの等価容量Coledに比べて保持容量Csは十分に小さい。この結果、映像信号Vsigのほとんど大部分が保持容量Csに書き込まれる。正確には、Vss1に対する、Vsigの差分Vsig - Vss1が保持容量Csに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持されたVthと今回サンプリングされたVsig - Vss1を加えたレベル(Vsig - Vss1 + Vth)となる。以降説明簡易化の為Vss1 = 0Vとすると、ゲート/ソース間電圧Vgsは図4のタイミングチャートに示すようにVsig + Vthとなる。かかる映像信号Vsigのサンプリングは制御信号WSがローレベルに戻るタイミングT6まで行われる。すなわちタイミングT5 T6が信号書込み期間に相当する。

【0056】

続いてタイミングT7で制御信号DSがローレベルとなりスイッチングトランジスタTr4がオンする。これによりドライブトランジスタTrdが電源Vccに接続されるので、画素回路は非発光期間から発光期間に進む。その前のタイミングT6で制御信号WSがローレベルとなりサンプリングトランジスタTr1は既にオフしている。この為ドライブトランジスタTrdのゲートGは信号線SLから切り離されている。映像信号Vsigの印加が解除されているので、スイッチングトランジスタTr4のオンと共に、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。なお本実施形態の画素回路はドライブトランジスタTrdのソースと発光素子ELのアノードとが接続している。その為、ドライブトランジスタTrdのソース電位(S)は同時に発光素子ELのアノード電位Vaでもある。図14のタイミングチャートは、この発光素子ELのアノード電位Vaも示してある。この発光期間は次のフィールドに入る前のタイミングT8で終わる。

【0057】

上述したようにタイミングT7では、ドライブトランジスタTrdのゲート電位(G)が上昇可能となり、これと連動してソース電位(S)が上昇していく。これがブートストラップ動作である。このブートストラップ動作の間、保持容量Csに保持されたゲート/ソース間電圧Vgsは(Vsig + Vth)の値を維持する。つまりこのブートストラップ動作は、保持容量Csに保持されたVgsを一定に維持したまま、発光素子ELのアノ

10

20

30

40

50

ード電位 V_a の上昇を可能にするものである。ドライブトランジスタのソース電位 (S) の上昇即ち発光素子 E_L のアノード電位 V_a の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。このときのドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式 1 の V_{gs} に $V_{sig} + V_{th}$ を代入することで、以下の式のように与えられる。

$$I_{ds} = k \cdot \mu (V_{gs} - V_{th})^2 = K \cdot \mu (V_{sig})^2$$

上記式において、 $k = (1/2)(W/L)C_{ox}$ である (W はトランジスタのゲート幅、 L はゲート長、 C_{ox} はゲート容量)。この特性式から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} はドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しないことがわかる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号 V_{sig} に応じた輝度で発光することになる。加えて本画素回路はドライブトランジスタのソース電位即ち発光素子のアノード電位 V_a に依存することなく、常にゲート電圧 V_{gs} を一定に維持している。このブートストラップ機能のため、本画素回路は発光素子 E_L の $I-V$ 特性の経時変動の影響を受けることなく、画面輝度を安定的に維持することが出来る。

【0058】

本発明にかかる表示装置は、図 15 に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジスタを含むトランジスタ部 (図では 1 個の TFT を例示)、保持容量などの容量部及び有機 E_L 素子などの発光部とを含む。基板の上に TFT プロセスでトランジスタ部や容量部が形成され、その上に有機 E_L 素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0059】

本発明にかかる表示装置は、図 16 に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機 E_L 素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部 (画素マトリックス部) を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えば FPC (フレキシブルプリントサーキット) を設けてもよい。

【0060】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した駆動信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下このような表示装置が適用された電子機器の例を示す。

【0061】

図 17 は本発明が適用されたテレビであり、フロントパネル 12、フィルターガラス 13 等から構成される映像表示画面 11 を含み、本発明の表示装置をその映像表示画面 11 に用いることにより作製される。

【0062】

図 18 は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部 15、表示部 16、コントロールスイッチ、メニュースイッチ、シャッター 19 等を含み、本発明の表示装置をその表示部 16 に用いることにより作製される。

【0063】

図 19 は本発明が適用されたノート型パーソナルコンピューターであり、本体 20 には文字等を入力するとき操作されるキーボード 21 を含み、本体カバーには画像を表示する表示部 22 を含み、本発明の表示装置をその表示部 22 に用いることにより作製される。

【 0 0 6 4 】

図 2 0 は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体 2 3、下側筐体 2 4、連結部（ここではヒンジ部）2 5、ディスプレイ 2 6、サブディスプレイ 2 7、ピクチャーライト 2 8、カメラ 2 9 等を含み、本発明の表示装置をそのディスプレイ 2 6 やサブディスプレイ 2 7 に用いることにより作製される。

【 0 0 6 5 】

図 2 1 は本発明が適用されたビデオカメラであり、本体部 3 0、前方を向いた側面に被写体撮影用のレンズ 3 4、撮影時のスタート/ストップスイッチ 3 5、モニター 3 6 等を含み、本発明の表示装置をそのモニター 3 6 に用いることにより作製される。

10

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明にかかる表示装置の全体構成を示すブロック図である。

【 図 2 】 図 1 に示した表示装置に含まれる画素の構成例を示す回路図である。

【 図 3 】 図 1 及び図 2 に示した表示装置の動作説明に供するタイミングチャートである。

【 図 4 】 同じく動作説明に供するタイミングチャートである。

【 図 5 】 同じく動作説明に供するタイミングチャートである。

【 図 6 】 図 1 及び図 2 に示した表示装置に含まれる水平セレクタ（信号ドライバ）の構成を示す回路図である。

【 図 7 】 図 6 に示した信号ドライバの動作説明に供するタイミングチャートである。

20

【 図 8 】 同じく信号ドライバの動作説明に供するタイミングチャートである。

【 図 9 】 図 1 及び図 2 に示した表示装置の動作説明に供するタイミングチャートである。

【 図 1 0 】 同じく図 1 及び図 2 に示した表示装置の動作説明に供するタイミングチャートである。

【 図 1 1 】 本発明にかかる表示装置の別の実施形態を示す全体ブロック図である。

【 図 1 2 】 図 1 1 に示した表示装置に含まれる画素の構成例を示す回路図である。

【 図 1 3 】 同じく画素の構成を示す回路図である。

【 図 1 4 】 図 1 1 に示した表示装置の動作説明に供するタイミングチャートである。

【 図 1 5 】 本発明にかかる表示装置のデバイス構成を示す断面図である。

【 図 1 6 】 本発明にかかる表示装置のモジュール構成を示す平面図である。

30

【 図 1 7 】 本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【 図 1 8 】 本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【 図 1 9 】 本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【 図 2 0 】 本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

【 図 2 1 】 本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

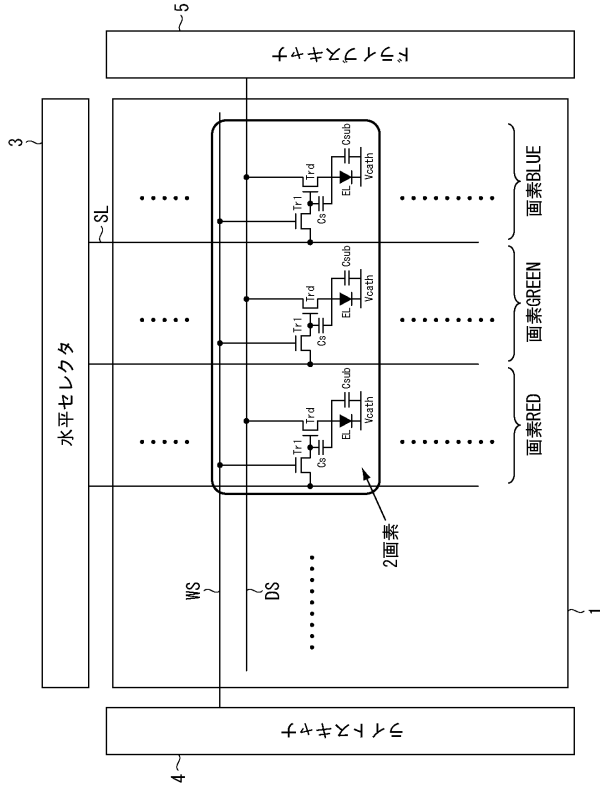
【 符号の説明 】

【 0 0 6 7 】

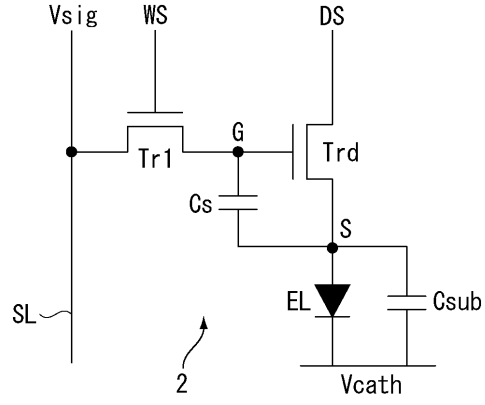
1・・・画素アレイ部、2・・・画素、3・・・水平セレクタ（信号ドライバ）、4・・・ライトスキャナ、5・・・ドライブスキャナ、Tr 1・・・サンプリングトランジスタ、Tr d・・・ドライブトランジスタ、E L・・・発光素子、C s・・・保持容量

40

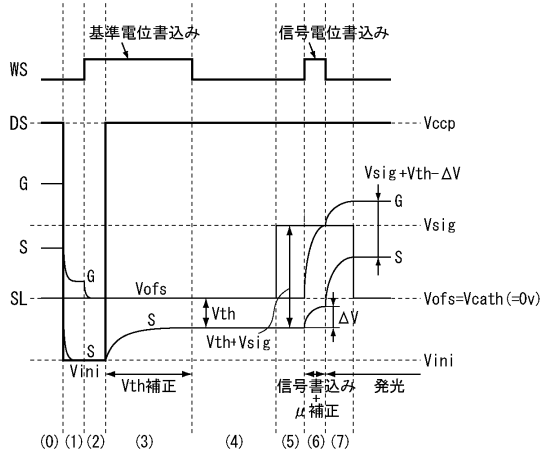
【図1】



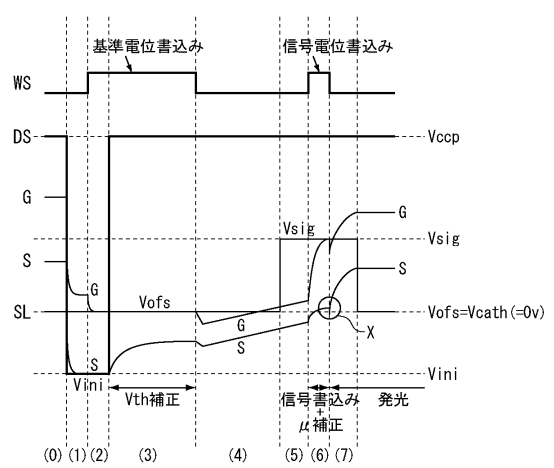
【図2】



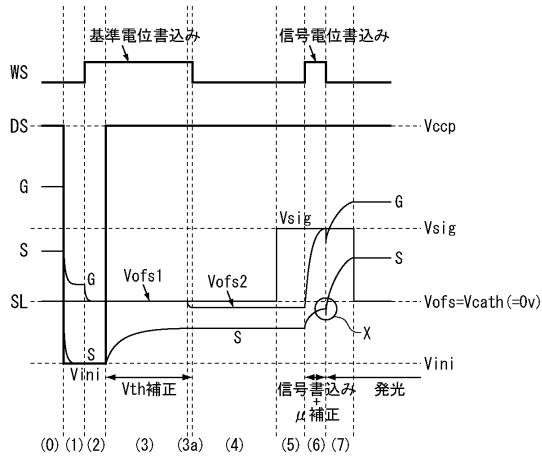
【図3】



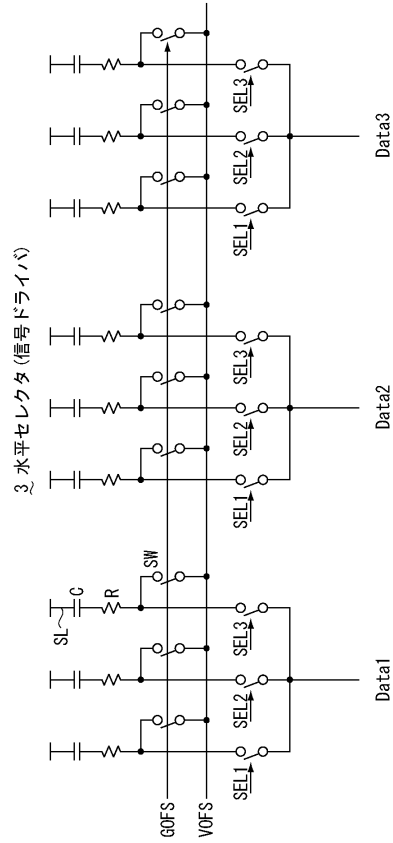
【図4】



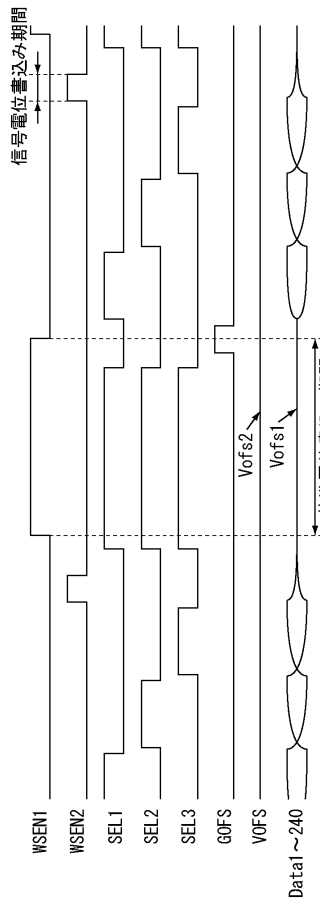
【 図 5 】



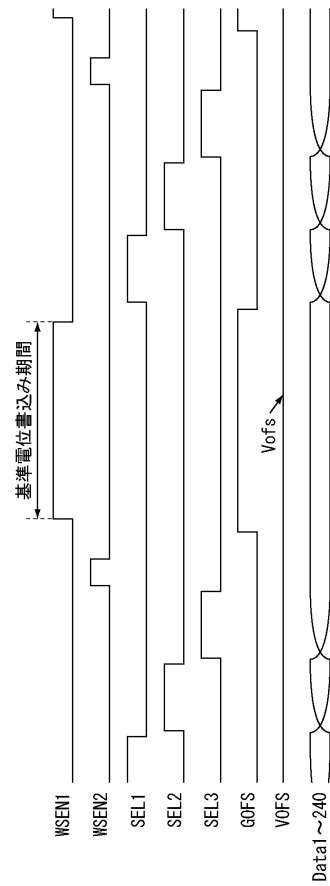
【 図 6 】



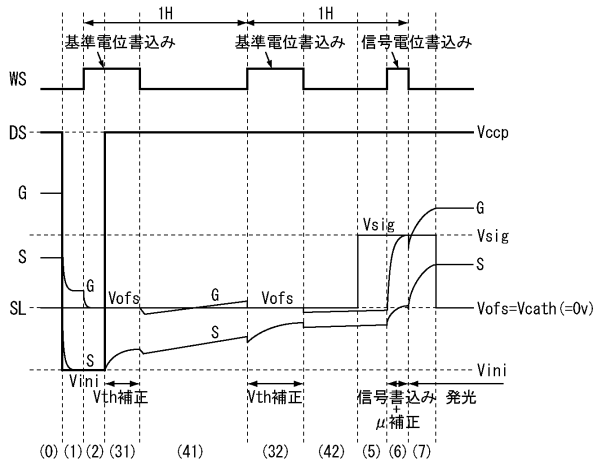
【 図 7 】



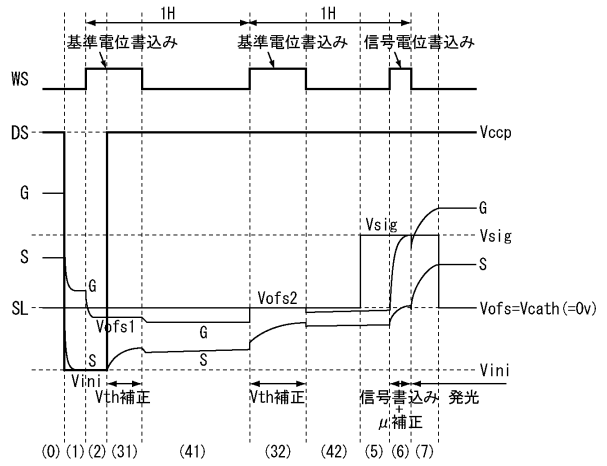
【 図 8 】



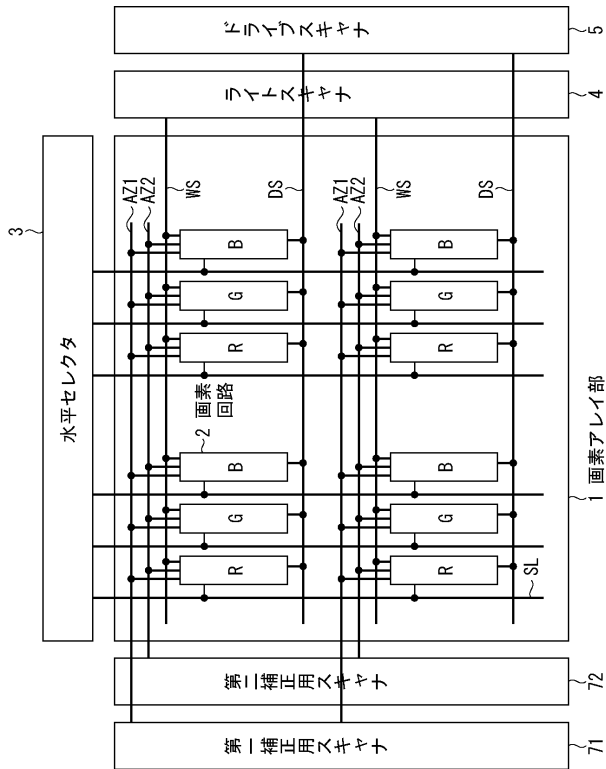
【図9】



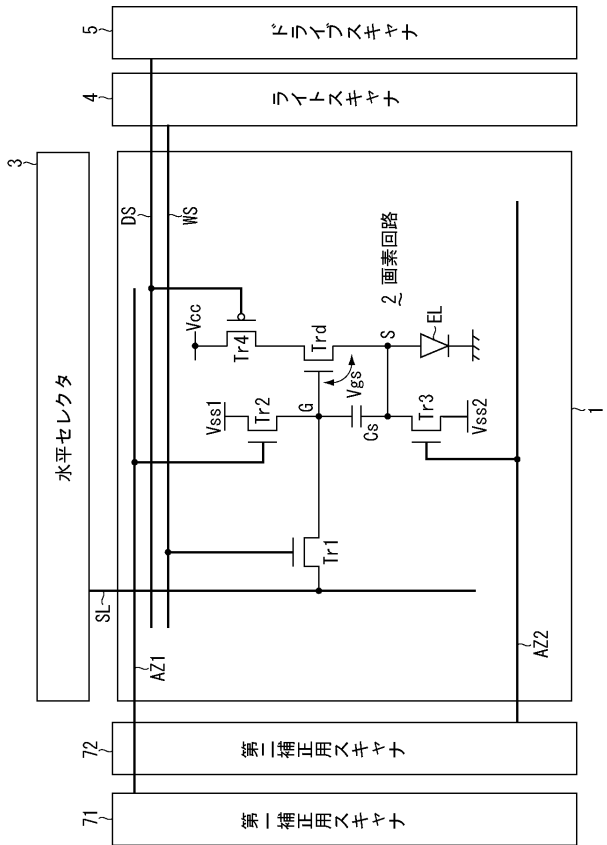
【図10】



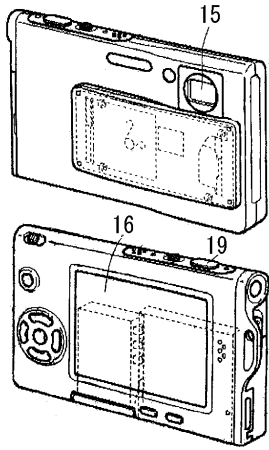
【図11】



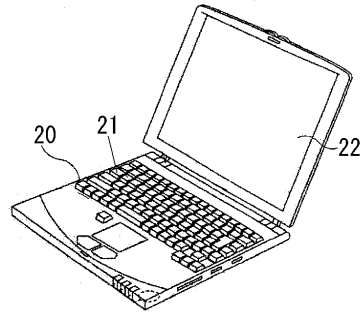
【図12】



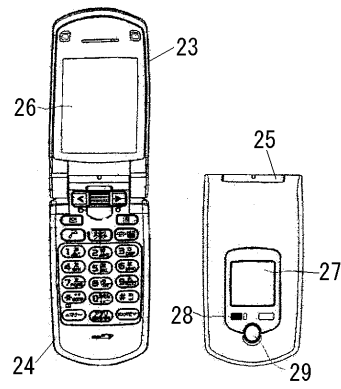
【図18】



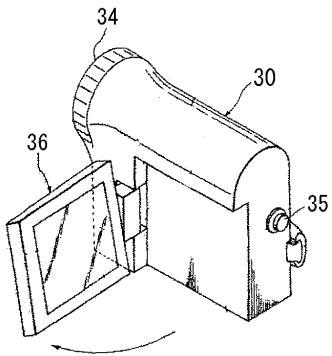
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 4 B
H 0 5 B 33/14 A

(72)発明者 飯田 幸人
東京都港区港南1丁目7番1号 ソニー株式会社内
(72)発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 中村 直行

(56)参考文献 特開2007-034000(JP,A)
特開2005-345722(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0